

FLUXO DE PROJETO DE BLOCOS DE PROPRIEDADE INTELECTUAL ANALÓGICOS

Andrei dos Santos Silva¹

Clarice Ferreira René de Oliveira²

Frank Sill Torres³

Pedro Fausto Rodrigues Leite Junior⁴

RESUMO

A importância de blocos de Propriedade Intelectual (IP) para área de Microeletrônica cresceu constantemente nos últimos anos. O desenvolvimento desses blocos requer uma abordagem muito bem estruturada, incluindo etapas, regras bem definidas relacionadas à caracterização (desempenho, tempo de atraso, confiabilidade, etc.), verificação e documentações detalhadas. Uma vez consolidado, o fluxo desenvolvido pode ser utilizado para uma grande variedade de projetos de novos blocos IP.

Neste trabalho, será apresentada a metodologia usada para a caracterização de blocos IP analógicos ou de sinal misto, que permite a identificação de problemas nos primeiros estágios do projeto, diminuindo o tempo de desenvolvimento e proporcionando, de maneira geral, um produto mais confiável.

Palavras-chave: Blocos de Propriedade Intelectual. Projeto em Microeletrônica. Circuitos Integrados.

1 INTRODUÇÃO E CONCEITOS BÁSICOS

Nos últimos anos, juntamente com a globalização, o desenvolvimento tecnológico e a consolidação da indústria de semicondutores, o modo de produção de circuitos integrados (CIs) mudou consideravelmente (ARAÚJO et al., 2002). O conceito das *Design Houses* foi

¹ Engenheiro Eletrônico e de Telecomunicação pela PUC Minas. Mestrando em Engenharia Elétrica pela Universidade Federal de Minas Gerais (UFMG). E-mail: andreisantos@ufmg.br

² Graduanda em Engenharia Elétrica pela Universidade Federal de Minas Gerais (UFMG). E-mail: claricefroliveira@gmail.com

³ Doutor em Engenharia Elétrica pela Universidade de Rostock (Alemanha). E-mail: franksill@ufmg.br

⁴ Engenheiro Eletricista pela Universidade Federal do Ceará (UFC). Mestrando em Engenharia Elétrica pela Universidade Federal de Minas Gerais (UFMG). E-mail: pedrofausto@ufmg.br

criado, sendo definidas como empresas que focam exclusivamente no projeto, na caracterização e na verificação dos circuitos integrados. Com isso, as barreiras para a entrada no mercado de CIs diminuíram drasticamente, visto que a instalação de fábricas que demandam altos investimentos não é mais obrigatória.

Paralelamente a esse desenvolvimento, a importância de blocos de Propriedade Intelectual (IP) cresceu ao longo dos anos, sendo possível observar um crescimento no comércio destes blocos (ARAÚJO et al., 2002). O tempo de desenvolvimento de novos projetos e o investimento necessário podem ser reduzidos drasticamente e a confiabilidade de novos projetos pode ser aumentada devido ao uso de elementos já verificados (WOLF, 2008).

Blocos IP são circuitos integrados previamente projetadas e verificadas, que podem ser reutilizadas em outros CIs mais avançados. Esses blocos são produtos de tecnologia e experiência dos projetistas e estão sujeitos a patentes e direitos autorais (WOLF, 2008).

O desenvolvimento desses blocos requer um fluxo bem estruturado, incluindo etapas e regras bem definidas relacionadas à caracterização (desempenho, tempo de atraso, confiabilidade, etc.), verificação e documentações detalhadas. Uma vez consolidado, esse fluxo pode ser utilizado para uma grande variedade de projetos de novos blocos IP.

O projeto de circuitos integrados analógicos é dividido em várias etapas. Em geral essas etapas são: Elaboração do circuito esquemático, projeto do *layout*, *floorplanning*, *placement* e *routing*. As verificações no projeto, geralmente, são realizadas ao fim de cada etapa através de DRC (Verificação de Regras de Projeto), LVS (*Layout* contra Esquemático) e *testbench* (BALKIR, DÜNDAR e ÖGRENCI, 2005).

Neste trabalho, o fluxo foi aplicado no projeto de um conversor ADC (Conversor Analógico Digital) de tipo PSAC (Conversor Pipeline de Aproximações Sucessivas) para demonstrar a metodologia.

2 METODOLOGIA

O mercado de produção de circuitos integrados se torna cada vez mais exigente. Isso se deve ao fato de que o tempo de desenvolvimento e de produção de CIs está cada vez menor. A utilização de blocos IP é crucial para se atingir tais níveis de exigência, já que, uma vez desenvolvidos, podem ser reutilizados em outros projetos. É necessário então, utilizar uma

metodologia que permita que os projetistas consigam desenvolver produtos com uma alta taxa de sucesso ou com pequenas iterações no processo de desenvolvimento.

Uma metodologia bastante utilizada para o fluxo de projetos de CIs é a Top-Down, que permite a identificação de problemas nos primeiros estágios do projeto, diminuindo o tempo de desenvolvimento e proporcionando, de maneira geral, um produto mais confiável. Nessa metodologia, o projeto se inicia com uma formulação geral das características finais do sistema desejado, feita de maneira abstrata, ou seja, sem detalhes de como será implementado. À medida que o fluxo do projeto avança, ocorre a redução do nível de abstração e o sistema vai sendo refinado. Ao final de cada etapa é preciso assegurar o cumprimento dos requisitos (Browy, Gullikson e Indovina, 2014).

2.1 Fluxo de desenvolvimento

Este trabalho propõe utilizar a metodologia Top-Down dividida em quatro etapas de desenvolvimento: Sistema, Blocos, Circuito e *Layout*. Paralelamente ao desenvolvimento, serão realizadas verificações para garantir que todas as etapas sempre atendam às especificações do projeto. A Figura 1 ilustra o fluxo da metodologia Top-Down proposta.

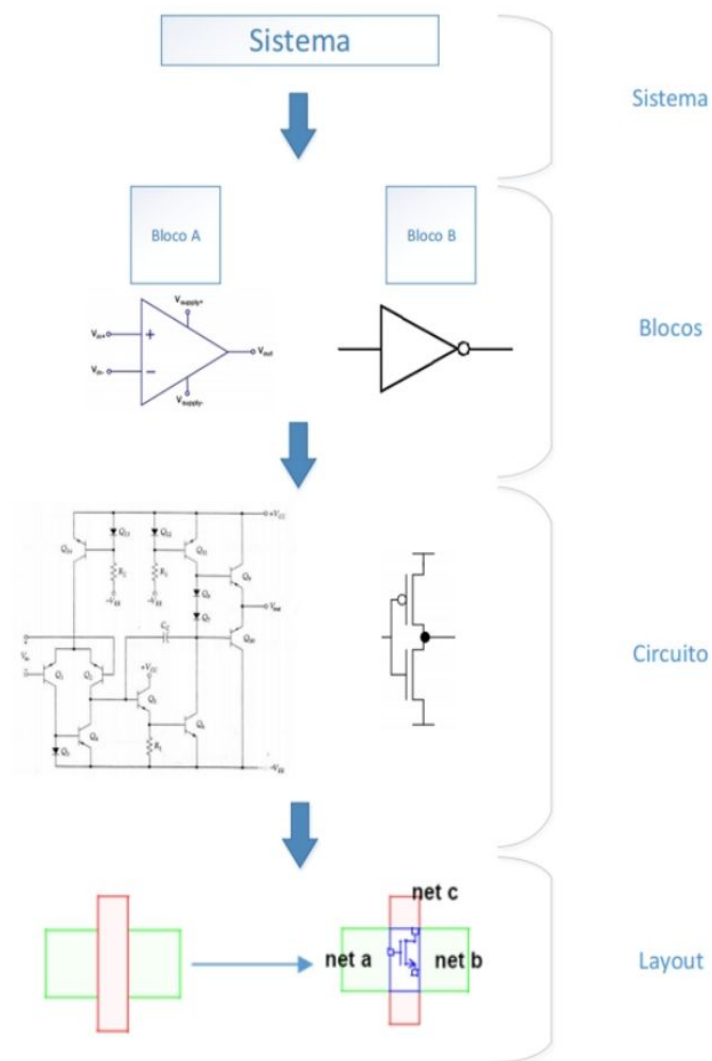


Figura 1 - Fluxo da Metodologia Top-Down

Em cada etapa, o circuito é especificado em um grau de abstração diferente. Em nível de sistemas, as funções gerais do circuito são especificadas; os blocos que compõem o sistema são detalhados no nível de blocos; um esquemático de sistema é definido em nível de circuito, onde parâmetros elétricos são simulados e, em *layout*, o sistema é definido no nível físico.

2.2 Caracterização

A caracterização de circuitos analógicos é uma etapa de grande importância para garantir a confiabilidade dos blocos IP. A Figura 2 resume o fluxo da caracterização de blocos IP.

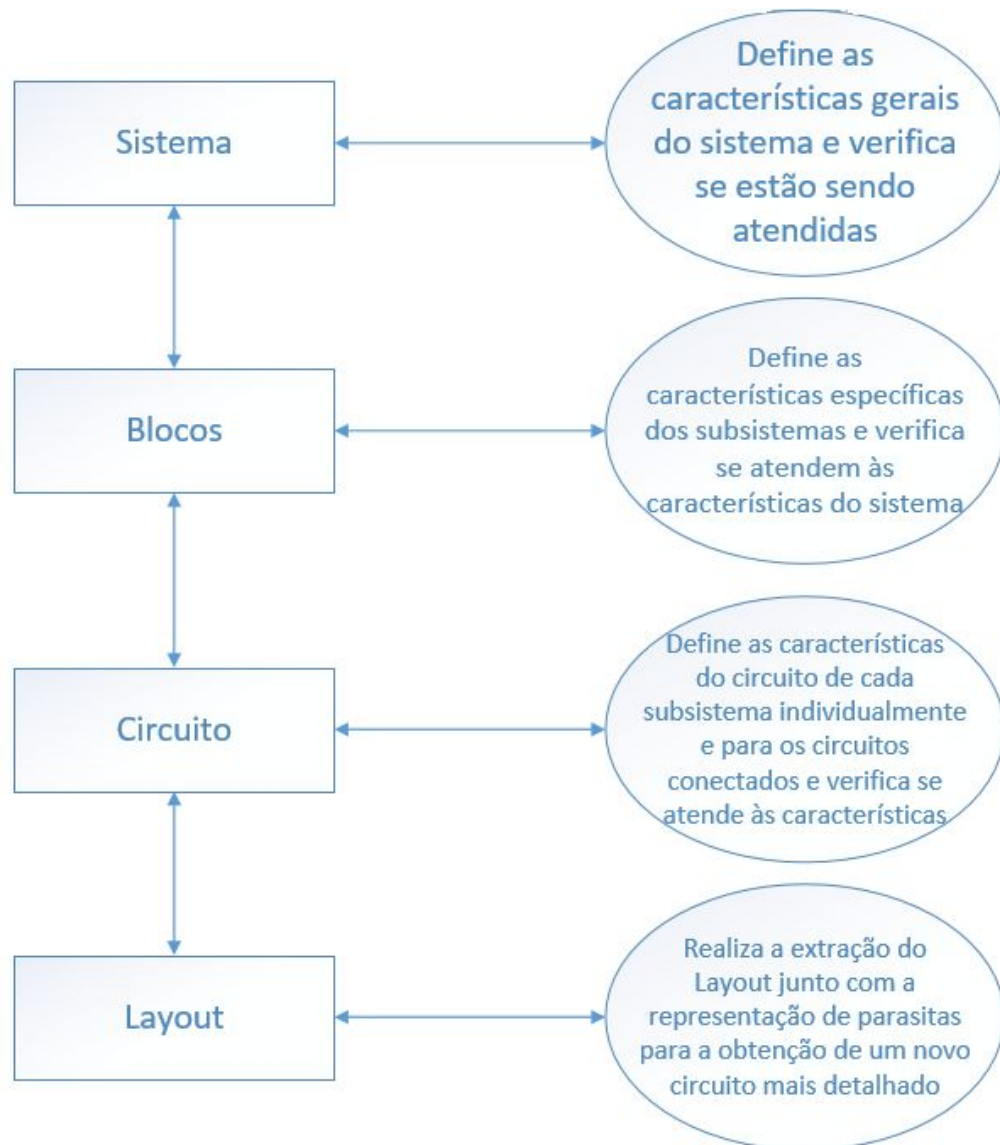


Figura 2 - Fluxo da etapa de caracterização

Antes do início do desenvolvimento (sistema), a caracterização é feita a partir de requisitos previamente definidos que refletem o funcionamento desejado para o sistema.

A caracterização em níveis mais baixos é uma extensão da caracterização em níveis mais altos, sendo assim mais detalhada. Na etapa de blocos a caracterização é feita para cada subsistema individualmente e, para cada um deles, são definidas especificações que atendem aos requisitos. Em seguida os blocos são conectados e é feita a caracterização de todos os blocos unidos.

Em geral a caracterização de um projeto analógico pode ser dividida em caracterização geral e específica. Alguns parâmetros (área, consumo, etc.) estão presentes na especificação

de cada projeto enquanto que outros (atraso, ganho, etc.) aparecem somente em alguns, levando a esta divisão mencionada.

Neste trabalho serão utilizadas diversas análises que nos permitem checar se as especificações foram atendidas na medida em que o fluxo do projeto avança (Veja também a Figura 3). Para a execução das verificações serão utilizados modelos (Verilog-A, componentes ideais, etc.) e *testbenchs*, que permitem o DUT (dispositivo sob teste) passar por diversas simulações (Análise DC, Análise AC, Análise Transiente, etc.). Nas simulações, serão utilizados diferentes sinais de estímulos que, em alguns casos, terão seus parâmetros (valor de tensão, frequência, temperatura, etc.) modificados para que um o valor de uma variável de saída seja verificado.

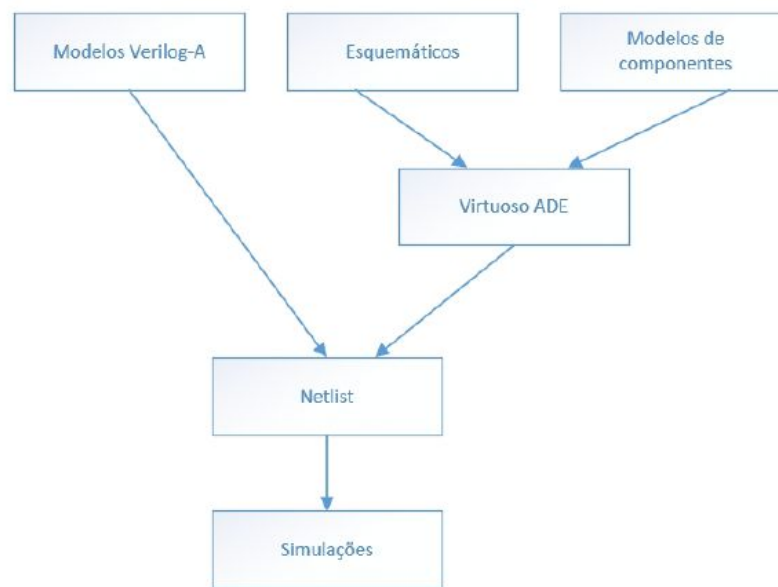


Figura 3 - Fluxo da realização de verificações das características

3 APLICAÇÃO DO FLUXO EM UM CONVERSOR PSAC

A metodologia Top-Down proposta deve ser capaz de realizar a caracterização tanto de sistemas analógicos simples, quanto de sistemas mais complexos. Para ilustrar essa aplicabilidade, o fluxo foi utilizado na caracterização de um conversor ADC (Conversor Analógico-Digital) do tipo PSAC (Pipelined Successive Approximation Conversion ou Conversor Pipeline de Aproximações Sucessivas) com resolução de 10 bits (SILL e DE LIMA MONTEIRO, 2009).

O PSAC combina diferentes tipos de conversores para obter o melhor equilíbrio entre a dissipação de potência e velocidade de conversão. Ele mistura características de um Conversor de Aproximações Sucessivas (SAR) e de um Conversor Pipeline. Sua estrutura é composta por dois blocos de 3-Bit SAC e um bloco 4-Bit SAC conectados por dois amplificadores de ganho. O controle e temporização são feitos por uma lógica digital (VISINTAINER, 2012). O esquemático do circuito pode ser visto na Figura 4.

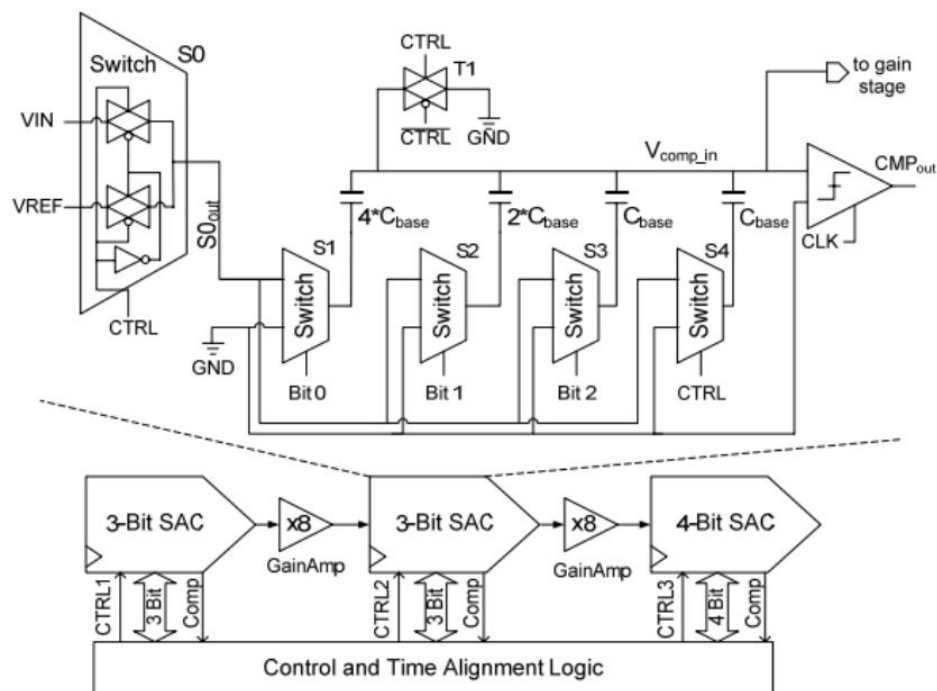


Figura 4 - Esquemático de circuito PSAC (SILL e DE LIMA MONTEIRO, 2009)

Inicialmente são definidas as especificações gerais, sendo elas: arquitetura do ADC (nesse caso uma resolução de 10 bits), frequência de clock (1 MHz) e tempo de atraso. A caracterização foi feita através de simulações, utilizando modelos (Verilog-A, componentes ideais, etc.) e *testbenches*.

Para avaliar o desempenho do conversor foram utilizados o Erro de Linearidade Diferencial (DNL) e o Erro de Linearidade Integral (INL). O DNL é a diferença entre a largura real do degrau e o valor ideal de 1 LSB (Bit menos significativo). Caso a largura do degrau for exatamente 1 LSB então o DNL é zero. Se o DNL for maior que 1 LSB então o conversor poderá tornar-se não monotônico, ou seja, a magnitude da saída será menor para um aumento da magnitude da entrada. Em contrapartida, caso o DNL seja menor ou igual a

1 LSB, pode-se garantir que sua função de transferência é monotônica, com nenhum código ausente (TEXAS, 1999).

O INL é o desvio dos valores na função de transferência de uma reta. A magnitude do INL depende diretamente da posição escolhida para esta reta. Existem duas escolhas comuns para traçar-la: a “melhor reta” e a “reta que liga os pontos extremos da função”. A primeira reta procura minimizar os desvios, determinando a melhor aproximação da função de transferência real. Além disso, fornece informações sobre o offset e o erro de ganho. A posição exata da linha não é definida, mas esta abordagem produz a melhor repetibilidade, e serve como uma representação verdadeira da linearidade. Já a reta que liga os pontos extremos, passa através de pontos finais da função de transferência do conversor, definindo assim uma posição precisa para a linha (TEXAS, 1999).

Foram utilizados os programas VIRTUOSO, MMSIM e ASSURA da Empresa Cadence e uma tecnologia comercial de 180 nm.

3.1 Nível de sistema

Para representar o ADC em nível de sistema, foi utilizado um modelo em Verilog-A que permite descrever o funcionamento do conversor e definir características gerais (KUNDERT e ZINKE, 2004). Esse tipo de modelo permite a descrição do comportamento do circuito antes de sua implementação em *hardware*, possibilitando uma análise exploratória do sistema. Nessa etapa foram definidos parâmetros como resolução, tempo de conversão, tensão de saída máxima e mínima, limiar de tensão do *clock*, tempos de subida e descida da saída, entre outros. A Figura 5 mostra um diagrama com os principais aspectos da especificação do conversor no nível de sistema.

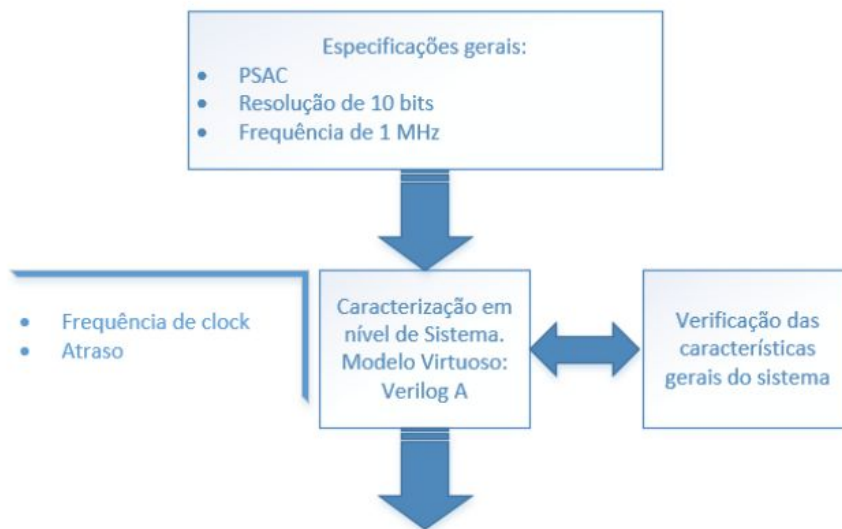


Figura 5 - Diagrama da caracterização em nível de sistema

O *testbench* consiste em um conversor ADC formulado em Verilog-A conectado a uma fonte analógica de entrada servindo como estímulo. A saída é observada para se verificar o correto funcionamento do sistema. O arranjo do *testbench* pode ser visto na Figura 6.

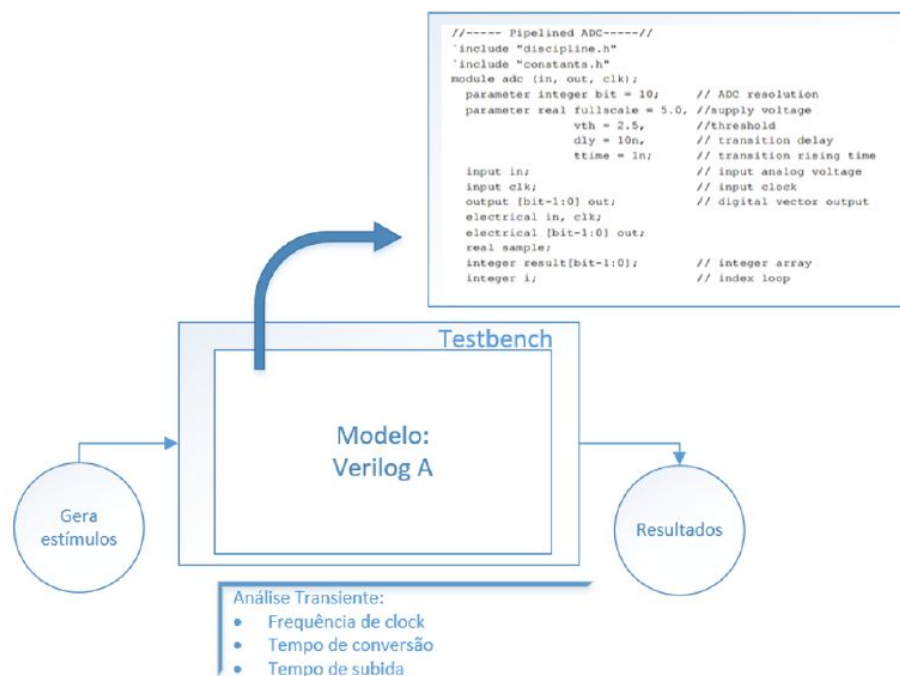


Figura 6 - Diagrama do *testbench*

Ao especificar o tempo de conversão para 6ms foi possível observar que o conversor é capaz de realizar as conversões necessárias quando operando a 1 MHz. O tempo de subida da saída também foi dimensionado para 1ms. Esses valores podem ser verificados na Figura 7.

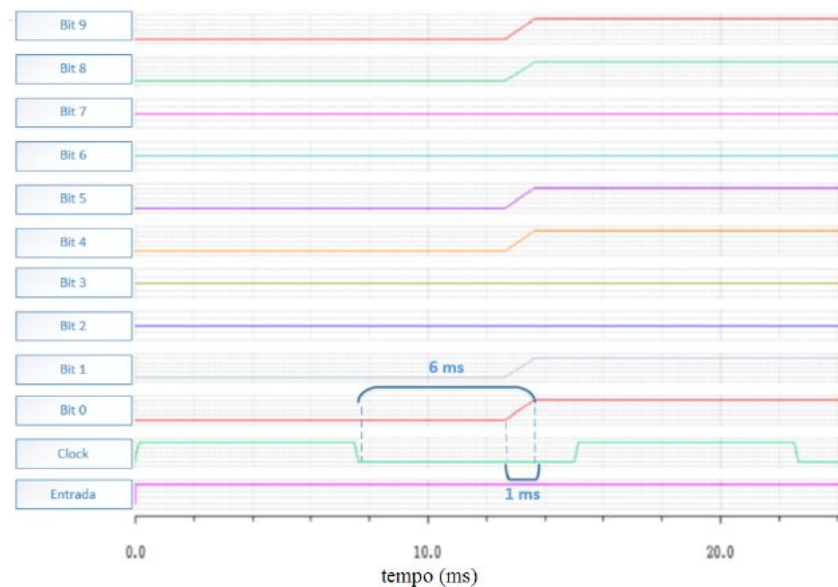


Figura 7 - Tempos de atraso da caracterização em nível de sistema

3.2 Nível de Blocos

No nível de blocos, o PSAC foi dividido em subsistemas, segundo a sua arquitetura. A divisão escolhida consiste em dois blocos SAC de 3-Bit e um bloco de 4-Bit conectados por dois amplificadores de ganho. Um bloco digital (*Control and Time Alignment Logic*) realiza o controle do sistema. As especificações gerais do nível anterior devem servir como base para definir características mais detalhadas.

O fluxo da caracterização dos SACs em nível de blocos é mostrado na Figura 4. É importante garantir que os SACs continuem atendendo as especificações estabelecidas no nível de sistemas. Características como frequência de clock e o valor do DNL e INL foram definidas nessa etapa. Os blocos dos SACs são detalhados no trabalho (SILL e DE LIMA MONTEIRO, 2009).

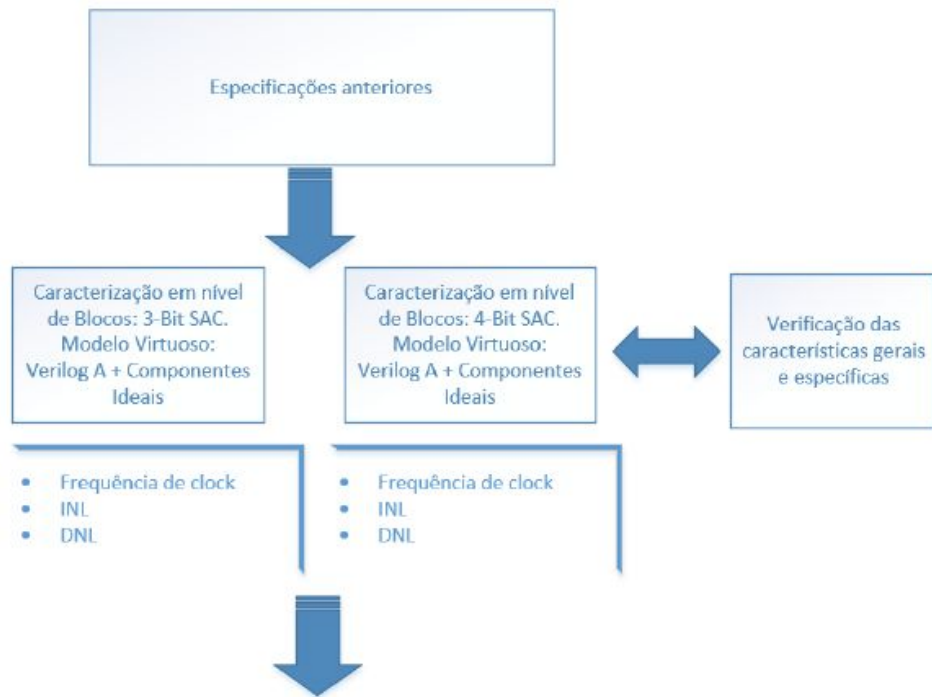


Figura 8 - Caracterização dos SACs em nível de blocos

Para a caracterização da taxa de amostragem, foi utilizada novamente a análise transiente. Nesse caso, verificou-se o funcionamento dos dois SACs para uma frequência de clock de 1 MHz. Tanto o 3-Bit SAC quanto o 4-Bit SAC conseguiram realizar a conversão com essa frequência. Os valores de DNL e INL também foram extraídos através dessa análise. Um sinal analógico de entrada foi variado de 0 a 1 V de amplitude. As respostas obtidas da conversão podem ser verificadas nas Figuras 9 e 10.

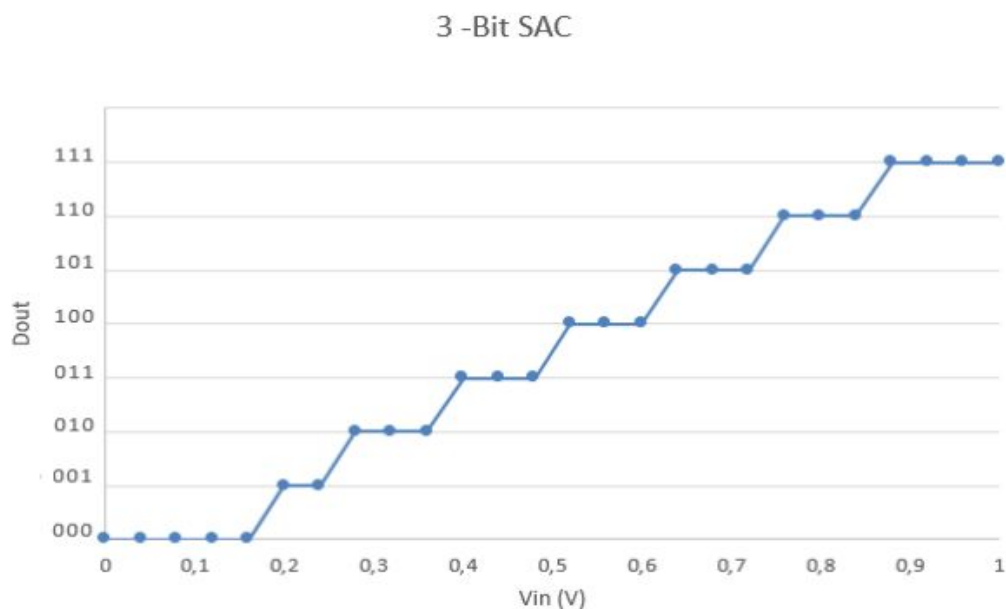


Figura 9 - Resposta do 3-Bit SAC

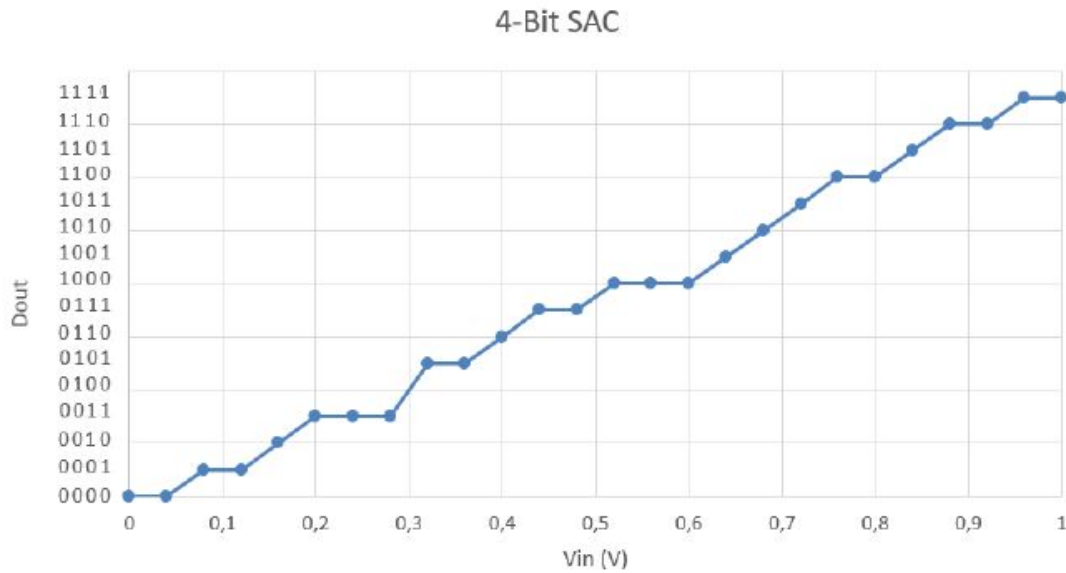


Figura 10 - Resposta de 4-Bit SAC

Para o 3-Bit SAC, foram encontrados valores de DNL que variam entre -0,2857 e 0,01142 e valores de INL variando entre -0,88 e 0,08. Para o 4-Bit SAC, o DNL variou entre -0,1 e 0,12 e o INL entre -0,12 e 0,04. O projetista deve avaliar se os valores encontrados são adequados e, caso necessário, deve realizar mudanças no projeto dos SACs em nível de blocos e refazer a caracterização para atender às especificações.

O amplificador também foi modelado no nível de blocos, utilizando características como ganho e taxa de varredura (*slew rate*). A Figura 11 mostra o diagrama utilizado para o amplificador.

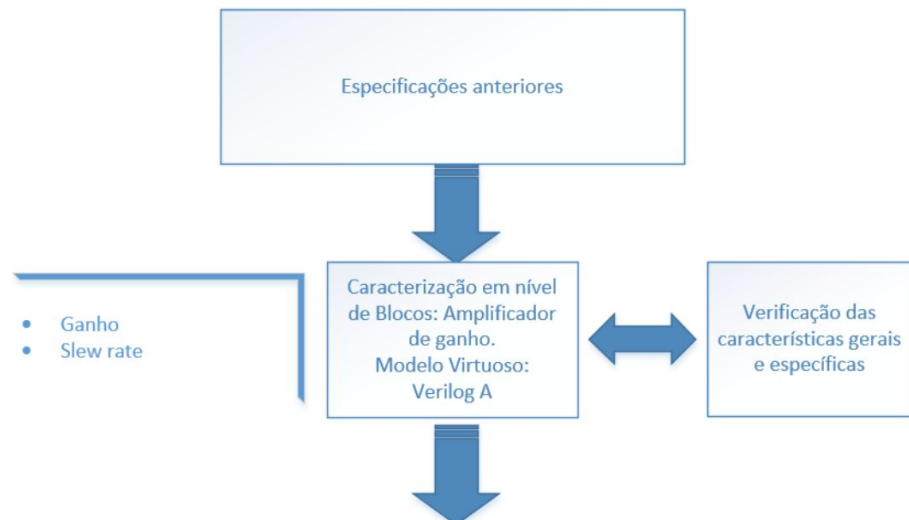


Figura 11 - Caracterização do amplificador em nível de blocos

Para verificar o ganho do amplificador, foram utilizados dois tipos de análise: Transiente e AC. Na análise transiente, é possível observar a relação entre o sinal de entrada e de saída do amplificador. Observou-se que o amplificador possui o ganho desejado de 8, como especificado anteriormente. O gráfico de resposta pode ser visto na Figura 12.

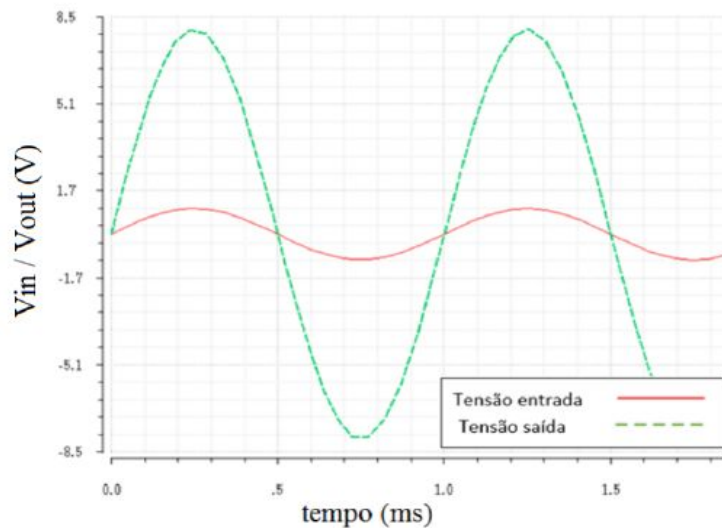


Figura 12 - Curva de resposta de amplificador no tempo em nível de blocos

Na análise AC foi retirada a resposta em frequência do amplificador. A frequência de corte de dispositivo foi de, aproximadamente, 10^5 Hz.

A taxa de varredura do amplificador foi verificada ao inserir-se um pulso retangular na entrada do mesmo. A partir da análise transiente, a resposta pode ser observada na forma de onda da saída. A Figura 13 mostra a verificação de *slew rate*. A taxa de variação calculada foi de $0,15$ V/ μ s.

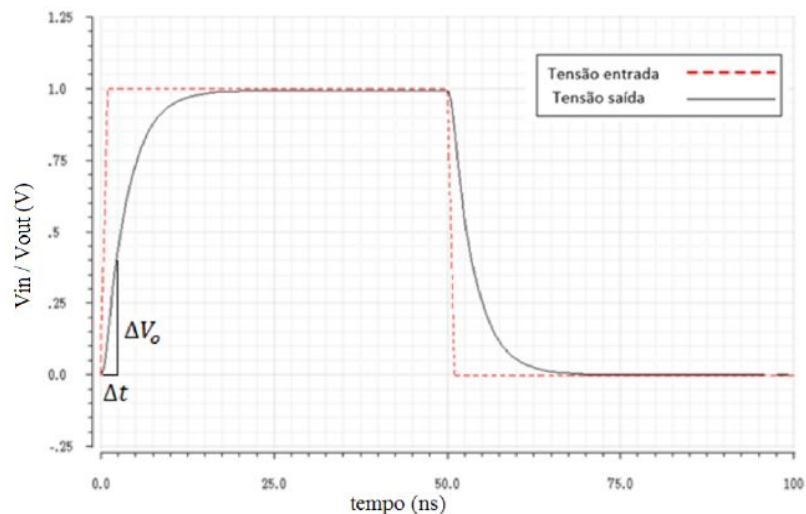


Figura 13 - Taxa de variação da tensão do amplificador em nível de blocos

3.3 Nível de Circuito

Em seguida, o sistema é representado em um nível de abstração de circuito. Nesse tipo de representação, são definidas as características de cada componente do circuito (transistores, resistores, etc.) de acordo com os requisitos definidos.

No PSAC, para fins de simplificação, somente o amplificador foi representado na forma de esquemático. Foram definidas as características dos elementos discretos do circuito, sendo possível representar o amplificador com características bem próximas da realidade. Foram definidos como requisitos para essa etapa que o ganho e a taxa de varredura do amplificador estejam condizentes com a especificação do amplificador.

Assim como na caracterização em nível de Blocos, as análises feitas para o amplificador foram de transiente e AC. Em nível de Circuito, no entanto, o ganho de amplificador caiu para 7,5, aproximadamente. A saída do amplificador pode ser vista na Figura 14.

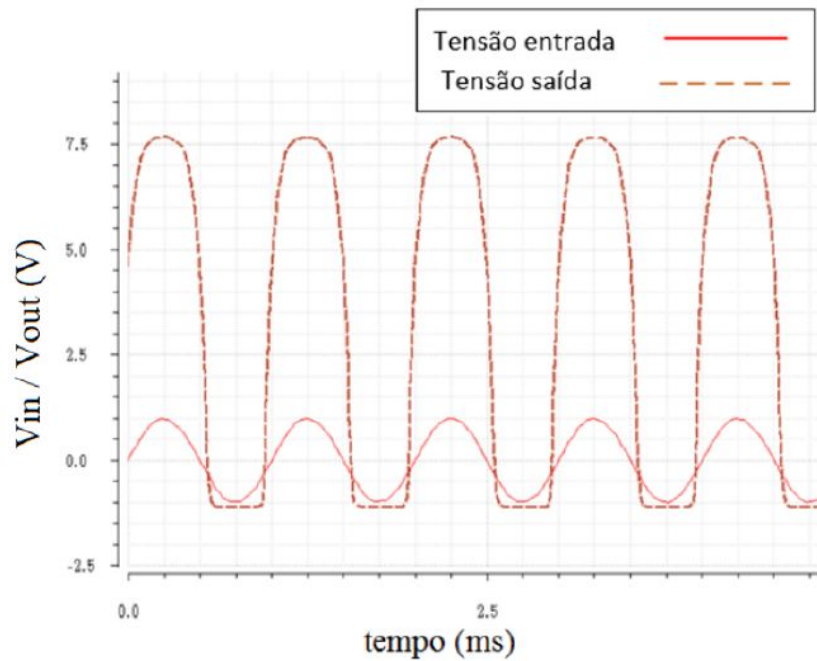


Figura 14 - Resposta de amplificador em nível de Circuito

Assim como na etapa de anterior, para a verificação do *slew rate*, foi utilizada a análise transiente. Pode-se observar na Figura 15 que, para o modelo esquemático a taxa de varredura do amplificador foi de $0,02 \text{ V}/\mu\text{s}$. Percebeu-se uma grande queda na taxa de varredura do amplificador, nesse caso o projetista deve avaliar se houve algum erro de projeto e se necessita de alguma alteração. Caso seja necessário, a caracterização deve ser refeita.

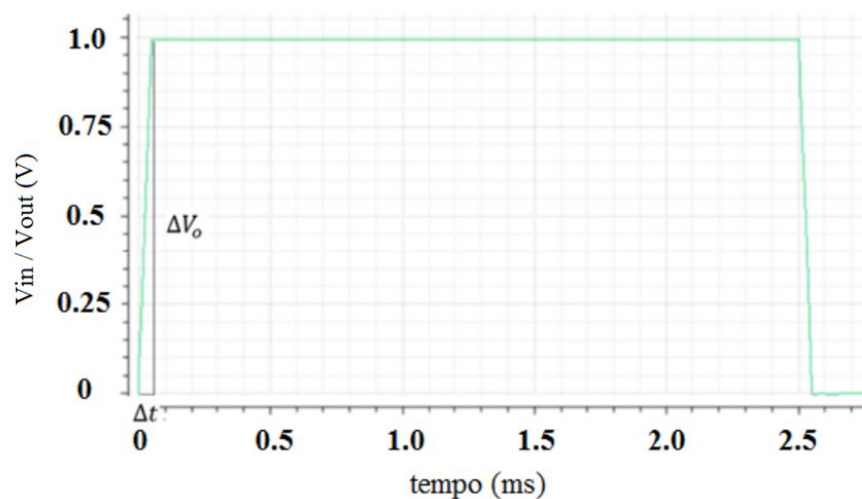


Figura 15 - Taxa de variação de tensão do amplificador em nível de Circuito

4. CONSIDERAÇÕES FINAIS

Foi discutida nesse trabalho a importância que os blocos de Propriedade Intelectual (IP) têm no desenvolvimento de CIs. A utilização de blocos IP consegue reduzir o tempo de desenvolvimento de novos projetos e o investimento necessário, além de prover maior confiabilidade. Outro ponto importante é que o desenvolvimento de blocos IP requer uma abordagem bem estruturada, ou seja, a caracterização e a verificação devem seguir etapas e regras bem definidas.

O objetivo deste trabalho foi propor um fluxo para a caracterização de blocos IP. Para isso, foi feita a análise das várias fases de um projeto de blocos IP, determinando as necessidades, ambiente e estratégias de verificação.

O fluxo proposto foi utilizado na caracterização de um circuito complexo PSAC. Esse foi dividido em subsistemas e para cada um deles foi feita a caracterização. Em nível de sistema, procurou-se definir características mais gerais do ADC, como frequência de clock e atraso. Para as etapas seguintes, características mais específicas foram definidas, como DNL e INL para os SACs e ganho e *Slew Rate* para o amplificador.

Para a caracterização e verificação dos requisitos, foram utilizados *testbenchs*, que permitiram a realização de simulações e obtenção dos resultados. As verificações utilizadas conseguiram apresentar resultados satisfatórios, mostrando diferentes formas de checar as características desejadas definidas em cada etapa.

A divisão do desenvolvimento em etapas bem definidas permite uma melhor precisão em relação à implementação dos CIs com os requisitos desejados. Na medida em que o nível de abstração diminui, os requisitos do sistema vão sendo refinados. Isso faz com que a implementação em níveis mais baixos se torne mais confiável.

REFERÊNCIAS

ARAÚJO, André Amaral et al. Programa Nacional de Microeletrônica: Contribuições para a formulação de um Plano Estruturado de Ações. Brasília, MCT, 2002.

BALKIR, Sina, DÜNDAR, Günhan. ÖGRENCI, A. Selçuk “Analog VLSI Design Automation”, CRC Press, 2005.

BROWY, Chris, GULLIKSON, Glenn e INDOVINA, Mark “A Top-Down Approach to IC Design”, v1.4, 2014.

SILL, Frank e DE LIMA MONTEIRO, Davies W., Pipelined Successive Approximation Conversion (PSAC) with Error Correction for a CMOS Ophthalmic Sensor, Universidade Federal de Minas Gerais, 2009.

KUNDERT, Ken e ZINKE, Olaf, „The Designer’s Guide to Verilog-AMS“, Springer, 1st ed., 2004.

TEXAS Instruments, “Understanding Data Converters: Application Report”, 1995.

VISITAINER PINO, Alexandre “Instrumentação e Técnicas de Medida: Conversores AD e DA”, Universidade Federal do Rio de Janeiro, 2012.

WOLF, Wayne “Modern VLSI Design: IP-Based Design”, Prentice Hall Modern, 4th ed. 2008.