

UNIVERSIDADE FEDERAL DE MINAS GERAIS
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

**DESENVOLVIMENTO DE FERRAMENTAS PARA
O CÁLCULO DE PERDAS EM CONVERSORES
ESTÁTICOS: CONTROLE DE CONVERSORES
ESTÁTICOS COM A PLATAFORMA DSPACE**

Rafael Castro e Abrantes
Belo Horizonte
2016

DISSERTAÇÃO DE MESTRADO Nº 938

**DESENVOLVIMENTO DE FERRAMENTAS PARA O CÁLCULO
DE PERDAS EM CONVERSORES ESTÁTICOS: CONTROLE DE
CONVERSORES ESTÁTICOS COM A PLATAFORMA DSPACE**

Rafael Castro e Abrantes

DATA DA DEFESA: 29/07/2016

Universidade Federal de Minas Gerais
Escola de Engenharia
Programa de Pós-Graduação em Engenharia Elétrica

**DESENVOLVIMENTO DE FERRAMENTAS PARA O CÁLCULO DE
PERDAS EM CONVERSORES ESTÁTICOS: CONTROLE DE
CONVERSORES ESTÁTICOS COM A PLATAFORMA DSPACE**

Rafael Castro e Abrantes

Dissertação de Mestrado submetida à Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em Engenharia Elétrica da Escola de Engenharia da Universidade Federal de Minas Gerais, como requisito para obtenção do Título de Mestre em Engenharia Elétrica.

Orientador: Prof. Porfírio Cabaleiro Cortizo
Coorientador: Prof. Paulo Fernando Seixas

Belo Horizonte - MG

Julho de 2016

A161d

Abrantes, Rafael Castro e.

Desenvolvimento de ferramentas para o cálculo de perdas em conversores estáticos [manuscrito]: controle de conversores estáticos com a plataforma dSPACE / Rafael Castro e Abrantes. - 2016.
140 f., enc.: il.

Orientador: Porfírio Cabaleiro Cortizo.
Coorientador: Paulo Fernando Seixas.

Dissertação (mestrado) Universidade Federal de Minas Gerais,
Escola de Engenharia.

Anexos: f. 112-140.

Bibliografia: f. 106-111.

1. Engenharia elétrica - Teses. 2. Sistemas ininterruptos de energia - Teses. 3. Indutores elétricos - Teses. I. Cortizo, Porfírio Cabaleiro. II. Seixas, Paulo Fernando. III. Universidade Federal de Minas Gerais. Escola de Engenharia. IV. Título.

CDU: 621.3(043)

"Desenvolvimento de Ferramentas para o Cálculo de Perdas em Conversores Estáticos: Controle de Conversores Estáticos com a Plataforma DSPACE"

Rafael Castro e Abrantes

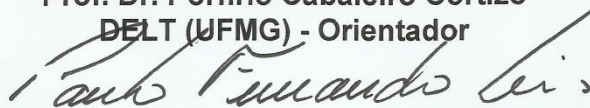
Dissertação de Mestrado submetida à Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em Engenharia Elétrica da Escola de Engenharia da Universidade Federal de Minas Gerais, como requisito para obtenção do grau de Mestre em Engenharia Elétrica.

Aprovada em 29 de julho de 2016.

Por:



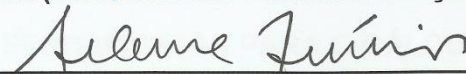
Prof. Dr. Porfirio Cabaleiro Cortizo
DELT (UFMG) - Orientador



Prof. Dr. Paulo Fernando Seixas
DELT (UFMG)- Coorientador



Prof. Dr. Wanderson Ferreira de Souza
Eletronica (Universidade Federal de Viçosa)



Prof. Dr. Seleme Isaac Seleme Júnior
DELT (UFMG)



Prof. Dr. Lenin Martins Ferreira Moraes
DELT (UFMG)

DEDICATÓRIA

À Vozinha Márcia
exemplo de equidade,
educação e amor.

AGRADECIMENTOS

Gostaria de agradecer aos meus familiares, meus pais Paulo Wilson e Vânia Lúcia, pelo amor incondicional, aos meus irmãos Filipe e Lucas pela amizade e companheirismo. Aos meus avós, tios e primos pelo carinho e incentivo. Aos meus amigos, que me acompanham desde a graduação até essa etapa do mestrado e aos do GEEE pela camaradagem em todos os momentos. Aos colegas do Grupo de Eletrônica de Potência pelo convívio diário e participação no desenvolvimento deste trabalho, através das ideias trocadas e conhecimentos compartilhados. Em especial à Anna Paula parceira deste projeto, exemplo de excelência, competência e dedicação. Ao professor Porfírio pela confiança, orientação e ensinamentos transmitidos. Ao professor Paulo Seixas pelos auxílios e contribuições neste trabalho. Aos membros da banca examinadora professores Wanderson Souza, Seleme Isaac e Lenin Moraes pela participação e pelas valiosas contribuições. À Engetron pelo apoio, em especial aos Engenheiros Wilton Padrão, Paulo de Tarso, Mário Santos, Vinícius Araújo e Flávio Michel, pelas grandes colaborações no desenvolvimento do projeto. Ao PPGEE da UFMG e CAPES pela oportunidade e apoio.

RESUMO

Equipamentos de alto rendimento são fortemente valorizados, onde tal característica é, comumente, fator decisivo na escolha de determinado produto pelo valor agregado em qualidade. A alta eficiência de equipamentos UPS, ou *no-break*, representa em significativa economia de custo energético, principalmente na configuração *double conversion (on-line)*, os quais atuam ininterruptamente em faixa de potência elevada. Isto posto, identificar parâmetros de projeto, que têm impacto, tanto na qualidade do desempenho do equipamento, quanto em sua eficiência, é de extrema utilidade no aperfeiçoamento da tecnologia empregada. O presente estudo avalia de forma analítica os princípios de perdas em UPS, abordando dois elementos de elevada participação no detrimento da eficiência: dispositivos semicondutores e elementos passivos de filtro. Com a finalidade de desenvolver ferramentas para calcular perdas nesses componentes em ambiente de simulação, permitindo identificar configurações e critérios de projeto, os quais viabilizem o desenvolvimento de equipamentos de melhor desempenho e eficiência. Para caracterizar a UPS (seus conversores e elementos passivos) elaborou-se modelo do sistema no ambiente simulado, visando, inclusive, seu controle via *hardware*, na perspectiva de efetivá-lo experimentalmente em inversor na configuração ponte completa. Para esse fim, fez-se uso da Plataforma dSPACE, ferramenta essa que permite a prototipagem rápida de conversor estático, entre outros, com aplicação de controle em tempo real. Apresenta-se uma revisão de seus recursos e funcionalidades (PWM e conversor A/D) direcionados à aplicação desejada, facilitando também sua utilização em trabalhos futuros.

Palavras chave: UPS, Cálculo de Perdas, Dispositivos Semicondutores de Potência, Indutor, Modelagem de Conversor, Plataforma dSPACE

ABSTRACT

High efficiency equipment is strongly valued, once such feature is, commonly, crucial to choose certain product, by its added value on quality. High efficiency UPS equipment, or no-break, represents significant energy cost savings, mainly those in double conversion (on-line) configuration, which act uninterruptedly at heavy power rate. That said, to identify project parameters, that impacts not only on equipment quality performance, but also on its efficiency, is extremely useful improving the applied technology. The present essay evaluates in an analytical mode the principles of power losses in UPS, approaching both elements with substantial share on efficiency detriment: semiconductor devices and passive filter components. Aiming the development of tools, to calculate power losses in such parts carried out in simulation environment. In order to enable configurations identification and project criteria, facilitating equipment development, to enhance its performance and efficiency. To characterize the UPS (its converters and passive components) a model of the system was elaborated on the simulated environment, aiming also its control via hardware, on the perspective to implement it experimentally in full-bridge configuration inverter. For that purpose, it was employed the dSPACE Platform, such a tool allows fast prototyping of a static converter, among others, controlled in a real-time application. A review is presented, considering its resources and features (PWM and A/D Converter), oriented to the desired implementation, also to facilitate its operation in future work.

Key-words: UPS, Power Losses Calculus, Semiconductor Power Devices, Inductor, Converter Modeling, dSPACE Platform

LISTA DE FIGURAS

Figura 2.1 – UPS <i>double conversion</i>	5
Figura 2.2 – Topologias de conversores em estudo: a) dois níveis; b) três níveis NPC1; c) três níveis NPC2	5
Figura 2.3 – Sinal de referência e portadora triangular para a modulação dois níveis.....	7
Figura 2.4 – Sinal de referência e portadoras triangular para a modulação três níveis NPC	8
Figura 2.5 – Espectro harmônico da tensão fase-neutro modulada pelo PWM nas topologias dois níveis (azul) e três níveis NPC (vermelho)	10
Figura 2.6 – Curva característica de ligamento e desligamento do IGBT [24].....	12
Figura 2.7 – Curva característica de recuperação reversa do diodo [25]	13
Figura 2.8 – Curvas características do dispositivo FF50R12RT4: a) Curva $V_{ce} \times I_c$; b) $E_{on} e E_{off} \times I_c$; d) $E_{on} e E_{off} \times R_g$; f) $V_f \times I_f$; g) $Err \times I_f$; h) $Err \times R_g$ [27]	15
Figura 2.9 – Perfil de corrente no: a) IGBT; b) Diodo	16
Figura 2.10 – Circuito térmico equivalente do módulo: a) regime permanente; b) regime transitório (modelo Foster)	20
Figura 2.11 – Curvas de impedância térmica dos dispositivos do módulo FF50R12RT4 [27]: a) IGBT; b) Diodo; c) Dissipador P16 [31]	21
Figura 2.12 – a) Perfil de tensão no indutor; b) Perfil de densidade de fluxo no indutor	25
Figura 2.13 – Visão geral do modelo em MATLAB/Simulink para o cálculo de perdas para as três topologias.....	27
Figura 2.14 – Seção de inserção dos dados do conversor para realização da simulação voltada ao cálculo de perdas	27
Figura 2.15 – Diagrama de blocos para cálculo das perdas de condução no IGBT	28
Figura 2.16 – Diagrama de blocos para cálculo das perdas de chaveamento no IGBT .	28
Figura 2.17 – Diagrama de blocos do modelo térmico em regime permanente para a topologia dois níveis	29
Figura 3.1 – Diagrama do circuito em estudo	31
Figura 3.2 – Diagrama de blocos do sistema em estudo	32
Figura 3.3 – Modelo no domínio da frequência do sistema em análise	33
Figura 3.4 – Métodos de integração numérica: (a) Regra retangular (Euler progressivo e regressivo); (b) Regra trapezoidal (Tustin)	36
Figura 3.5 – Região de estabilidade (em cinza) dos métodos: a) Euler progressivo; b) Euler regressivo; c) Trapezoidal.....	38
Figura 3.6 - Circuito simplificado para modelagem do retificador	39
Figura 3.7 – Malha de corrente do retificador	39
Figura 3.8 – Malha de tensão do retificador	40
Figura 3.9 – Perfil de energia por frequência de chaveamento dos conversores em modo Inversor.....	43
Figura 3.10 – Distorção harmônica total na tensão de saída	44
Figura 3.11 – Perfil de energia por frequência de chaveamento dos conversores em modo retificador	45

Figura 3.12 – Distorção Harmônica Total na corrente do indutor L_f	46
Figura 3.13 – Perdas no indutor do filtro de saída do inversor nas topologias: a) dois níveis; b) três níveis NPC	49
Figura 3.14 – Elevação de temperatura no indutor do filtro de entrada da topologia: a) dois níveis; b) três níveis NPC	50
Figura 3.15 – Perdas nos indutores do filtro de entrada do retificador nas topologias: a) dois níveis; b) três níveis NPC	50
Figura 3.16 – Elevação de temperatura nos indutores do filtro de saída na topologia: a) dois níveis; b) três níveis NPC	51
Figura 3.17 – Rendimento global da UPS	52
Figura 3.18 – Diagrama em MATLAB/Simulink para simulação de um conversor ponte completa	53
Figura 3.19 – Diagrama dos blocos: a) Controlador PI; b) Modulador PWM	54
Figura 3.20 – Diagramas de Bode de: a) Malha de corrente aberta; b) Malha de corrente fechada; c) Malha de tensão aberta; d) Malha de tensão fechada	55
Figura 3.21 – Resposta ao degrau da malha de tensão (verde) e malha de corrente (azul)	56
Figura 3.22 – Desempenho do controle no rastreamento das referências de: a) Tensão; b) Corrente	57
Figura 3.23 – Desempenho do controle na variação da referência de tensão de 60 V para 80 V de pico: a) Malha de tensão; b) Malha de corrente	57
Figura 3.24 – Desempenho do controle na variação da referência de tensão de 80 V para 60 V de pico: a) Malha de tensão; b) Malha de corrente	57
Figura 3.25 – Tensão e corrente de saída na carga	58
Figura 4.1 – Arquitetura da Placa PPC Controller DS1103	60
Figura 4.2 – <i>Expansion box</i>	61
Figura 4.3 – <i>Connector panels</i>	61
Figura 4.4 – Placa PPC Controller DS1103	62
Figura 4.5 – Placa de comunicação DS814	62
Figura 4.6 – <i>Link board</i> DS817	62
Figura 4.7 – Chaves rotativas para definição do <i>base address</i>	63
Figura 4.8 – Ilustração da razão cíclica	65
Figura 4.9 – Ilustração do tempo morto	65
Figura 4.10 – Diagrama do espaço vetorial	66
Figura 4.11 – Variação da posição do sinal de interrupção ST1PWM	67
Figura 4.12 – Rotina de atualização da razão cíclica	68
Figura 4.13 – Biblioteca <i>real-time interface</i> RTI	69
Figura 4.14 – Sub-biblioteca <i>master</i> PPC	70
Figura 4.15 – Janela dos blocos: a) Conversor A/D mux; b) Conversor A/D paralelo; c) Sincronia de aquisição dos conversores A/D	71
Figura 4.16 – Sub-biblioteca <i>slave</i> DSP F240	73
Figura 4.17 – Janelas dos blocos: a) Bit <i>in</i> ; b) Bit <i>out</i> ; c) PWM trifásico; d) Interrupção do PWM	74
Figura 4.18 – Visão geral do <i>software</i> dSPACE Profiler	76
Figura 4.19 – Exemplificação da cadeia de eventos em linha do tempo [55]	76
Figura 4.20 – Visão geral do <i>software</i> ControlDesk	77

Figura 4.21 – Ferramentas de leiaute: a) <i>Plotter</i> ; b) <i>Display</i> numérico; c) <i>Input</i> numérico	78
Figura 4.22 – Situação de <i>overrun</i>	80
Figura 5.1 – Diagrama da montagem experimental	82
Figura 5.2 – <i>Stack</i> Semikron utilizado.....	83
Figura 5.3 – Inversor alimentando um filtro LC e uma carga resistiva com as medições de corrente e tensão	84
Figura 5.4 – Circuito de medição: a) tensão; b) corrente	85
Figura 5.5 – Diagrama geral implementado em MATLAB/Simulink.....	87
Figura 5.6 – Tarefa de aquisição dos conversores analógico-digitais	88
Figura 5.7 – Controlador PI implementado	88
Figura 5.8 – Diagrama de controle da tensão e corrente	89
Figura 5.9 – Temporização capturada pelo <i>software</i> dSPACE Profiler	90
Figura 5.10 – Leiaute elaborado no ControlDesk para monitoramento e ajuste do controle	91
Figura 5.11 – Visão geral da montagem experimental.....	92
Figura 5.12 – Dados de referência e medição de tensão no capacitor: (a), (c), (e); e corrente no indutor: (b), (d), (f) coletados pelo <i>software</i> ControlDesk ($E = 100 V$, $V_{ref,p} = 80 V$)	94
Figura 5.13 – Tensão no capacitor: (a), (c), (e); e corrente no indutor: (b), (d), (f) medidos pelo Osciloscópio Digital ($E = 100 V$, $V_{ref,p} = 80 V$)	95
Figura 5.14 – Desempenho do controle durante redução de carga na: a) tensão no capacitor; b) corrente no indutor ($E = 100 V$, $V_{ref,p} = 80 V$)	95
Figura 5.15 – Desempenho do controle durante aumento de carga na: a) tensão no capacitor; b) corrente no indutor ($E = 100 V$, $V_{ref,p} = 80 V$)	96
Figura 5.16 – Dados de referência e medição de tensão no capacitor: (a), (c), (e); e corrente no indutor: (b), (d), (f) coletados pelo <i>software</i> ControlDesk ($E = 150 V$, $V_{ref,p} = 120 V$)	97
Figura 5.17 – Tensão no capacitor: (a), (c), (e); e corrente no indutor: (b), (d), (f) medidos pelo Osciloscópio Digital ($E = 150 V$, $V_{ref,p} = 120 V$)	98
Figura 5.18 – Desempenho do controle durante redução de carga na: a) tensão no capacitor; b) corrente no indutor ($E = 150 V$, $V_{ref,p} = 120 V$)	99
Figura 5.19 – Desempenho do controle durante aumento de carga na: a) tensão no capacitor; b) corrente no indutor ($E = 150 V$, $V_{ref,p} = 120 V$)	99
Figura A.1.1 – Tela de aquisição de dados dos dispositivos	112
Figura A.1.2 – Tela para o cálculo de perdas nas abordagens: a) <i>on-line</i> ; b) <i>off-line</i> ..	113
Figura A.2.1 – Ilustração do filtro LCL e as correntes em cada elemento.....	114
Figura A.2.2 – Detalhe da corrente no Capacitor	114
Figura A.3.1 – Tabela de escolha do núcleo fornecida pela fabricante Magnetics	117
Figura A.3.2 – Diagrama de um núcleo toroidal	118
Figura A.4.1 – a) Perfil de tensão no indutor; b) Perfil de densidade de fluxo no indutor	122
Figura C.2.1 – Diagrama em MATLAB/Simulink dividido em blocos do tipo <i>Atomic Subsystem</i>	130
Figura C.2.2 – Exemplificação do <i>Atomic Subsystem</i> com o bloco <i>System Outputs</i> inserido	130

Figura C.2.3 – Janela de edição do <i>System Outputs</i>	132
Figura C.3.1 – Aba superior <i>Platforms</i>	133
Figura C.3.2 – Menu de registro da Plataforma dSPACE	134
Figura C.3.3 – Confirmação do registro da Plataforma dSPACE na aba <i>Platform/Device</i>	134
Figura C.4.1 – Menu <i>Triggers</i>	135
Figura C.4.2 – Associação do <i>Plotter</i> ao: a) <i>Start Trigger</i> ; b) <i>Stop Trigger</i>	135
Figura C.4.3 – Ajuste dos parâmetros do <i>Start Trigger</i>	136
Figura C.5.1 – Aba <i>Measurement Configuration</i>	137
Figura C.5.2 – <i>Recorder</i> : a) Menu; b) Aba de Propriedades	137
Figura D.1.1 – Placa de condicionamento desenvolvida.....	138
Figura D.2.1 – Amplificador Operacional em configuração não inversora	140

LISTA DE TABELAS

Tabela 2.1 – Tabela verdade para a topologia dois níveis.....	6
Tabela 2.2 – Tabela verdade para a topologia três níveis NPC.....	7
Tabela 2.3 – Equivalência entre elementos do circuito elétrico e térmico	19
Tabela 2.4 – Relações para cálculo dos parâmetros de filtro LCL e LC.....	23
Tabela 3.1 – Correspondência em Z para os métodos de integração [44]	37
Tabela 3.2 – Dados da UPS	41
Tabela 3.3 – Comparação das perdas nos dispositivos da topologia dois níveis em modo inversor e retificador.....	47
Tabela 3.4 – Comparação das perdas nos dispositivos da topologia NPC1 em modo inversor e retificador.....	47
Tabela 3.5 – Comparação das perdas nos dispositivos da topologia NCPC2 em modo inversor e retificador.....	48
Tabela 3.6 – Características do conversor e controle digital.....	54
Tabela 4.1 – Tabela de endereços da DS1103.....	63
Tabela 4.2 – Correspondência dos sinais bit I/O.....	75
Tabela 4.3 – Abreviações adotadas pelo Profiler	76
Tabela 5.1 – Características do conversor	84
Tabela 5.2 – Ganhos dos controladores digitais na condição: $E = 100 V, V(ref, p) = 80 V$	93
Tabela 5.3 – Ganhos dos controladores digitais na condição: $E = 150 V, Vref, p = 120 V$	96
Tabela 5.4 – Nível eficaz de corrente na saída do inversor nas situações avaliadas	100
Tabela 5.5 – Nível eficaz de tensão na saída do inversor nas situações avaliadas.....	100
Tabela 5.6 – Distorção harmônica total da tensão de saída do inversor nas situações avaliadas	101

SUMÁRIO

1	INTRODUÇÃO	1
1.1	Motivação	1
1.2	Objetivos	2
1.3	Organização do Texto	2
2	ANÁLISE DE PERDAS EM UPS	4
2.1	Introdução	4
2.2	Topologias dos conversores estáticos	4
2.2.1.	Modulação PWM dois e três níveis	6
2.2.2.	Espectro harmônico das topologias	9
2.3	Cálculo de perdas nos dispositivos semicondutores	10
2.3.1.	Princípio físico das perdas no módulo semicondutor	11
2.3.2.	Características elétricas dos semicondutores relacionadas às perdas	14
2.3.3.	Cálculo numérico das perdas	16
2.3.4.	Modelo térmico dos dispositivos semicondutores	18
2.4	Projeto dos filtros de entrada (LCL) e saída (LC)	22
2.4.1.	Cálculo de perdas nos elementos de filtro	23
2.5	Implementação do cálculo de perdas e modelo térmico em ambiente de simulação	26
2.6	Conclusões	29
3	MODELAGEM DOS CONVERORES	31
3.1	Introdução	31
3.2	Modelo do conversor em modo Inversor	31
3.2.1	Modelagem do sistema inversor no domínio da frequência	32
3.3	Projeto dos controladores PI	34
3.3.1	Discretização do Controlador PI	36
3.4	Extensão da modelagem no modo retificador	38
3.5	Resultados de Simulação	41
3.5.1	Cálculo de Perdas	41
3.5.1.1	Operação modo inversor	42
3.5.1.2	Operação modo retificador	44
3.5.1.4	Cálculo das perdas em indutores	48

3.5.1.5	Rendimento Global	51
3.5.2	Controle digital do inversor ponte completa	53
4	A PLATAFORMA DSPACE	59
4.1	Introdução	59
4.2	A plataforma dSPACE	59
4.2.1	Composição e instalação da plataforma dSPACE	60
4.2.2	Recursos de interesse da plataforma dSPACE para este trabalho	64
4.2.2.1	Conversor analógico-digital	64
4.2.2.2	Modulador PWM	65
4.3	Real-time interface	68
4.3.1	Sub-biblioteca <i>master</i> PPC	69
4.3.2	Sub-biblioteca SLAVE DSP F240	72
4.4	Profiler	75
4.5	ControlDesk Next Generation 5.2	77
4.6	Situação de <i>overrun</i>	79
4.7	Manuais de Referência	80
4.8	Conclusões	81
5	RESULTADOS EXPERIMENTAIS	82
5.1.	Introdução	82
5.2.	Montagem Experimental	82
5.2.1.	Circuito de Potência	82
5.2.2.	Circuito de medição	84
5.2.3.	Circuito de Condicionamento	85
5.2.4.	Controle de PWM via plataforma dSPACE	87
5.2.4.1.	Diagrama em MATLAB/Simulink	87
5.2.4.2.	Verificação via dSPACE Profiler	90
5.2.4.3.	Leiaute implementado no ControlDesk	90
5.3.	Resultados coletados	91
5.3.1.	Rastreamento das referências de controle	92
5.3.2.	Valores eficazes da Tensão e Corrente de Saída	100
5.3.3.	Distorção Harmônica Total da Tensão de Saída	100
5.4.	Conclusões	101
6	CONCLUSÕES	102

6.1. Propostas de continuidade	104
REFERÊNCIAS BIBLIOGRÁFICAS	106
APÊNDICE A Cálculo de Perdas em UPS	112
A.1 <i>Software</i> de Cálculo de Perdas	112
A.2 Projeto de Filtro LCL/LC	114
A.3 Projeto Físico de Indutor	117
A.4 Cálculo de Perdas em Indutores	120
APÊNDICE B Modelagem Matemática	123
B.1 Algoritmo de auxílio de projeto de controladores	123
B.2 Dedução da Modelagem na Operação Retificadora	127
APÊNDICE C Plataforma dSPACE	128
C.1 Compatibilização com MATLAB	128
C.2 Cálculo de Temporização das Tarefas	129
C.4 <i>Triggering</i> do ControlDesk	134
C.5 Registro de Dados via ControlDesk	136
APÊNDICE D Montagem Experimental	138
D.1 Placa de Condicionamento	138
D.2 Projeto do Circuito de Condicionamento	139

1 INTRODUÇÃO

1.1 Motivação

Equipamentos UPS *double conversion* tem vasto ramo de aplicações, para garantia do suprimento de cargas críticas, entre as principais áreas de aplicações pode-se citar: Telecomunicações, TI e Data Centers, Óleo e Gás, Hospitais, Aeroportos, Indústria Alimentícia, P&D [1], [2]. Pelo fato de operarem ininterruptamente, certas qualidades são desejáveis no equipamento como: confiabilidade, escalabilidade para atingir demandas futuras, alta densidade de potência e elevada eficiência energética.

Estudos demonstram que a melhoria percentual do rendimento de equipamentos UPS possibilitariam economias consideráveis de energia, conseqüentemente, economia financeira devido ao crescente custo da energia elétrica. Um aumento na eficiência das UPSs presentes em Data Centers dos EUA da ordem de 90 % para 98 % provocaria uma economia de três bilhões de dólares americanos anuais [3]. Estima-se que só o estado da Califórnia nos EUA gasta cerca de cem milhões de dólares americanos anuais em energia elétrica, devido às perdas de potência dos conversores, principalmente [4].

Considerando-se ainda o fato de que as perdas de potência são dissipadas em forma de calor, o melhor rendimento proporciona além dos benefícios de menor consumo energético, o menor custo do sistema de refrigeração da planta. Como regra prática geral, para uma refrigeração eficiente de uma determinada planta, consome-se 0,33 kW de potência para resfriar 1 kW de calor injetado no ambiente [5].

O desenvolvimento de lógica programável de conversores, incluídos os algoritmos de controle, em microcontroladores do tipo DSP e FPGA é de certa complexidade e demandam um tempo elevado de aprendizado [6], [7], tanto de uma determinada linguagem de programação, quanto suas bibliotecas associadas. Além da experiência necessária para o desenvolvimento de algoritmos otimizados. Nesse sentido, a Plataforma dSPACE se apresenta como uma alternativa simples e intuitiva no controle e prototipagem de conversores, por exemplo, uma vez que sua implementação é realizada por meio de *software*, desenvolvendo algoritmos de controle em diagrama de blocos no MATLAB/Simulink. Facilitando e agilizando a prototipagem de novos equipamentos e técnicas de controle.

1.2 Objetivos

O presente estudo tem como meta desenvolver ferramentas que auxiliem o projeto de sistemas UPS, fornecendo dados que concernem à perda de potência inerente à sua operação, facilitando ao projetista a escolha dos componentes necessários, os quais atendam ao nível de potência. Além de caracterizar, na condição de estimativa, o rendimento do equipamento em função de parâmetros do sistema. As informações de perdas são, inclusive, determinantes no projeto estrutural e de refrigeração, elemento crucial para manutenção do funcionamento da UPS dentro de limites térmicos pré-estabelecidos, bem como para garantia de qualidade do produto.

Nessa perspectiva, serão abordados dois elementos de grande consumo energético durante a operação de uma UPS em configuração *double conversion*: os dispositivos semicondutores de potência e os elementos passivos de filtro (indutores). Assim sendo, serão elaborados métodos que permitam a estimativa de perdas nos respectivos elementos supracitados. Fundamentando-se as perdas em elementos semicondutores nas suas características elétricas e térmicas, enquanto as associadas aos indutores em seu dimensionamento físico.

Objetiva-se ainda desenvolver modelagem dos conversores presentes na UPS (inversor e retificador), de forma a auxiliar o projeto de controladores para operação dos mesmos, bem como sua implementação em ambiente de simulação via MATLAB/Simulink. Desta maneira, permite-se avaliação dos conversores com relação ao nível de potência, para o cálculo de perdas, de forma controlada, como também de seu desempenho. Além disso, antecipa-se o projeto dos controladores digitais, em ambiente de simulação, a serem implementados em montagem experimental, a qual visa o controle de um conversor.

Por conseguinte, pretende-se analisar experimentalmente o controle de um conversor, em modo inversor na configuração ponte completa, utilizando-se de ferramenta que possibilita o controle em tempo real de equipamentos dessa natureza: a plataforma dSPACE. Em função disto, uma revisão acerca da plataforma dSPACE é realizada, apresentando suas funcionalidades e modo de operação, visando o futuro desenvolvimento de novos protótipos de conversores.

1.3 Organização do Texto

Em vista dos objetivos propostos, estrutura-se o presente documento em seis capítulos e quatro apêndices, os quais são descritos a seguir.

Inicialmente demonstra-se, no Capítulo 2, a fundamentação teórica do problema do cálculo de perdas em UPS, realiza-se uma revisão das principais configurações de conversores empregadas no equipamento, trabalhando conceitos e contextualizando de forma analítica o cálculo de perdas nos elementos de interesse: dispositivos semicondutores de potência e indutores de filtro. Caracterizando-os em função de seus aspectos correlacionados às perdas de potência.

Dá-se continuidade à fundamentação, no Capítulo 3, através da modelagem matemática dos sistemas a serem operados de forma controlada, isto é, os conversores inversor e retificador. Proporcionando ao leitor recursos suficientes para a compreensão completa do problema e dos métodos utilizados. Em seguida, são demonstrados resultados de simulação, apresentando-se dados de perdas em uma dada UPS, exemplificando toda a metodologia proposta de estimativa de perdas. Além disso, apresentam-se resultados de simulação de inversor ponte completa, com controladores projetados em função da modelagem descrita.

É apresentada, no Capítulo 4, uma revisão de forma didática a respeito da plataforma dSPACE evidenciando seus recursos e características necessárias à aplicação experimental, o controle de um conversor em modo inversor, concebendo conceitos para a compreensão do funcionamento e operação do equipamento.

Seguidamente, no Capítulo 5, demonstra-se a montagem experimental elaborada, apresentando-se os resultados coletados.

Finalmente, no Capítulo 6, faz-se uma breve análise do estudo, como um todo, enunciando conclusões e propostas de continuidade do trabalho.

Para complementar as informações presentes no texto, quatro apêndices são incluídos ao final para consulta. O APÊNDICE A traz referência à ferramenta de cálculo de perdas em módulos semicondutores, como também o princípio adotado no dimensionamento de filtro, incluindo ainda o método de projeto físico de indutores e de cálculo de perdas nesse elemento. O APÊNDICE B apresenta o algoritmo para cálculo dos ganhos dos controladores de inversor, em função da modelagem proposta, e demonstra a dedução da modelagem do conversor operando em modo retificador. No APÊNDICE C encontram-se instruções práticas para a configuração dos *softwares* relacionados à plataforma dSPACE para melhor aproveitamento de suas funcionalidades. O APÊNDICE D mostra uma revisão relacionada com o projeto dos circuitos empregados na montagem experimental.

2 ANÁLISE DE PERDAS EM UPS

2.1 Introdução

O sistema completo de uma UPS é de grande complexidade, para uma estimativa precisa de seu rendimento, devem ser consideradas as perdas produzidas por: módulos semicondutores de potência, filtros de entrada e saída, carregador de baterias, eletrônica empregada: fontes auxiliares, circuito de processamento e de comando das chaves (*gate-driver*), além do sistema de ventilação. A título de simplificação, no presente capítulo, serão apresentados métodos para cálculo de perdas em semicondutores e em elementos de filtragem de uma UPS, visto que são as perdas predominantes na operação on-line de uma UPS [8], além disso, sua estimativa por meio de cálculos via simulações é facilmente empregada [9], [10], [11]. O cálculo de perdas desses elementos depende de determinadas variáveis do sistema: o nível de potência da UPS; as características do material semicondutor (no caso das perdas nos conversores c.a.-c.c. e c.c.-c.a., retificador e inversor, respectivamente); e do projeto físico dos elementos de filtro (no caso das perdas nos filtros de entrada e saída).

2.2 Topologias dos conversores estáticos

Uma fonte de alimentação ininterrupta (*uninterruptible power supply* – UPS) pode ser concebida em três possíveis configurações [1], [12], [13]: *standby*, *lineinteractive*, *double conversion*. A primeira, *standby* (ou *off-line*) é a configuração mais utilizada em aplicações de baixa potência e baixo custo, em caso de falta da fonte principal, essa atua para suprir a alimentação da carga. A segunda, *lineinteractive* geralmente é empregada em pequenas instalações, essa atua em conjunto com a rede elétrica, ou corrigindo variações da tensão de entrada, ou atuando como filtro ativo dos harmônicos de corrente da carga, suprimindo-a em caso de falta da fonte principal. A última, *double conversion* (ou *on-line*) também atua continuamente, é alimentada pela rede por meio de retificador (primeira conversão), se difere por entregar potência regulada na saída através de inversor (segunda conversão), em caso de falta da fonte primária o banco de baterias atua alimentando o inversor, mantendo o suprimento das cargas. Das três configurações será estudada a *double conversion*, vide Figura 2.1, pela atuação ininterrupta e pelo fato de ser empregada principalmente em níveis de potência mais elevados, acima de 10 kVA [12].

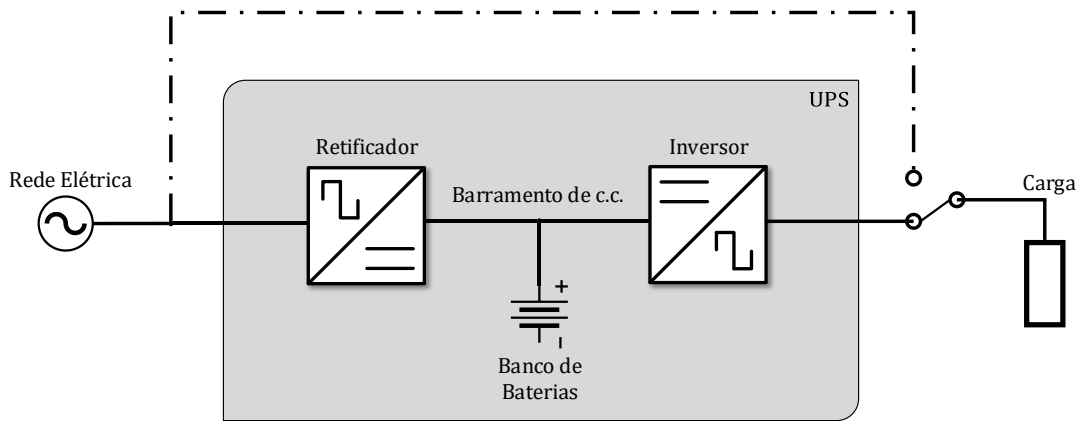


Figura 2.1 – UPS *double conversion*

Como pode ser observada, pela Figura 2.1, a UPS na configuração *double conversion* demanda um conversor c.a.-c.c. na entrada, ou seja, um retificador e um conversor c.c.-c.a. na saída, isto é, um inversor. Um conversor pode possuir uma determinada topologia, quer dizer, uma configuração de chaves, que o opera tanto como retificador quanto inversor, onde o comando das chaves determinará o fluxo de potência do elo c.a. para o c.c. (no caso do retificador) e do elo c.c. para o c.a. (no caso inversor). Em UPS dois tipos de topologias de conversores são frequentemente empregadas: a de dois níveis e a de três níveis NPC [14].

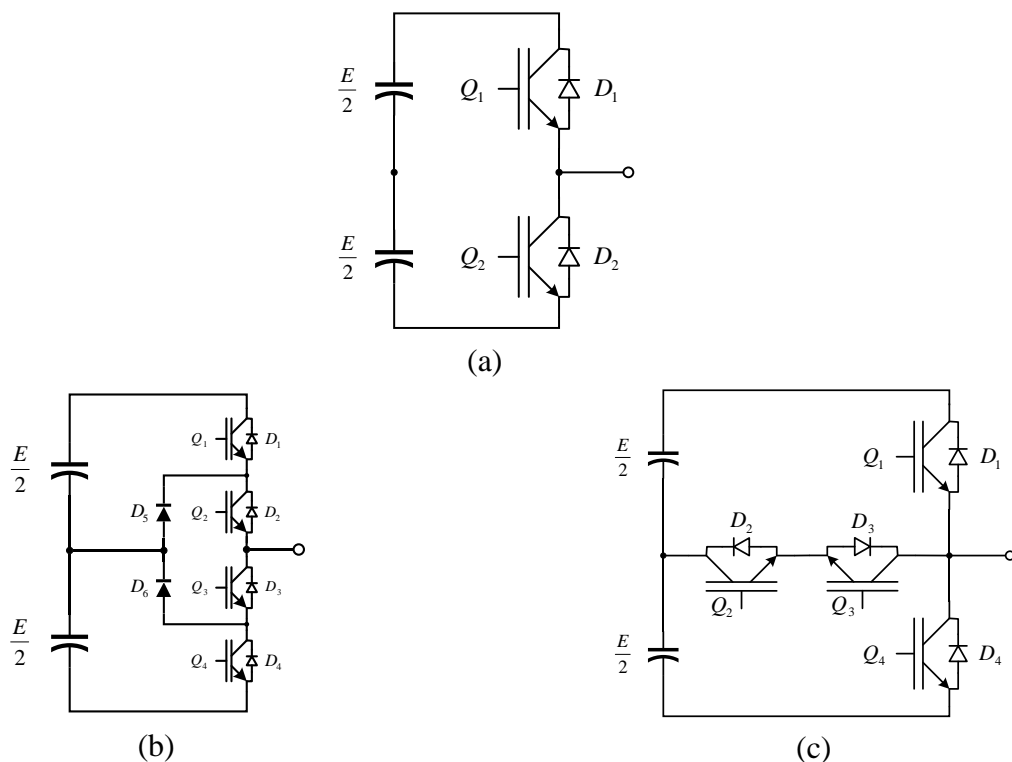


Figura 2.2 – Topologias de conversores em estudo: a) dois níveis; b) três níveis NPC1; c) três níveis NPC2

A Figura 2.2 reúne as topologias para conversores avaliadas neste trabalho em configuração monofásica. A razão da nomenclatura dois níveis se deve aos dois possíveis níveis de tensão nos terminais do conversor, o máximo e mínimo da tensão do barramento de corrente contínua. De forma análoga, as topologias três níveis são assim nomeadas, pois acrescentam um terceiro nível de tensão admissível, o ponto neutro do barramento de corrente contínua, por esse motivo são também conhecidas como ponto neutro grampeado (*neutral point clamped* – NPC). Existem duas configurações três níveis NPC, uma delas, a qual é grampeada por diodos, é referida como NPC1, a outra, grampeada por duas chaves em série, é denominada NPC2, ou ainda Tipo-T [15].

2.2.1. Modulação PWM dois e três níveis

Os comandos das chaves são realizados por meio de modulação por largura de pulso (*pulse width modulation* – PWM). O princípio dessa modulação se dá pela comparação de um sinal de referência, ou sinal modulante, com uma onda triangular, o sinal modulador, de frequência fixa, definida como frequência de chaveamento. O propósito é modular o sinal de referência, em geral senoidal com frequência fundamental (entre 50 e 60 Hz) bem abaixo à de chaveamento (da ordem de kHz), para sintetizá-lo na saída do conversor, no entanto em alta frequência. Para obtenção do sinal de referência original, isto é, em sua frequência fundamental, demanda-se o uso de filtros para eliminar as componentes harmônicas de alta frequência. Nas seções por seguir poderá avaliar-se o impacto da topologia no dimensionamento dos elementos de filtragem. Há pequenas diferenças na modulação das topologias com configuração dois e três níveis NPC, ambas serão apresentadas a seguir.

Naturalmente, o número de níveis de tensão da modulação está de acordo com o da topologia empregada, na modulação da topologia em dois níveis só existem dois possíveis estados: quando o sinal de referência é maior ou menor, que a portadora triangular, como pode ser observado na Figura 2.3, onde em nível de tensão representa-se o máximo e o mínimo do barramento de c.c., respectivamente. O resultado dessa comparação resulta nos comandos das chaves, onde os estados possíveis estão reunidos na Tabela 2.1, onde 1 representa o fechamento da chave e 0 sua abertura. A nomenclatura das chaves está em acordo com a Figura 2.2 [16].

Tabela 2.1 – Tabela verdade para a topologia dois níveis

Nível \ Chave	Q1	Q2
	E/2	1
-E/2	0	1

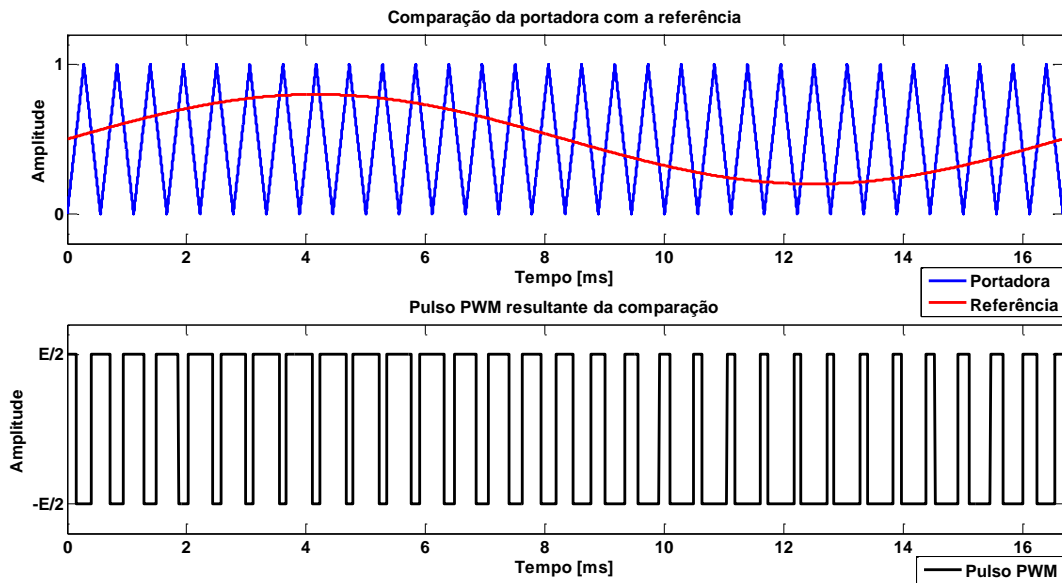


Figura 2.3 – Sinal de referência e portadora triangular para a modulação dois níveis

De forma análoga, na modulação para a configuração em três níveis NPC também faz-se comparação da referência com a portadora, mas dessa vez tem-se um terceiro estado possível, o nível zero. Para garantir essa condição, compara-se o sinal de referência com duas portadoras, uma positiva, outra negativa, onde a primeira é comparada com o semiciclo positivo da referência e a segunda com o semiciclo negativo. Quando o semiciclo positivo do sinal de referência é maior do que a portadora positiva, o estado é o máximo de tensão no barramento c.c., quando o semiciclo negativo é menor do que a portadora negativa, o estado é o mínimo de tensão do barramento c.c., nos demais casos o estado é neutro, basta ver Figura 2.4 [17]. Esse princípio de modulação é válido tanto para a configuração NPC1, quanto para a NPC2.

Tabela 2.2 – Tabela verdade para a topologia três níveis NPC

Nível \ Chave	Chave			
	Q1	Q2	Q3	Q4
E/2	1	1	0	0
0	0	1	1	0
-E/2	0	0	1	1

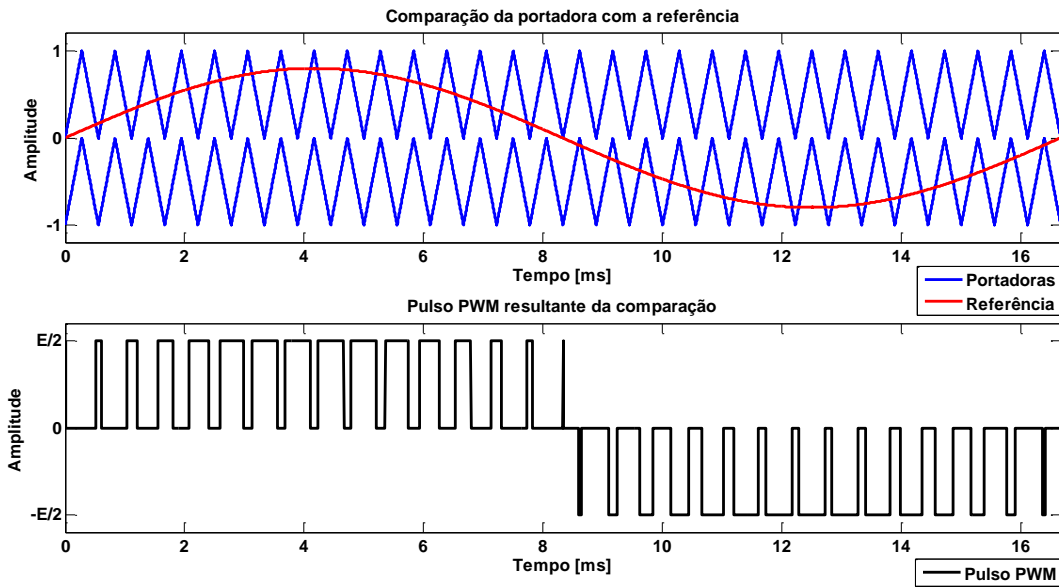


Figura 2.4 – Sinal de referência e portadoras triangular para a modulação três níveis NPC

As grandezas de comparação, sinal da portadora triangular e referência senoidal, são simétricas no mesmo ponto, o primeiro sinal tem amplitude fixa, o segundo deve ter amplitude menor ou equivalente à da portadora, como ilustrado na Figura 2.1. A modulação introduz um ganho (G_{PWM}) equivalente à tensão plena do barramento de corrente contínua (E) dividida pela amplitude da portadora triangular (V_{tri}), Equação 2.1. A amplitude do sinal de referência deve ser definida de acordo com o índice de modulação em amplitude (i_{MA}), o qual está relacionado com a amplitude da tensão sintetizada na saída do conversor. O i_{MA} é dado pela razão do dobro da amplitude de tensão que se deseja sintetizar (V_{pico}) pela tensão do barramento de c.c. (E), essa relação é dada pela Equação 2.2, seu valor deve ser limitado pela amplitude da portadora triangular. Na configuração do PWM, fixa-se também o índice de modulação em frequência, o qual é definido como a razão entre a frequência de chaveamento (F_{sw}) com a frequência fundamental (f), como mostra a Equação 2.3.

$$G_{PWM} = \frac{E}{V_{tri}} \quad \text{Equação 2.1}$$

$$i_{MA} = 2 \cdot \frac{V_{pico}}{E}, (i_{MA} \leq V_{tri}) \quad \text{Equação 2.2}$$

$$i_{MF} = \frac{F_{sw}}{f} \quad \text{Equação 2.3}$$

É fácil observar que, na estrutura em dois níveis, enquanto uma das chaves conduz, sua complementar fica sujeita à tensão plena do barramento de corrente contínua. Sendo assim, as chaves para operarem nessa configuração devem ser escolhidas com característica nominal de tensão de bloqueio superior a essa tensão contínua. Das três topologias é a mais simples pelo menor número de chaves presentes e lógica simplificada de implementação. Já na estrutura em três níveis NPC, o grampeamento no ponto neutro proporciona alguns benefícios. Analisando o padrão de chaveamento descrito pela Tabela 2.2, na configuração NPC1 todas as chaves e os diodos de grampeamento ficam sujeitos apenas à metade da tensão do barramento c.c., já na NPC2, enquanto as chaves de grampeamento ficam expostas a esse nível de tensão, as demais ficam submetidas à tensão plena do barramento c.c. [15]. Nota-se, então, que o dimensionamento das chaves pode ser mais econômico no que diz respeito à tensão de bloqueio das chaves. Tem-se a penalidade, no entanto, de se trabalhar com um número maior de chaves, o dobro se comparado a dois níveis, o que agrega em complexidade do sistema.

2.2.2. Espectro harmônico das topologias

A verificação do espectro harmônico produzido pela modulação PWM de cada topologia é interessante para avaliação do impacto na filtragem das componentes de alta frequência [18]. Observando as topologias avaliadas na Figura 2.2, medindo-se a tensão de fase-neutro, isto é, do ponto de saída da ponte trifásica até o ponto comum entre as três fases, obtém-se o perfil de tensão similar ao mostrado na Figura 2.3 e Figura 2.4. Realizando uma análise FFT (*fast fourier transform*) do sinal obtém-se informações do espectro harmônico da tensão, como também do nível de distorção harmônica.

Na Figura 2.5 observa-se o espectro harmônico produzido pela modulação PWM dois níveis (em azul) e o correspondente para a três níveis NPC (em vermelho). O espectro foi avaliado para um PWM modulado a 1,8 kHz, trinta vezes a frequência fundamental, 60 Hz, o espectro é exibido até a ordem relativa a cinco vezes a frequência de chaveamento, apenas para facilitação de sua visualização. Visualmente é evidente que o espectro harmônico produzido pelo PWM dois níveis é bem mais expressivo, se comparado com o produzido pelo PWM três níveis NPC, no primeiro a componente harmônica relativa à frequência de chaveamento chega a ser superior à componente fundamental, o segundo apresenta um espectro mais complexo, onde cada ordem harmônica múltipla da frequência de chaveamento apresenta uma maior banda lateral, porém de menor proporção relativa à fundamental. Avaliou-se a distorção harmônica total (*total harmonic distortion*

– THD), de acordo com a Equação 2.4, onde I_F é a amplitude da fundamental e I_i é a amplitude da harmônica de ordem i , onde $i = 2, 3, \dots, n$ [19]. Na condição dois níveis a THD avaliada, até a frequência de Nyquist, é da ordem de 213 %, na três níveis NPC esse índice chega a apenas 105 %, aproximadamente a metade. Posto isso, fica manifesta mais uma possível vantagem da topologia três níveis NPC, um custo menor na filtragem das componentes harmônicas.

$$THD = \frac{\sqrt{I_2^2 + I_3^2 + \dots + I_n^2}}{I_F} \quad \text{Equação 2.4}$$

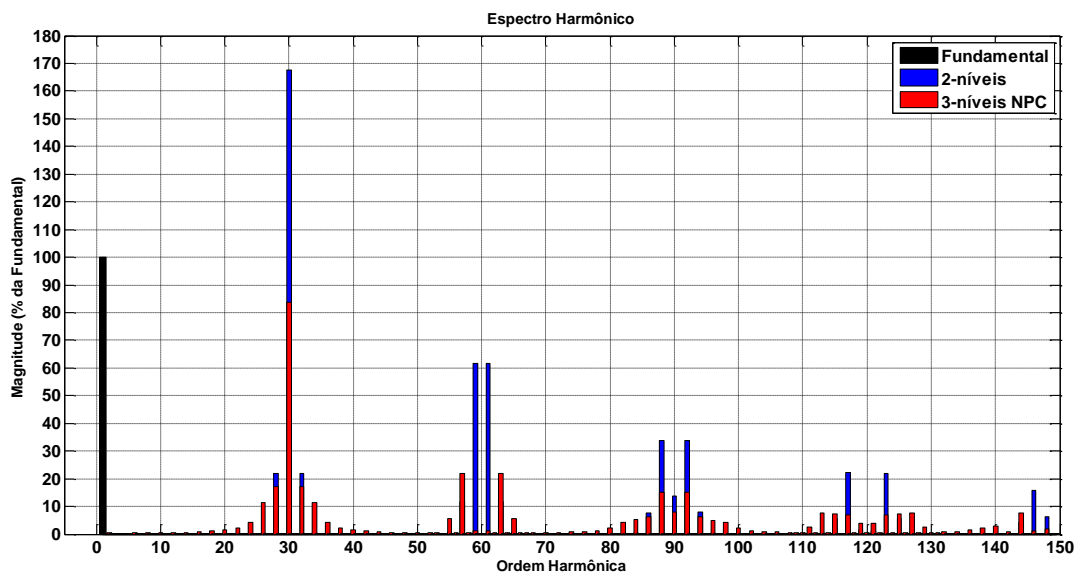


Figura 2.5 – Espectro harmônico da tensão fase-neutro modulada pelo PWM nas topologias dois níveis (azul) e três níveis NPC (vermelho)

2.3 Cálculo de perdas nos dispositivos semicondutores

Durante a operação do conversor seus dispositivos semicondutores ficam sujeitos de forma intrínseca à perda de potência, visto que conduzem corrente elétrica e comutam sob elevados níveis de tensão e corrente. A estimativa do nível de perdas é relevante no projeto de uma UPS, uma vez que essa informação é imprescindível para estimar a temperatura de operação do semicondutor, critério decisivo na avaliação da capacidade do dispositivo de suportar as condições de operação impostas. Auxiliando a definição de qual semicondutor necessário para o nível de potência que o equipamento trabalhará, garantindo sua integridade física, bem como de ponto de partida no projeto de refrigeração, dimensionando o dissipador e a ventilação forçada necessários [20], [21].

Nas topologias apresentadas anteriormente, Figura 2.2, observa-se que o dispositivo semiconductor em questão é o transistor bipolar de porta isolada (*insulated gate bipolar transistor* - IGBT) com diodo em antiparalelo. Em geral, o fabricante fornece as informações necessárias que representam o comportamento do dispositivo, desde valores nominais, máximos toleráveis, bem como curvas características, via folha de dados (*datasheet*). Essa é a principal fonte de informação disponível para que se possa caracterizar o dispositivo, no que concerne ao cálculo das perdas.

2.3.1. Princípio físico das perdas no módulo semiconductor

O princípio físico da origem das perdas de condução é explicado pela resistência inerente do material semiconductor, que tem um comportamento, em geral, não linear, bem como da resistência dos contatos elétricos existentes no módulo (da ordem de $m\Omega$). Além disso, existem as perdas relacionadas com a energia necessária para a mudança de estado da chave, ou seja, de bloqueio para condução (ligamento) e de condução para bloqueio (desligamento). Pode-se agrupar, por conseguinte, as perdas em duas parcelas principais: a de condução e de chaveamento (ou comutação) [20], [22].

As perdas de condução podem ser calculadas pela definição de potência em um elemento resistivo, isto é, a média do produto entre a queda de tensão e a corrente instantâneas no resistor, ou ainda, a média do produto do valor resistivo pelo quadrado da corrente instantânea. Os fabricantes, em geral, dão duas informações necessárias no *datasheet* para o cômputo das perdas de condução: as curvas de condutância dos dispositivos, ou melhor, a curva de tensão de coletor emissor (V_{ce}) por corrente de coletor (I_c), no caso do IGBT; e a curva de tensão direta (V_f) por corrente direta (I_f), no caso do diodo; além da resistência de contato do módulo, denominada $R_{cc,ee}$ [23], quando houver. É comum encontrar, dependendo do fabricante, apenas a curva de condutância, onde a contribuição da resistência de contato já está inserida na mesma.

As perdas de chaveamento dos dispositivos se devem ao tempo gasto na mudança de um estado a outro. A Figura 2.6 [24] e Figura 2.7 [25] auxiliam a compreensão do comportamento do IGBT e do diodo na comutação, respectivamente.

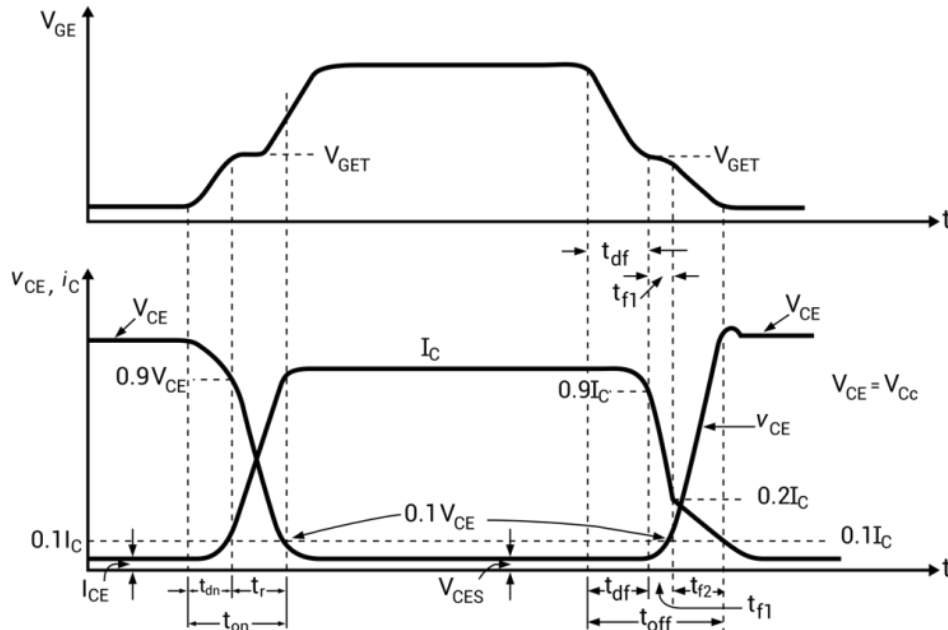


Figura 2.6 – Curva característica de ligamento e desligamento do IGBT [24]

O IGBT enquanto aberto possui tensão de bloqueio entre o coletor e emissor equivalente à do barramento (V_{ce}) e corrente de coletor emissor (I_{ce}) nula. Quando o pulso é dado no *gate* há um tempo de atraso (t_{dn}) até atingir-se a tensão de *gate* emissor limite (*gate emitter threshold voltage* – V_{GET}), a qual inicia o fluxo de corrente no coletor (I_c), definida na condição de 90% da tensão de bloqueio ($0.9V_{ce}$) e 10% da corrente de coletor ($0.1I_c$). Até o início da condução demanda-se o tempo de subida (t_r), o qual tem duração até a condição da corrente de coletor (I_c) plena e de 10% da tensão de bloqueio ($0.1V_{ce}$). O tempo gasto nesse processo, isto é, a soma do tempo de atraso e do tempo de subida, equivale ao tempo de ligamento (t_{on}) do IGBT.

A partir desse instante o dispositivo se encontra em condução, com corrente de coletor equivalente a I_c e tensão de saturação de coletor para emissor (*collector-to-emitter saturation voltage* - V_{CES}), a qual representa a queda de tensão no material semiconductor (o produto dessas duas grandezas está relacionado com sua perda de condução).

Na retirada do pulso, novamente há um tempo de atraso, dessa vez do desligamento (t_{df}) até que atinja-se a corrente equivalente a $0.9I_c$ e tensão $0.1V_{ce}$, o tempo de descida é dividido em duas etapas, a de duração t_{f1} , da condição anterior até a corrente de coletor atingir $0.2I_c$, e finalmente, a de duração t_{f2} , até que a corrente de coletor se torne $0.1I_c$ e a tensão de bloqueio novamente V_{ce} . O tempo de desligamento t_{off} , similarmente ao tempo t_{on} , é a soma dos tempos gastos no atraso de desligamento e dos tempos de descida.

As perdas de ligamento e desligamento do IGBT podem ser compreendidas, pelo fato da transição de um estado a outro consumir um tempo significativo no ligamento (t_{on}) e no desligamento (t_{off}), onde a integral do produto da tensão V_{ce} pela corrente I_c , dentro de cada intervalo de tempo, representa a energia consumida no ligamento (E_{on}) e no desligamento (E_{off}) do IGBT. Em geral, os fabricantes fornecem os dados da curva característica de energia de chaveamento em função de duas variáveis: corrente de coletor (I_c) e resistor de *gate* (R_g).

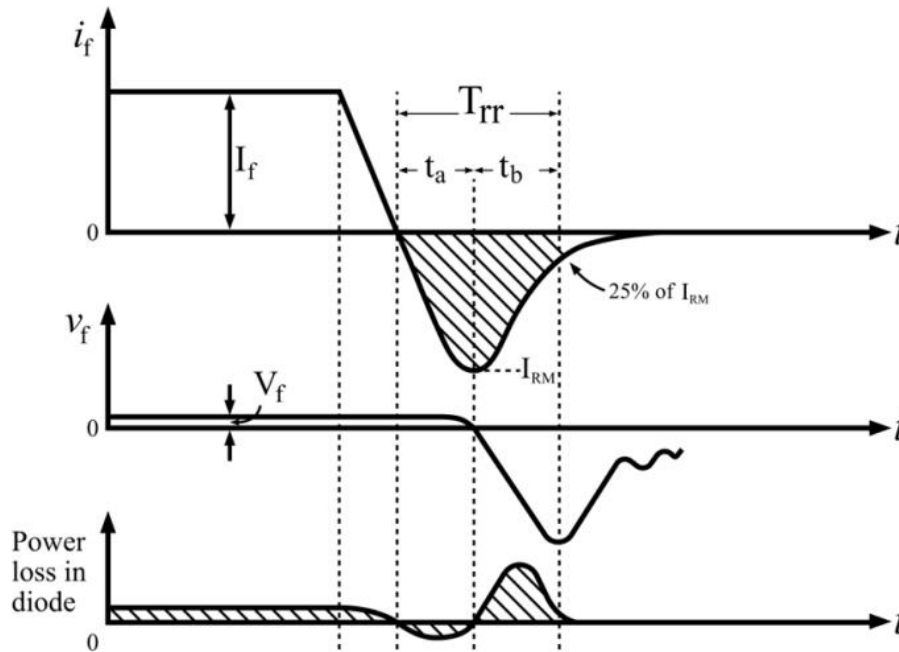


Figura 2.7 – Curva característica de recuperação reversa do diodo [25]

O diodo também consome energia na mudança de estado, mas apenas quando muda para o estado de bloqueio, pois é necessário um intervalo de tempo (t_a), para remover as cargas armazenadas na camada de depleção, até que se atinja a corrente reversa máxima (I_{RM}), além do intervalo de tempo (t_b), tempo necessário para a corrente reversa se reduzir do seu valor de pico até um quarto do mesmo ($0.25I_{RM}$), cessando por completo a condução do dispositivo. A soma de ambos os intervalos de tempo resulta no chamado tempo de recuperação reversa (t_{rr}). De forma análoga ao IGBT, a integral do produto da corrente reversa conduzida na mudança de estado, pela queda de tensão proporcionada no diodo, dentro do intervalo de tempo T_{rr} , resulta na energia consumida pelo diodo (E_{rr}).

É importante ressaltar que, a mudança do estágio de bloqueio para o de condução do diodo é completamente desprezada devido à pequena parcela energética nesse processo. O que ocorre também no desligamento de diodos baseados em material Carbetto de Silício (SiC), dispositivos

com essa tecnologia de semicondutor apresentam perda de recuperação reversa nula. Alguns dispositivos IGBT ou MOSFET baseados no mesmo material (SiC) apresentam perdas de chaveamento sensivelmente menores dos que as dos baseados em Silício (Si) apenas, já que apresentam menor tempo na comutação de estado [14], [26]. O que mostra uma alternativa de material semicondutor para obtenção de conversores com menor nível de perda de potência, consequentemente, mais eficientes.

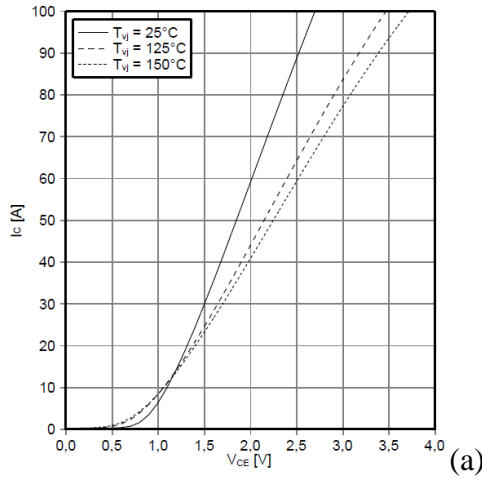
2.3.2. Características elétricas dos semicondutores relacionadas às perdas

A compreensão da origem das perdas auxilia a caracterização do módulo e seus dispositivos semicondutores, ou seja, das informações provenientes em *datasheet* pelo fabricante do módulo, sabe-se quais serão úteis ao cálculo de perdas, isto é, as características relacionadas à condução e o chaveamentos dos dispositivos. A Figura 2.8 traz o resumo de todas as curvas características de interesse no cálculo de perdas, leva-se em conta o módulo dois níveis FF50R12RT4 [27] de fabricante Infineon. Entre as curvas, observam-se a de condutância ($V \times I$), as de energia em função do nível de corrente e do resistor de *gate* para ambos os dispositivos, IGBT e diodo. Definidas as características elétricas associadas às perdas, determinam-se quais parâmetros do conversor tem impacto direto nas perdas dos semicondutores, os quais serão parâmetros de entrada do cálculo de perdas.

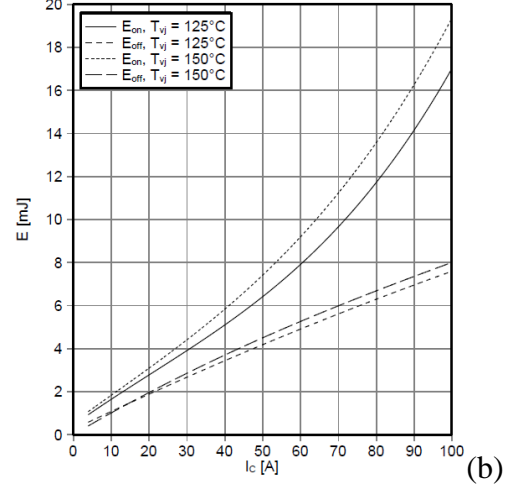
Nota-se ainda a dependência das curvas com a temperatura virtual de junção (*virtual junction temperature* – T_{vj}), a qual representa a temperatura na junção em uma região do *chip* semicondutor, é referida como virtual pelo fato de não possuir uma correspondência exata à temperatura real da junção de um dos dispositivos [21]. Outro fato de destaque são as informações dos parâmetros de teste no levantamento da curva de energia: tensão de bloqueio V_{ce} , resistor de *gate* R_g .

As curvas apresentadas na Figura 2.8 se referem ao módulo de topologia dois níveis. Como demonstrado anteriormente, em configurações multiníveis NPC os dispositivos da mesma topologia são estressados por condições diferentes. Por essa razão, nas topologias NPC1 e NPC2, encontram-se curvas características discriminadas para cada chave, as quais, na caracterização dos dispositivos presentes nas topologias três níveis NPC, devem ser acrescentadas.

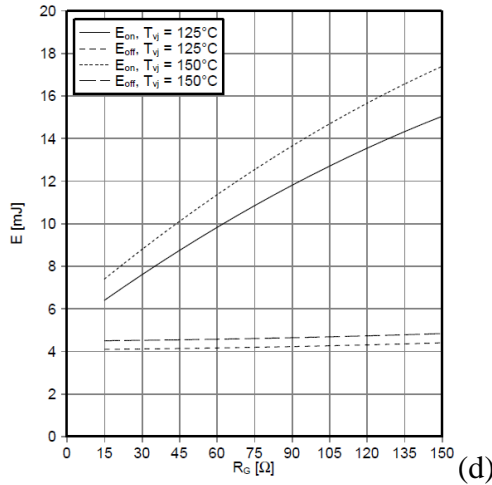
Ausgangskennlinie IGBT, Wechselrichter (typisch)
output characteristic IGBT, Inverter (typical)
 $I_c = f(V_{CE})$
 $V_{GE} = 15\text{ V}$



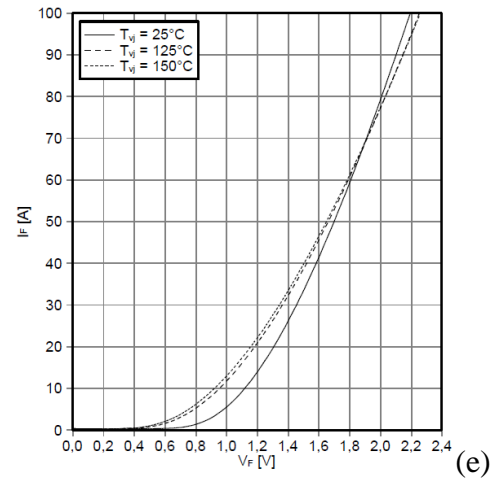
Schaltverluste IGBT, Wechselrichter (typisch)
switching losses IGBT, Inverter (typical)
 $E_{on} = f(I_c), E_{off} = f(I_c)$
 $V_{GE} = \pm 15\text{ V}, R_{Gon} = 15\ \Omega, R_{Goff} = 15\ \Omega, V_{CE} = 600\text{ V}$



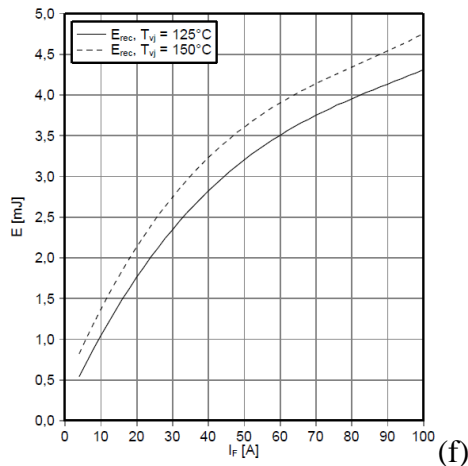
Schaltverluste IGBT, Wechselrichter (typisch)
switching losses IGBT, Inverter (typical)
 $E_{on} = f(R_g), E_{off} = f(R_g)$
 $V_{GE} = \pm 15\text{ V}, I_c = 50\text{ A}, V_{CE} = 600\text{ V}$



Durchlasskennlinie der Diode, Wechselrichter (typisch)
forward characteristic of Diode, Inverter (typical)
 $I_F = f(V_F)$



Schaltverluste Diode, Wechselrichter (typisch)
switching losses Diode, Inverter (typical)
 $E_{rec} = f(I_F)$
 $R_{Gon} = 15\ \Omega, V_{CE} = 600\text{ V}$



Schaltverluste Diode, Wechselrichter (typisch)
switching losses Diode, Inverter (typical)
 $E_{rec} = f(R_g)$
 $I_F = 50\text{ A}, V_{CE} = 600\text{ V}$

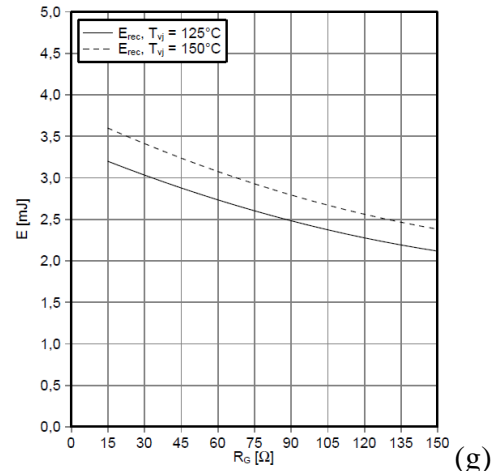


Figura 2.8 – Curvas características do dispositivo FF50R12RT4: a) Curva $V_{ce} \times I_c$; b) E_{on} e $E_{off} \times I_c$; d) E_{on} e $E_{off} \times R_g$; f) $V_f \times I_f$; g) $E_{rr} \times I_f$; h) $E_{rr} \times R_g$ [27]

2.3.3. Cálculo numérico das perdas

Além dos parâmetros do material, as propriedades do conversor também devem ser inseridas como entrada para o cálculo de perdas, a saber: nível de tensão no barramento c.c., os resistores de *gate* utilizados no disparo das chaves e o nível de corrente que as chaves conduzirão. A Figura 2.9 exemplifica uma curva de corrente, idealmente senoidal, à qual as chaves (IGBT e diodo) são submetidas, durante um ciclo de 60 Hz, em uma frequência de chaveamento em 1,8 kHz, apenas para visualização clara dos chaveamentos.

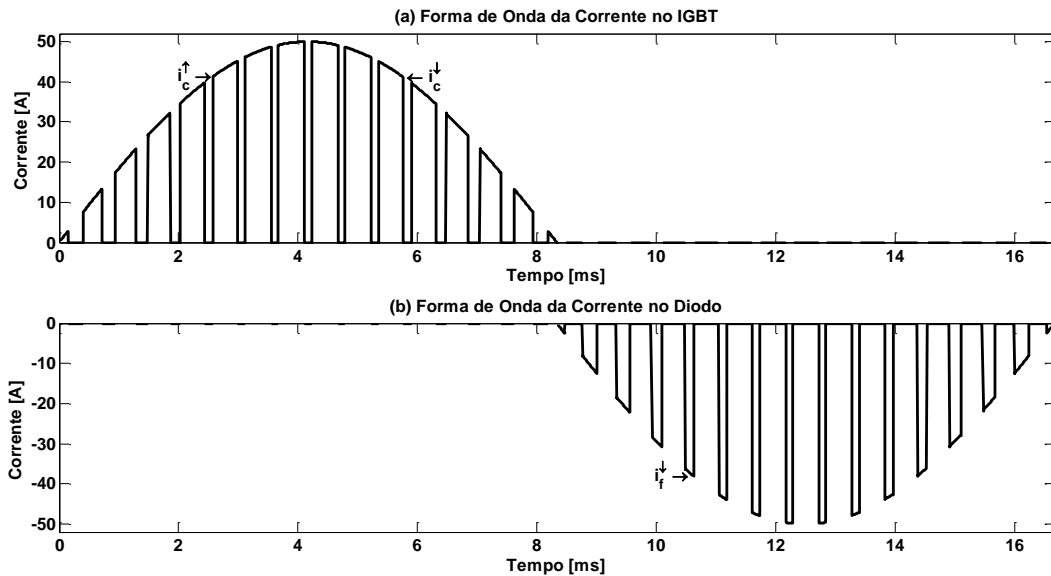


Figura 2.9 – Perfil de corrente no: a) IGBT; b) Diodo

Estabelecidos os parâmetros de entrada, o cálculo computacional pode ser efetivado. A obtenção do perfil de corrente nas chaves é realizada por meio de simulação computacional, através do *software* MATLAB/Simulink, onde o conversor é simulado atuando em condições nominais, regime permanente em um passo de cálculo T_s .

Perda de condução: faz-se uma varredura, amostra por amostra, em um período fundamental completo, da corrente no dispositivo, realizando uma somatória do produto do valor de corrente, naquela amostra, com a queda de tensão no dispositivo, mapeia-se a curva característica de condução fornecida pelo *datasheet*, para o respectivo valor de corrente, acrescentando ainda o produto da resistência de contato do módulo (se essa for fornecida) pelo quadrado do valor de cada amostra da corrente. Dividindo, por fim, pelo número de amostras no período fundamental, obtendo, conseqüentemente, a perda de condução média. O equacionamento da perda de condução é mostrado pela Equação 2.5, para o IGBT, e Equação 2.6, para o diodo.

$$P_{cond Q} = \frac{T_s}{T} \sum_{i=1}^{\frac{T}{T_s}} V_{ce}(i_c[i], T_{vj}) \cdot i_c[i] + R_{cc,ee} \cdot i_c^2[i] \quad \text{Equação 2.5}$$

$$P_{cond D} = \frac{T_s}{T} \sum_{i=1}^{\frac{T}{T_s}} V_f(i_f[i], T_{vj}) \cdot i_f[i] + R_{cc,ee} \cdot i_f^2[i] \quad \text{Equação 2.6}$$

Perda de chaveamento: realiza-se uma varredura nas amostras de corrente, onde a somatória é feita em cima do valor de energia, mapeado através das curvas fornecidas, em função do nível de corrente detectado no chaveamento, em outras palavras, no ligamento considera-se o valor de corrente na transição de subida de nível, no desligamento considera-se o valor de corrente anterior à transição de descida de nível. A Figura 2.9 mostra em detalhe o ponto de interesse na curva de corrente. Obtém-se a perda de chaveamento média, dividindo a somatória de energia pelo período fundamental da corrente. A Equação 2.7 mostra o cálculo resultante para a perda de ligamento do IGBT, Equação 2.8 para a perda de desligamento do IGBT e Equação 2.10 para a perda de recuperação reversa do diodo. A perda de chaveamento do IGBT é dada pela soma das perdas de ligamento e desligamento do mesmo, Equação 2.9.

$$P_{on Q} = k_{on} \cdot \frac{1}{T} \sum_{i=1}^{\frac{T}{T_s}} E_{on}(i_c^\uparrow[i], T_{vj}) \quad \text{Equação 2.7}$$

$$P_{off Q} = k_{off} \cdot \frac{1}{T} \sum_{i=1}^{\frac{T}{T_s}} E_{off}(i_c^\downarrow[i-1], T_{vj}) \quad \text{Equação 2.8}$$

$$P_{sw Q} = P_{on Q} + P_{off Q} \quad \text{Equação 2.9}$$

$$P_{rr D} = k_{on} \cdot \frac{1}{T} \sum_{i=1}^{\frac{T}{T_s}} E_{rr}(i_f^\downarrow[i-1], T_{vj}) \quad \text{Equação 2.10}$$

É necessário ainda, realizar uma correção para o nível de operação atual da chave, uma vez que as curvas de chaveamento fornecidas são dadas para uma única condição de operação, as chamadas condições de teste, são elas: tensão do barramento c.c., a qual as chaves bloqueiam ($V_{ce \text{ teste}}$), resistor de *gate on* ($R_{g \text{ on teste}}$) e *off* ($R_{g \text{ off teste}}$). O fator de correção do nível de tensão do barramento de c.c. é dado simplesmente pela razão da tensão c.c. (V_{ce}) em que o dispositivo está inserido pela tensão c.c. de teste ($V_{ce \text{ teste}}$). O de conversão relacionada com o resistor de *gate* é definido pela razão da energia correspondente ao resistor de *gate* utilizado (R_g), pela energia corresponde ao resistor de *gate* de teste ($R_{g \text{ teste}}$). Utiliza-se a curva de energia por resistor de *gate*

para obter o fator de correção [20], [21]. Na perda de recuperação reversa do diodo, o fator de correção usado é o mesmo da perda de ligamento do IGBT, pois, um dos diodos entrará em bloqueio no momento em que um dos IGBT entrar em condução, já que ambos são complementares na condução da corrente. As expressões para os fatores de correção das curvas de energia são mostradas pelas Equação 2.11 e Equação 2.12.

$$k_{on} = \frac{V_{ce}}{V_{ce\ teste}} \cdot \frac{E_{on}(R_{g\ on}, T_{vj})}{E_{on}(R_{g\ on\ teste}, T_{vj})} \quad \text{Equação 2.11}$$

$$k_{off} = \frac{V_{ce}}{V_{ce\ teste}} \cdot \frac{E_{off}(R_{g\ off}, T_{vj})}{E_{off}(R_{g\ off\ teste}, T_{vj})} \quad \text{Equação 2.12}$$

A grande desvantagem das informações disponibilizadas no *datasheet* é sua representação em formato de imagem, o que torna complexa a tarefa de avaliar os índices correspondentes para cada nível de corrente. De forma a agilizar e facilitar a etapa de caracterização dos dispositivos para o cálculo de perdas desenvolveu-se *software* que tem como funcionalidade a aquisição de imagens, as quais contêm as curvas características dos dispositivos de um dado módulo, convertendo-as em uma aproximação linear por pontos, coletados manualmente. Esse método de aquisição facilita o mapeamento das curvas via ferramenta *look-up table*. Incluiu-se também a funcionalidade do cálculo automatizado das perdas, em duas abordagens diferentes: em simulação por diagrama de blocos; em algoritmo computacional por linhas de código. A apresentação do *software* desenvolvido se encontra no Apêndice A.1.

2.3.4. Modelo térmico dos dispositivos semicondutores

Como observado nas curvas do *datasheet* e representado nas equações do cálculo de perdas na seção 2.3.3, existe uma dependência da temperatura virtual de junção (T_{vj}), a qual influencia no desempenho do dispositivo, conseqüentemente, no resultado final no cômputo das perdas, por esse motivo é também parâmetro de entrada do problema. Para ser conservador no projeto do sistema de refrigeração, pode-se considerar a T_{vj} máxima permitida, isto é, levam-se em conta apenas as curvas características relacionadas com essa temperatura no cálculo de perdas. Essa premissa resulta no cálculo da perda máxima do dispositivo em seu limite térmico de operação, dentro das condições assumidas. Em outras palavras, é o valor máximo de perdas do dispositivo, se operado na T_{vj} máxima, dentro do nível de potência imposto.

Se a avaliação da temperatura, por meio de circuito térmico equivalente do módulo, resultar em uma temperatura igual ou inferior à máxima permitida, é garantida a operação do semicondutor nas condições impostas utilizando o sistema de refrigeração. Pois, a operação acima do limite máximo de temperatura pode resultar na falha do dispositivo ou redução do tempo de vida [28]. É possível ainda, que o modelo térmico forneça informação de realimentação para o cálculo de perdas, para que se possa, assim, incluir a dependência da temperatura nas curvas características do dispositivo, desde que, naturalmente, se faça uso das mesmas em diferentes temperaturas.

A estimativa da T_{vj} pode ser alcançada utilizando de modelo de circuito térmico equivalente do módulo em duas abordagens distintas: resistência térmica (regime permanente) ou par resistência e capacitância térmica (regime transitório). O conceito de circuito térmico é uma analogia à teoria de circuitos elétricos, onde há uma correspondência entre as grandezas elétricas e térmicas, mostrada na Tabela 2.3, de forma que os mesmos princípios de um são válidos para o outro [28], [29]. A Figura 2.10 ilustra as duas abordagens de circuito térmico para modelagem de um módulo dois níveis. Na mesma P_Q se refere à perda no IGBT, P_D à perda no diodo, os subscritos possuem a seguinte correspondência: J – junção, C – invólucro (*case*), H – dissipador (*heatsink*), A – ambiente.

Tabela 2.3 – Equivalência entre elementos do circuito elétrico e térmico

Circuito Elétrico			Circuito Térmico		
Grandeza	Símbolo	Unidade	Grandeza	Símbolo	Unidade
Tensão	v	V	Temperatura	T	K ou $^{\circ}C$
Corrente	i	A	Potência	P	W
Resistência	R	Ω	Resistência térmica	R_{th}	$^{\circ}C/W$ ou K/W
Capacitância	C	F	Capacitância térmica	C_{th}	$J/^{\circ}C$ ou J/K

O modelo de circuito térmico transitório possui duas variantes, na literatura são referidas como modelos Cauer e Foster [28]. O primeiro está relacionado com as características físicas de cada camada do módulo, sendo assim, é necessário que se tenha conhecimento das propriedades físicas dos dispositivos, como mostra [21]. O segundo, representado na Figura 2.10b, pelo contrário não possui nenhuma correlação física real, mas satisfaz a determinação dos pares RC por meio de dados térmicos metrológicos, isto é, a curva de impedância térmica [30].

Os fabricantes fornecem dois tipos de informações em *datasheet* para modelagem do circuito térmico. Uma delas são as informações de valor das resistências térmicas de cada dispositivo e do *case*, as quais se aplicam para o modelo em regime permanente. É possível que a resistência térmica de *case* para *heatsink* seja fornecida para cada dispositivo discriminadamente ou

apenas um único valor para todo o módulo. Nesse caso, no circuito da Figura 2.10a, os nós de *case* são curto-circuitados. Nas análises de rendimento o circuito térmico de interesse para avaliação da temperatura de junção é o de regime permanente.

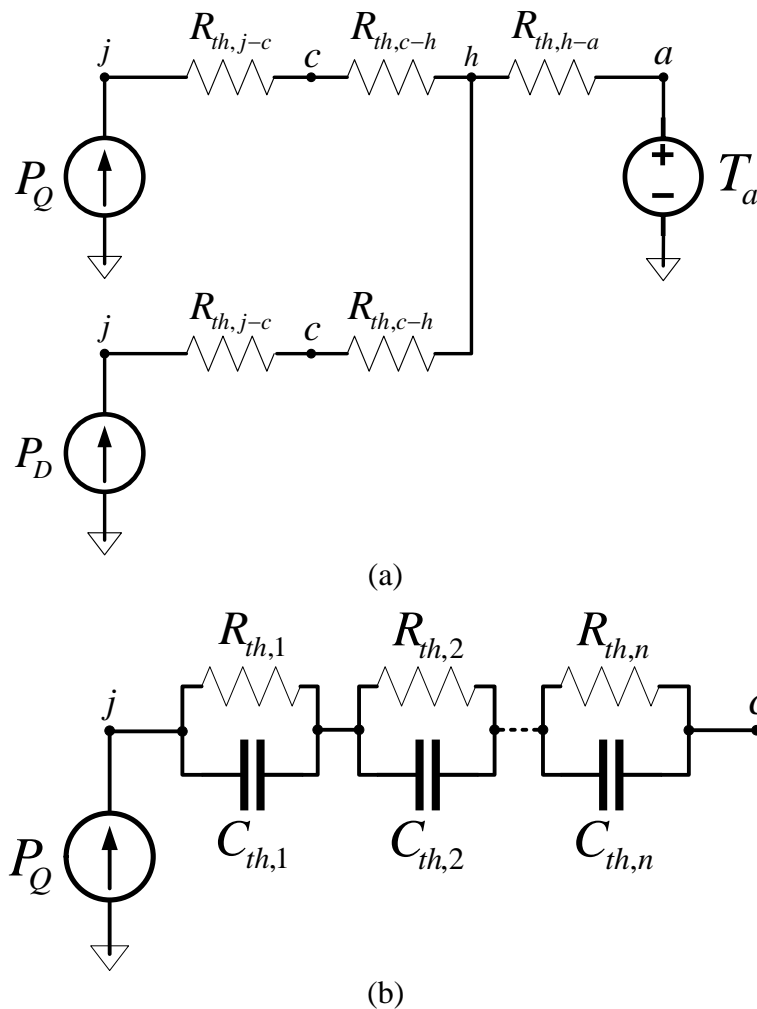


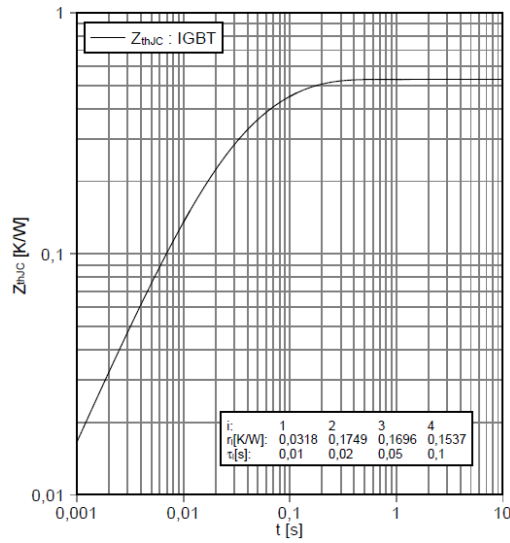
Figura 2.10 – Circuito térmico equivalente do módulo: a) regime permanente; b) regime transitório (modelo Foster)

A segunda informação de interesse são as curvas transitórias de impedância térmica dos dispositivos, vide Figura 2.11a, para o IGBT e Figura 2.11b, para o diodo. Normalmente o fabricante já fornece uma tabela com as resistências térmicas e as constantes de tempo relacionadas com a curva, onde a partir desses dados obtém-se a capacitância térmica, pela relação mostrada na Equação 2.13. Informação suficiente para inserir os parâmetros no circuito ilustrado na Figura 2.10b.

$$\tau = R_{th}C_{th}$$

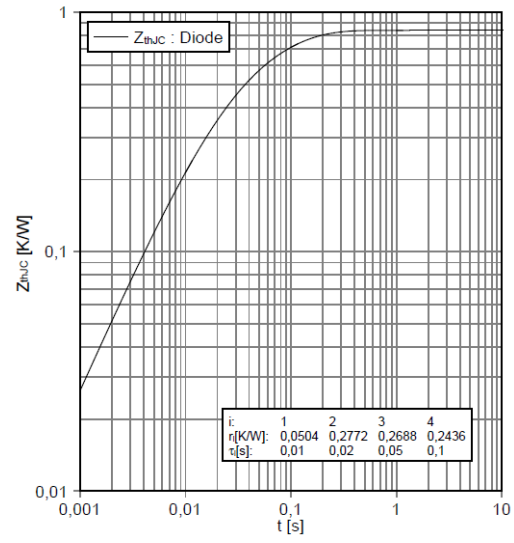
Equação 2.13

Transienter Wärmewiderstand IGBT, Wechselrichter
 transient thermal impedance IGBT, Inverter
 $Z_{thjuc} = f(t)$

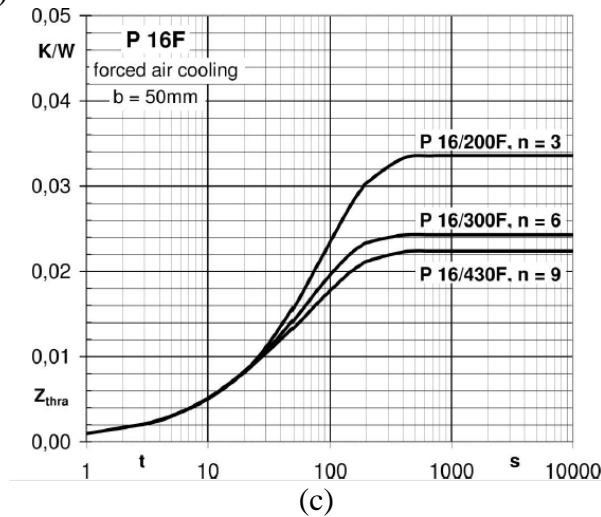


(a)

Transienter Wärmewiderstand Diode, Wechselrichter
 transient thermal impedance Diode, Inverter
 $Z_{thjuc} = f(t)$



(b)



(c)

Figura 2.11 – Curvas de impedância térmica dos dispositivos do módulo FF50R12RT4 [27]: a) IGBT; b) Diodo; c) Dissipador P16 [31]

A Figura 2.11c mostra ainda a curva de impedância térmica do dissipador P16 [31]. Observa-se que não são definidas as constantes de tempo relacionadas com a curva. O mesmo pode ocorrer para os dispositivos de um determinado módulo, dependendo do fabricante. Como mencionado de antemão o modelo Foster, conhecido também por modelo de fração parcial (*partial fraction*), pelo fato de se associar com a característica térmica metrológica, poder ser modelado pelo método de frações parciais. Ou seja, aproxima-se a curva de impedância térmica por frações parciais, como mostra a Equação 2.14, quão maior a ordem (n) da aproximação, maior sua precisão. Em geral, uma aproximação da ordem de 3 a 6 é suficiente para modelagem térmica fiel do dispositivo semiconductor [21]. O dissipador pode ser modelado termicamente pelo mesmo

princípio, esse por sua vez, pode ser aproximado por um circuito de fração parcial de uma única ordem apenas [32], através de sua curva de impedância térmica, Figura 2.11c.

$$Z_{th}(t) = \sum_{i=1}^n R_{th,i} \left(1 - e^{-\left(\frac{t}{R_{th,i}C_{th,i}}\right)} \right) \quad \text{Equação 2.14}$$

2.4 Projeto dos filtros de entrada (LCL) e saída (LC)

O sistema UPS possui dois filtros em sua composição, ambos têm como objetivo filtrar as componentes harmônicas geradas pelas comutações produzidas pelos conversores nele inseridos, garantindo, conseqüentemente, qualidade em seu desempenho, de acordo com critérios de regulamentação ou recomendação para a qualidade de energia. Entre elas pode-se citar a IEC 61000-3-2 e IEEE-519 [33].

O primeiro filtro, de entrada, tem como objetivo reduzir o impacto provocado pela primeira conversão na rede elétrica, a do retificador, de forma que se obtenha distorção harmônica total da corrente de entrada minimizada. Em geral, o filtro é do tipo LCL. No entanto, é possível que esse seja projetado apenas um filtro LC, desde que na instalação onde a UPS atuará possua um transformador na entrada, pois esse possui indutância de dispersão suficiente para desempenhar o papel do segundo indutor. O segundo, de saída, deve garantir qualidade de energia para as cargas que serão supridas pela UPS, proporcionando distorção harmônica de tensão limitada, a qual depende do tipo de carga, se linear ou não linear.

O dimensionamento dos parâmetros de filtro, ou seja, os valores de indutância e capacitância, é realizado baseado em critérios de ondulação (*ripple*) máxima admissível nas ondas de tensão e corrente. Serão assumidas neste trabalho ondulações máximas em 1 % para a tensão no capacitor e 20 % para a corrente no indutor. A relação para determinar o valor da capacitância é dada pela Equação 2.17, para a indutância têm-se as relações mostradas na Equação 2.15 e Equação 2.16, para as topologias dois e três níveis NPC, respectivamente. As deduções para as equações mostradas são apresentadas no Apêndice A.2. O segundo indutor L_f , no caso do filtro LCL, é dimensionado por uma fração do indutor principal L_1 , como mostra a Equação 2.18. A Tabela 2.4 traz um resumo com todas as relações de interesse para o cômputo dos parâmetros de filtro [34], [35].

Tabela 2.4 – Relações para cálculo dos parâmetros de filtro LCL e LC

Indutância dois níveis (L_1)	$L_1 = \frac{E}{4F_{sw}\Delta i_{max}}$	Equação 2.15
Indutância três níveis NPC (L_1)	$L_1 = \frac{E}{8F_{sw}\Delta i_{max}}$	Equação 2.16
Capacitância (C_f)	$C_f = \frac{\Delta i}{8F_{sw}\Delta V}$	Equação 2.17
Indutância (L_f)	$L_f = r \cdot L_1$	Equação 2.18

Nota-se uma relação de metade da indutância comparando as topologias dois e três níveis NPC. Relação similar à distorção harmônica total da tensão modulada entre as duas configurações de topologia, o que prova a economia nos elementos de filtragem acrescentando o terceiro nível de tensão. Pode-se observar, ainda, a dependência linear da indutância com o nível do barramento de c.c., como também a dependência inversamente proporcional com a frequência de chaveamento, relação semelhante apresentada pelo capacitor. Demonstrando que, quão maior a frequência de chaveamento, menor o custo associado aos elementos de filtragem. A razão do indutor L_1 , a qual resulta no valor do indutor L_f , em geral, na prática é adotada como metade, em [36] utiliza-se de método para determinação da razão a ser utilizada. Ressalta-se ainda, que tal indutor, dependendo da aplicação da UPS, pode ser dispensado.

2.4.1. Cálculo de perdas nos elementos de filtro

O dimensionamento do nível de perdas consumidas pelos filtros de entrada e saída é calculado baseando na estrutura física do filtro, no caso do indutor relaciona-se com os materiais do enrolamento e do núcleo, no do capacitor com seu material de fabricação, bem como do nível de operação em que estarão sujeitos, quer dizer, o nível de tensão e corrente que ambos suportarão durante a operação.

O capacitor de filtro, por estar sujeito à tensão alternada, tem como material de fabricação polipropileno. As perdas relacionadas ao elemento capacitivo se devem principalmente à sua resistência série, em geral, capacitores fabricados com esse tipo de material apresentam resistência série relativamente baixa, o que associada ainda ao baixo nível de corrente alternada que estará

sujeito, produz mínimo nível de perda. Sendo assim, as perdas associadas aos capacitores de filtro são completamente desprezadas [37].

O indutor, por sua vez, possui como composição física fio, geralmente feito de cobre, enrolado em núcleo magnético, comumente de material base pó de ferro. Devido ao alto nível de corrente que os fios de enrolamento do indutor conduzem, como também a constante transição, em alta frequência, da tensão sobre o mesmo, suas perdas associadas são consideráveis. Dessa forma, deve-se dimensionar o nível de perda no elemento indutivo de filtro, baseando no seu aspecto construtivo, ou seja, as características físicas de seu enrolamento e do seu núcleo magnético. Associam-se, portanto, as perdas no indutor a duas parcelas principais: as de baixa frequência (na frequência fundamental) e perdas de alta frequência (na frequência de chaveamento e suas harmônicas) [14], [38].

As perdas de baixa frequência estão relacionadas com a perda por efeito joule no enrolamento do indutor, comumente feito de cobre. Devido ao elevado número de espiras que possui eleva-se a resistência equivalente. Adota-se utilização de fio de Litz [39] no enrolamento, para reduzir sua resistência equivalente, diminuindo o nível de perdas em baixa frequência nesse elemento. O que culmina, ainda, na mitigação do efeito pelicular, relativo à alta frequência da corrente, e do efeito proximidade (esses dois últimos são, portanto, desprezados). Assim, a perda no enrolamento é dada pela Equação 2.19, a qual relaciona a resistência total do enrolamento (R_{coil}) e o nível de corrente eficaz (i_{rms}).

$$P_{coil} = R_{coil} i_{rms}^2 \quad \text{Equação 2.19}$$

A perda no núcleo magnético é estimada em função da equação de Steinmetz, Equação 2.20, a qual relaciona as perdas por unidade de volume (W/m^3), com dependência da variação de fluxo (B_{pk}) e da frequência de chaveamento (F_{sw}), onde os parâmetros da equação (coeficientes: a , b , c), se relacionam com as características físicas do material. Em geral, os coeficientes são fornecidos pelo fabricante do núcleo magnético [40].

$$P_L = a(B_{pk})^b (F_{sw})^c \quad \text{Equação 2.20}$$

O fluxo magnético no elemento indutivo é dado pela relação mostrada pela Equação 2.21, isto é, o fluxo magnético equivale a integral da queda de tensão no indutor (V_L) no intervalo de um período fundamental, ilustrada pela Figura 2.12, dividida pelo número de espiras (N_r) e a área de seção reta do núcleo (A_e) [40], obtendo um perfil semelhante ao mostrado na Figura 2.12b.

$$B(t) = \frac{1}{N_r A_e} \int_0^T V_L(t) dt \quad \text{Equação 2.21}$$

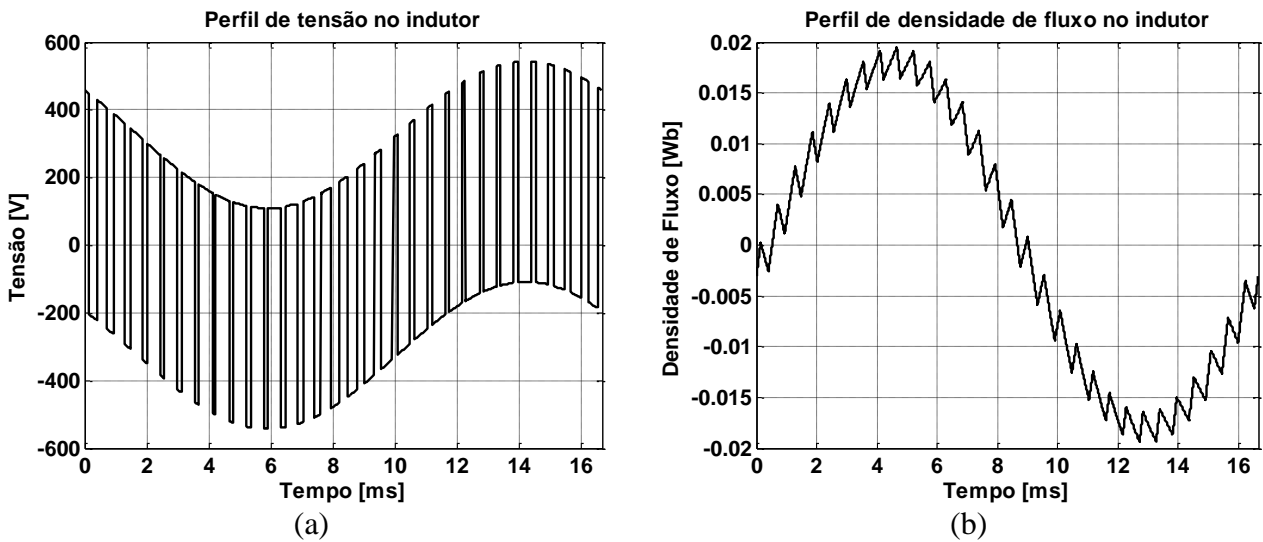


Figura 2.12 – a) Perfil de tensão no indutor; b) Perfil de densidade de fluxo no indutor

A estimativa de perda no núcleo é realizada por meio de algoritmo computacional produzido pela instituição *Thayer School of Engineering at Dartmouth*, a qual disponibiliza em seu *website* [41] a versão para MATLAB. O algoritmo recebe como entrada o perfil de fluxo magnético no indutor e os coeficientes de Steinmetz do material magnético, retornando, assim, a perda por unidade de volume. O volume do núcleo é dado pela relação mostrada na Equação 2.22, onde l_e é o comprimento médio do núcleo e A_e a área de seção reta do núcleo. Para que se possa, finalmente, converter o resultado do algoritmo para potência, como mostra a Equação 2.23.

$$V_{core} = l_e A_e \quad \text{Equação 2.22}$$

$$P_{core} = P_L V_{core} \quad \text{Equação 2.23}$$

Como pode ser observado, o cômputo de perdas nos indutores depende de seus aspectos físicos, tanto do enrolamento, quanto do núcleo. Para determinação dos parâmetros construtivos utilizou-se de método que a partir das características da UPS, dimensiona-se o indutor, para que se possa escolher o núcleo e dimensionar o enrolamento necessário para obtenção da indutância desejada. Os parâmetros construtivos obtidos servem de entrada para o cálculo de perdas no indutor. O método de projeto físico do indutor é apresentado no Apêndice A.3. Dados relativos ao cálculo de perdas no enrolamento e no núcleo (utiliza-se função fornecida pela *Thayer School of Engineering at Dartmouth* [41]) são apresentados no Apêndice A.4.

O cálculo de perdas no indutor é de utilidade na estimativa da elevação de temperatura no componente. Em virtude do uso de isolantes na construção do indutor, sua temperatura de operação fica restrita, vide Apêndice A.3. Será assumida uma temperatura limite nesse trabalho de 140 °C, em razão da temperatura limite do plástico de carretel, material comumente empregado na confecção de indutores, em uma temperatura ambiente de 40 °C. A relação que determina a elevação de temperatura no indutor, isto é, o acréscimo de temperatura em relação à temperatura ambiente de operação, é dada pela Equação 2.25, a mesma está em função de perdas no indutor ($P_{loss,L}$) e de sua área de superfície (A_s) [42].

$$\Psi = \frac{P_{loss,L}}{A_s} \quad \text{Equação 2.24}$$

$$T_r = 450(\Psi)^{0,826} \quad \text{Equação 2.25}$$

2.5 Implementação do cálculo de perdas e modelo térmico em ambiente de simulação

Como mencionado previamente na seção 2.3.3, o *software* desenvolvido para aquisição de curvas características dos dispositivos semicondutores, detalhado no Apêndice A.1, com cálculo de perdas integrado possui uma abordagem de cálculo por meio de diagrama de blocos. Utiliza-se o MATLAB/Simulink para implementar o cálculo numérico de acordo com as equações apresentadas na seção 2.3.3, no entanto em diagrama de blocos. Simula-se o conversor na mesma ferramenta para obter o perfil de corrente nas chaves e calculam-se as perdas simultaneamente a cada ciclo fundamental. Aproveita-se ainda o cômputo das perdas para estimativa da temperatura de junção dos dispositivos por meio da analogia de circuito térmico equivalente de regime permanente.

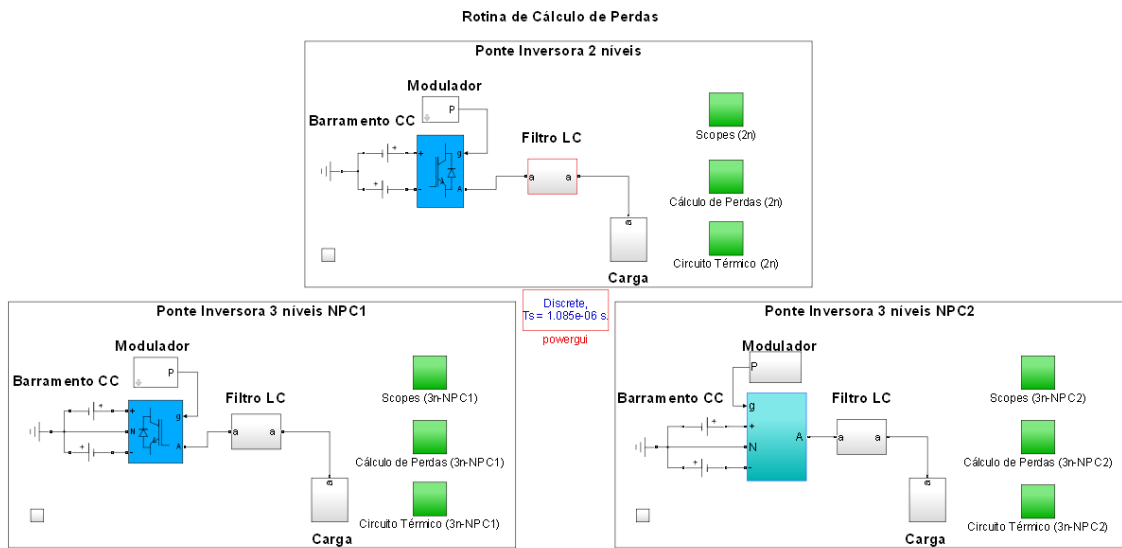


Figura 2.13 – Visão geral do modelo em MATLAB/Simulink para o cálculo de perdas para as três topologias

A Figura 2.13 mostra de modo geral o modelo em MATLAB/Simulink, o qual implementa a simulação de uma das topologias de conversores (dois níveis, NPC1, NPC2) em modo inversor apenas e calculam-se as perdas na mesma. Os parâmetros do conversor são definidos na própria interface do *software*, vide Figura 2.14.

Figura 2.14 – Seção de inserção dos dados do conversor para realização da simulação voltada ao cálculo de perdas

Ao simular-se o conversor, faz-se uso de multímetros, os quais retornam a medição da corrente em cada dispositivo semiconductor, essa é, portanto, parâmetro de entrada dos diagramas de blocos que implementam as equações do cálculo numérico das perdas. A Figura 2.15 exemplifica o diagrama de blocos para o cálculo de perdas no IGBT, observa-se que a entrada é a corrente na respectiva chave, somando as perdas devido à resistência de contato (em verde) e as devido à condução do dispositivo. O bloco azul realiza o *look-up table* da curva de condutância adquirida previamente pelo *software*. Em ambas as parcelas de perdas de condução obtém-se a média pelo

bloco em vermelho. O ganho ao final representa o número de chaves com a mesma característica de perdas na topologia.

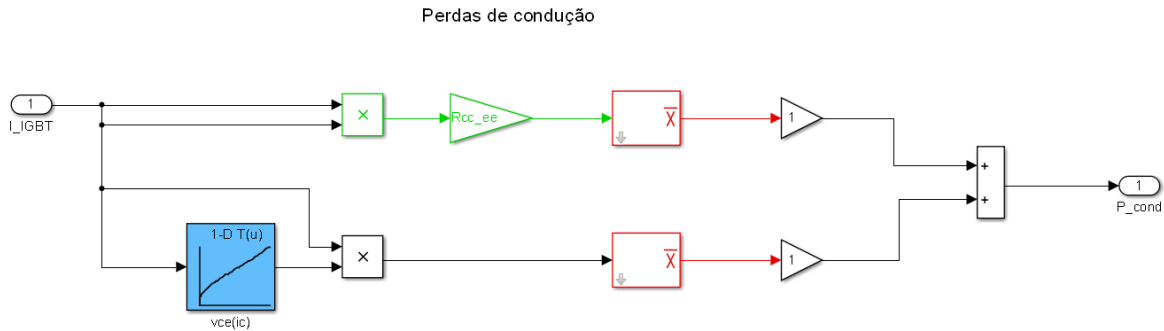


Figura 2.15 – Diagrama de blocos para cálculo das perdas de condução no IGBT

Adota-se também um diagrama de blocos para o cálculo das perdas de chaveamento, como ilustra a Figura 2.16. Tem-se como entrada a medição da corrente na chave, os blocos em verde fazem a detecção de subida e descida do nível de corrente para obtenção do nível de corrente em cada comutação, assim, consulta-se a *look-up table* (bloco em azul) determinando a energia para o respectivo valor de corrente. Somam-se as energias em todo o período fundamental (através dos blocos em vermelho). Finalmente realizam-se os fatores de correção, o relacionado com os resistores de *gate* consulta-se a *look-up table* de energia e função desse parâmetro, assim como o relacionado com a tensão de bloqueio.

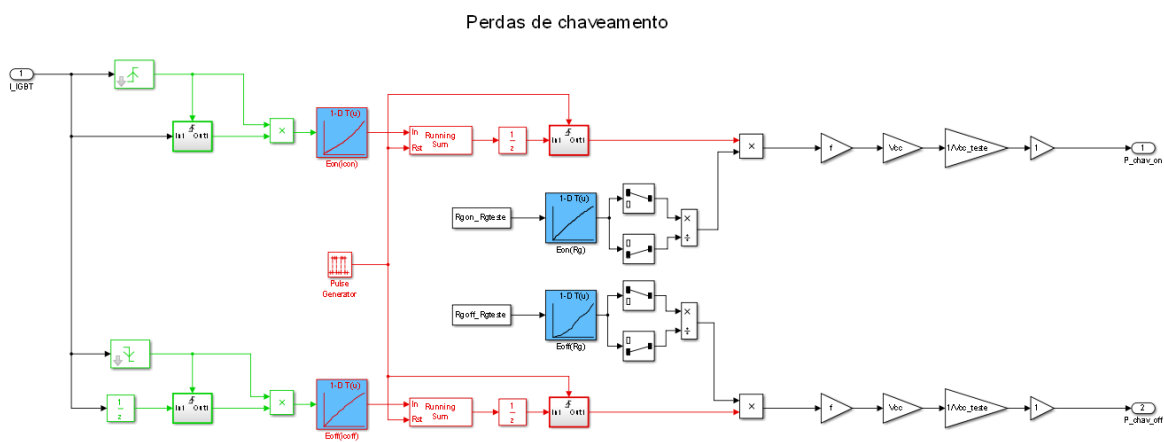


Figura 2.16 – Diagrama de blocos para cálculo das perdas de chaveamento no IGBT

As perdas no diodo, tanto as de condução, quanto as de chaveamento, são calculadas de forma análoga à do IGBT, consideram-se, no entanto, as curvas características dessa chave e apenas as perdas no seu desligamento.

Obtidos os resultados do cálculo de perdas em cada chave da topologia, pode-se então utilizá-los como entrada para o modelo térmico em regime permanente do módulo semiconductor. A Figura 2.17 traz o modelo térmico equivalente para a topologia dois níveis. Entre os valores calculados de perdas, selecionam-se os totais (condução e chaveamento) para o IGBT e diodo, multiplicando tal valor pelo número de chaves com a mesma característica na topologia como entrada em uma fonte regulada de potência, os resistores térmicos possuem valores de acordo com os dados inseridos no *software*, além disso, ambas as variantes de circuito térmico são viabilizadas por uma chave. São feitas, portanto, as medições de temperatura nos nós do circuito.

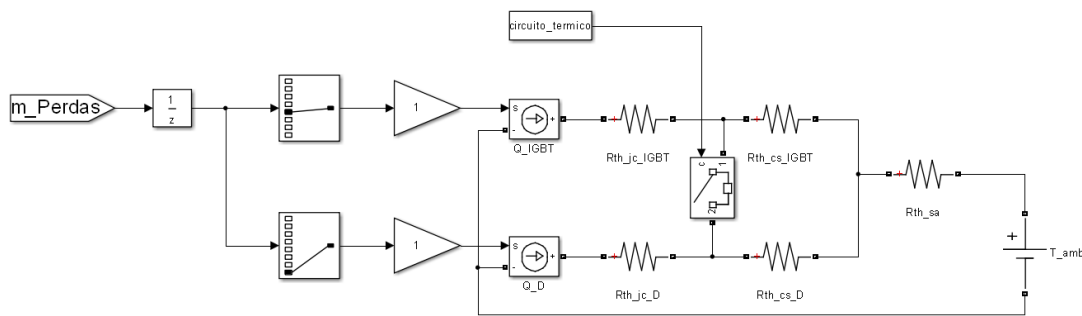


Figura 2.17 – Diagrama de blocos do modelo térmico em regime permanente para a topologia dois níveis

2.6 Conclusões

Apresentou-se o método para cálculo de perdas em semicondutores, o qual é empregado para estimativa do nível de perdas nos conversores de uma UPS *double conversion*, cuja abordagem pode ser estendida para qualquer outra topologia de conversor. No presente estudo abordam-se apenas as comumente empregadas em UPS *double conversion*. Para uma estimativa mais completa das perdas no equipamento se faz necessário ainda o projeto dos filtros de entrada e saída, considerando as perdas no elemento indutor, o qual tem parcela significativa de perda de potência. Utilizam-se, portanto, ambos os métodos de cálculo de perdas (em semicondutores e indutores) para estimativa do rendimento da UPS *double conversion*. O modelo térmico tem papel importante tanto

para estimativa da temperatura de junção dos dispositivos, como para a realimentação do cálculo de perdas.

Através dos conceitos apresentados desenvolveu-se *software* capaz de automatizar a caracterização dos dispositivos semicondutores voltado ao cálculo de perdas em conversores. Tal ferramenta auxilia e automatiza os cálculos em condições diversas. O cálculo de perdas pode ser abordado, portanto, em algoritmo computacional em linhas de código, ou ainda por diagramas de bloco, como apresentado no presente capítulo. É importante destacar que os cálculos são apenas em nível de estimativa, onde uma validação experimental se faz necessária, comumente empregada na literatura por meio de método de calorímetro [43]. Nessa perspectiva, a Plataforma dSPACE pode auxiliar na validação experimental do cálculo de perdas, controlando o mesmo em uma condição conhecida, estimando as perdas via cálculo e medindo-as experimentalmente.

De forma a embasar conceitos para o controle digital a ser implementado na Plataforma dSPACE, com o objetivo de utilizá-lo na validação do cálculo de perdas, deve-se desenvolver ferramentas computacionais, em ambiente de simulação, para auxiliar o projeto do método de controle do conversor, seja esse operando em modo retificador ou modo inversor. Além disso, é importante conhecer os recursos da plataforma dSPACE voltados à aplicação em um conversor estático. Os capítulos seguintes demonstrarão os modelos de simulação dos conversores e seu controle digital, além de revisão acerca da plataforma dSPACE, exemplificando sua aplicação em montagem experimental.

3 MODELAGEM DOS CONVERSORES

3.1 Introdução

O presente capítulo irá demonstrar a modelagem do conversor na implementação prática: um inversor ponte completa. Esse, por sua vez, é acionado por PWM de forma controlada, monitoram-se a tensão e corrente de saída, para que tais grandezas atendam a uma determinada referência de tensão. O objetivo dessa modelagem é auxiliar o projeto dos controladores, das malhas de tensão e corrente, identificando seus parâmetros, considerando critérios de estabilidade e desempenho, planejando sua implementação por meio da plataforma dSPACE. Baseando na modelagem do inversor, a extensão para o modelo na operação retificadora é apresentada, possibilitando ainda as simulações de ambos os conversores para o cálculo de perdas nos mesmos.

3.2 Modelo do conversor em modo Inversor

O foco da modelagem está em torno de um inversor ponte completa: é alimentado por um barramento de corrente contínua; suas chaves são controladas por um modulador PWM; e entrega potência a uma carga linear, passando antes por um filtro do tipo LC, filtrando, assim, as componentes harmônicas. O sistema em estudo está em acordo com o diagrama presente na Figura 3.1.

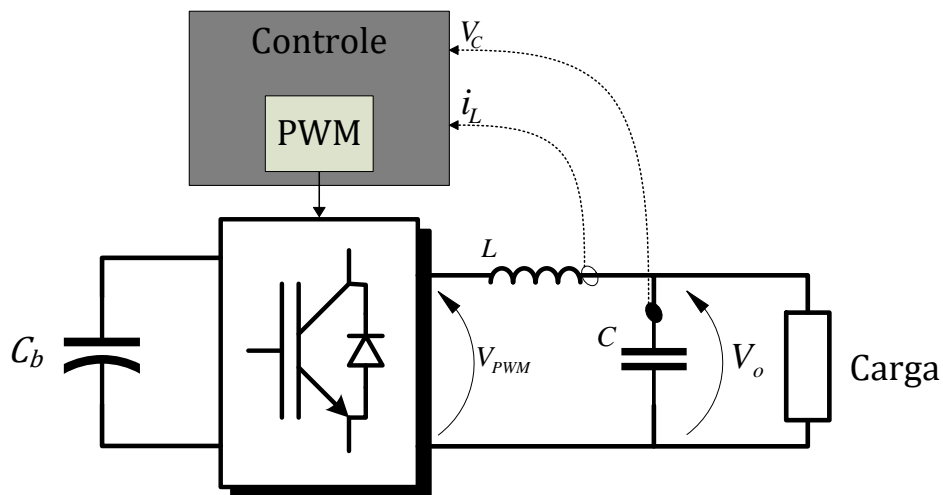


Figura 3.1 – Diagrama do circuito em estudo

3.2.1 Modelagem do sistema inversor no domínio da frequência

Baseando na Figura 3.1, a qual representa o sistema em análise, será elaborada a sua modelagem no domínio da frequência. Leva-se em conta a resposta em frequência de cada elemento nesse domínio, a partir da estimativa de seus parâmetros, na tentativa de representá-lo da forma mais fiel possível ao sistema real. O diagrama de blocos do sistema é apresentado na Figura 3.2.

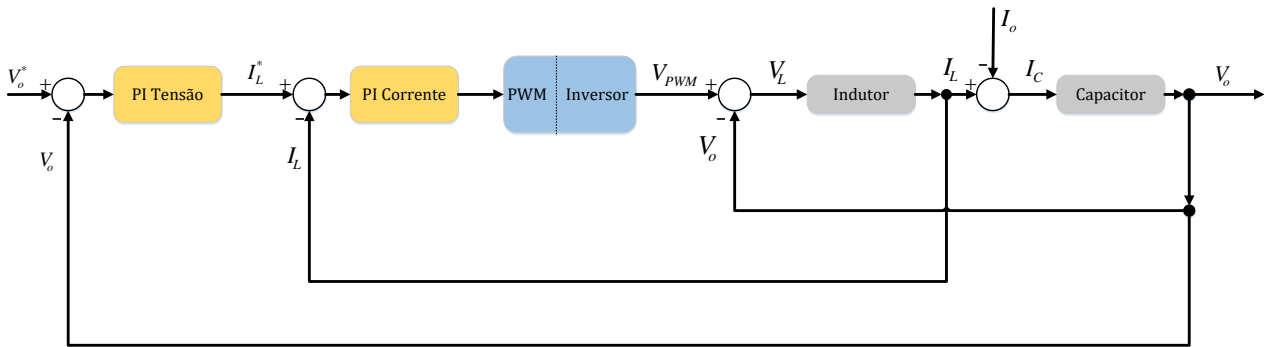


Figura 3.2 – Diagrama de blocos do sistema em estudo

O princípio da modelagem será representar cada elemento do diagrama de blocos acima no domínio da frequência, isto é, refere-se à função de transferência dos: controladores PI, modulador PWM, elementos de filtro (indutor e capacitor) e realimentação[44], [45]. É importante destacar, que ao fechar as malhas de tensão e corrente, a realimentação será realizada pela medição dos respectivos sinais, a qual na prática será efetivada pelo uso de sensores de medição, um circuito de condicionamento e conversores analógico-digitais, os quais podem também ser considerados na modelagem.

Controlador proporcional integral: da própria nomenclatura do controlador, nota-se que é composto de um ganho proporcional, somado a um integrador com ganho integral. Sua equação no domínio da frequência é dada pela Equação 3.1.

$$PI(s) = K_p + \frac{K_i}{s} \quad \text{Equação 3.1}$$

Modulador PWM/Inversor: pode ser assumido como um segurador de ordem zero (ou ZOH) ideal, com período de amostragem T_{sd} e ganho associado, equivalente à amplitude do barramento de corrente contínua (E) dividida pela amplitude da triangular moduladora (V_{tri}). Sua expressão no domínio da frequência é descrita na Equação 3.2.

$$PWM(s) = \frac{E}{V_{tri}} \cdot \frac{1 - e^{-T_{sd} \cdot s}}{T_{sd} \cdot s} \quad \text{Equação 3.2}$$

Indutor: a equação no domínio da frequência para o indutor, que descreve sua impedância para uma dada tensão e corrente, é mostrada pela Equação 3.3. Onde sua impedância está diretamente relacionada com o valor da indutância (L) (sua resistência série (r_L) também pode ser considerada).

$$(L \cdot s + r_L) = V(s) \cdot I(s)^{-1} \tag{Equação 3.3}$$

Capacitor: para o capacitor a Equação 3.4 descreve a impedância do capacitor no domínio da frequência, para uma dada tensão e corrente. Sua impedância possui uma relação inversamente proporcional com o valor da capacitância (C).

$$(C \cdot s)^{-1} = V(s) \cdot I(s)^{-1} \tag{Equação 3.4}$$

Realimentação: será modelada como um atraso puro de tempo, equivalente a um período de amostragem T_{ds} , representada pela Equação 3.5, uma vez que, na implementação real, a aquisição realizada pelo conversor A/D, a qual é sincronizada pela interrupção do PWM, só é utilizada no cálculo no passo seguinte.

$$AD(s) = e^{-T_{sd}s} \tag{Equação 3.5}$$

Os sensores de medição e o circuito de condicionamento utilizados não inserem nenhum tipo de atraso, podendo ser apenas modelados como ganhos, o mesmo comportamento é observado no *feed-forward*. Assim sendo, tanto a influência dos sensores e do condicionamento, quanto a utilização do *feed-forward* serão desprezadas na modelagem. É relevante mencionar que, se a medição dos sinais ou o condicionamento inserir algum tipo de atraso, demandando o uso de algum tipo de filtragem, por exemplo, essa influência deve, sim, ser levada em consideração. É conveniente destacar ainda, que a qualidade da modelagem depende, naturalmente, da estimativa dos parâmetros elétricos do sistema, ou seja, os valores de indutância e capacitância do filtro, como também do nível de tensão do barramento de corrente contínua. A partir das considerações acima apresentadas, o sistema no domínio da frequência pode ser redesenhado como na Figura 3.3.

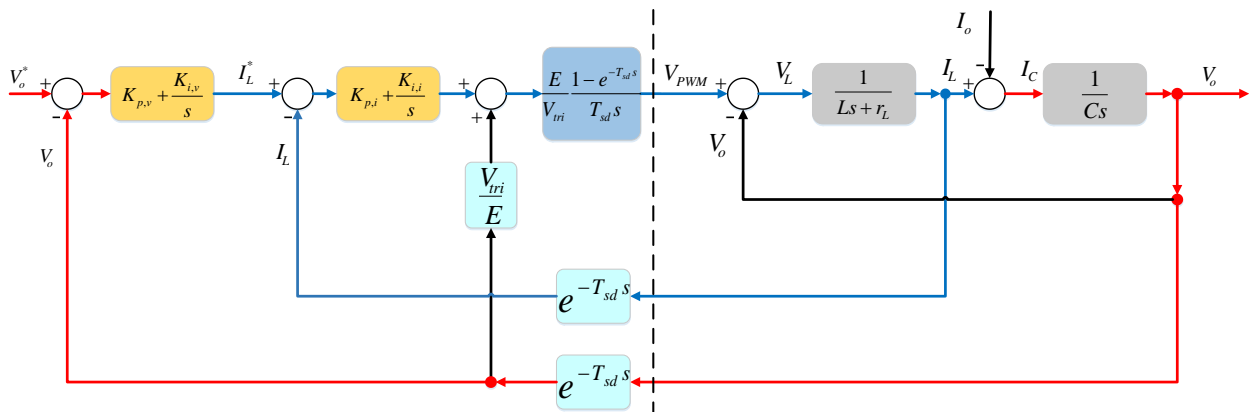


Figura 3.3 – Modelo no domínio da frequência do sistema em análise

Percebe-se pelo diagrama de blocos, Figura 3.3, do sistema modelado, que o mesmo pode ser dividido em duas malhas: a primeira mais interna (em azul) de controle de corrente; e a segunda mais externa (em vermelho) de controle de tensão. Para cada malha faz-se uso de controlador proporcional integral – PI. A malha interna de corrente é auxiliada por um *feed-forward* (em preto), que antecipa o divisor de tensão na saída do PWM. Nota-se ainda, pela linha tracejada, a divisão entre o controle digital, a ser implementado na plataforma dSPACE, e a planta física, ou seja, o circuito de potência propriamente dito.

A ideia por trás do controle pode ser descrita da seguinte maneira: insere-se uma referência de tensão arbitrária para a malha de tensão, comparando-a com a leitura de tensão na saída do conversor. O erro associado à comparação é encaminhado ao controlador PI de tensão, o qual, por sua vez, fornece a referência de corrente para a malha de corrente. Novamente faz-se uma comparação, dessa vez, com a leitura de corrente no indutor, guiando o erro associado ao controlador PI de corrente. O papel desse é fornecer o sinal de referência ao modulador PWM, que enfim gera os pulsos para o inversor, para produzir na saída do filtro a referência de tensão inicialmente imposta.

Com a modelagem efetivada, avaliando critérios de estabilidade e desempenho do sistema, serão projetados os ganhos dos controladores PI, de tensão e corrente, no domínio da frequência. Por último, a equivalência do método de integração para o controle digital será caracterizado, como será demonstrado nas seções a seguir.

3.3 Projeto dos controladores PI

A partir da modelagem do sistema, desejou-se desenvolver ferramenta computacional, que auxiliasse o projeto dos controladores proporcional integral. Para atingir tal objetivo, algoritmo via MATLAB foi elaborado, para determinar valores dos ganhos proporcional (K_p) e integral (K_i) dos controladores, considerando o sistema modelado no domínio da frequência, como o ilustrado na seção anterior, pela Figura 3.3. O algoritmo receberá como parâmetros de entrada: características do conversor; e critérios de margem de fase e faixa de passagem para cada malha (de tensão e corrente). Dessa maneira, o algoritmo retorna informações necessárias para o ajuste dos ganhos atingindo os requisitos previamente almejados (margem de fase e faixa de passagem), garantindo assim estabilidade para o controle. Em seguida, por meio de um modelo de simulação, que representa o inversor modelado, desenvolvido através da ferramenta MATLAB/Simulink, observa-

se o desempenho do controle, de forma a, enfim, garantir que a referência de operação escolhida seja rastreada de forma estável e com erro minimizado.

Como se pode notar pelo modelo presente na Figura 3.3, os parâmetros elétricos do conversor devem ser definidos, ou seja, os valores de filtro, indutância e sua resistência série e capacitância, além dos parâmetros do modulador PWM: seu ganho, ou melhor, a amplitude da tensão do barramento de corrente contínua e a amplitude da onda triangular moduladora; assim como sua frequência de chaveamento. Os parâmetros digitais também devem ser inseridos: a taxa de amostragem que será usada no controle digital T_{sd} , e o atraso de tempo demandado pela conversão analógico-digital. Além desses, deve-se inserir o ponto de operação do inversor, relacionado com a tensão de referência que se deseja aplicar à carga, para tanto é necessário definir a amplitude da tensão de referência e sua frequência fundamental.

A partir dos parâmetros de entrada do conversor, o algoritmo computa os módulos e fase de cada respectivo elemento do sistema, de acordo com a malha ilustrada na Figura 3.3, para o caso do inversor, por exemplo. Inicialmente consideram-se ganhos proporcionais unitários e integrais nulos, para iniciar o projeto dos ganhos. Associa-se então a resposta em frequência da malha aberta mais interna, a de corrente. Da definição de uma determinada margem de fase para essa malha, calcula-se qual o ganho necessário para obtê-la, de acordo com a resposta em frequência da malha aberta de corrente, determinando-se, portanto, o ganho proporcional K_p dessa respectiva malha.

Sabe-se que a razão entre os ganhos K_i e K_p está relacionada com a frequência de passagem pelo ganho em zero dB da malha aberta. Assim, determina-se o ganho K_i a partir do produto do valor calculado de K_p e da frequência cujo ganho é mais próximo ao 0 dB. Avalia-se a dinâmica em malha aberta para os ganhos calculados e verifica-se a margem de fase para a nova condição, devendo-se ajustar ambos para garantia da margem de fase desejada. Caso essa seja satisfeita, após o ajuste dos ganhos, fecha-se a malha e avalia-se a faixa de passagem do sistema, além do ganho e fase na frequência fundamental.

É importante destacar que na malha mais interna, não necessariamente necessita-se de um ganho integrador, visto que a dinâmica dessa é mais rápida e é auxiliada pela malha mais externa, onde nessa, sim, tem-se interesse em um controlador do tipo proporcional e integral. No caso da malha de tensão, os ganhos são projetados de forma análoga à da malha interna de corrente, onde a dinâmica dessa, por sua vez, é incluída na malha de tensão para que se possam projetar os ganhos

do controlador. O Apêndice B.1 traz o algoritmo utilizado para projeto dos ganhos de acordo com os princípios acima descritos.

O projeto de controle realizado é visando sua utilização em um controle digital, para implementação na Plataforma dSPACE, é preciso, portanto, analisar métodos de integração discretos, como será demonstrado a seguir. O desempenho do controle digital projetado é observado em modelo de simulação na ferramenta MATLAB/Simulink, os resultados de simulação são apresentados na seção 3.5.

3.3.1 Discretização do Controlador PI

Tendo em vista, que através da plataforma dSPACE, será implementado um controle digital, é necessário avaliar os métodos de discretização do controlador proporcional integral - PI, ou seja, sua transformação do tempo contínuo, projetado previamente através da modelagem apresentada, para o tempo discreto. A efetivação da discretização será baseada na avaliação de métodos de integração numérica. Na prática, a parcela de integração contínua do controlador PI, será substituída por um método de aproximação numérica, levando em consideração os métodos mais elementares, a saber: regras retangulares, conhecidos como Euler progressivo (ou Euler explícito) e Euler regressivo (ou Euler implícito); e regra Trapezoidal, referido também como bilinear ou Tustin [46].

É fácil notar, pela Figura 3.9, o princípio de cada método de integração numérica, aproximar a área de um determinado sinal pela área da geometria de um retângulo ou trapézio, ficando notória a justificativa da nomenclatura dos métodos. Cada regra tem uma função recursiva que calcula a área da geometria, pelas amostras do sinal, coletadas em uma dada taxa de amostragem – T_s [44], [45].

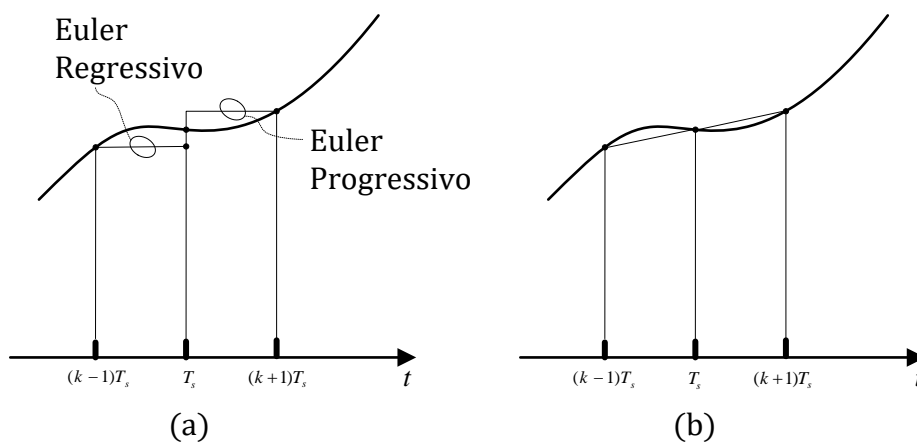


Figura 3.4 – Métodos de integração numérica: (a) Regra retangular (Euler progressivo e regressivo); (b) Regra trapezoidal (Tustin)

A discretização do controlador PI será realizada, portanto, aplicando a Transformada \mathcal{Z} na função de área de cada método de integração numérica (tempo discreto), obtendo a correspondência com a integração $\frac{1}{s}$ (tempo contínuo), da Transformada de Laplace. A Tabela 3.1 mostra resumidamente a correspondência em \mathcal{Z} , de cada método de integração numérica.

Tabela 3.1 – Correspondência em \mathcal{Z} para os métodos de integração [44]

Método	Correspondência em \mathcal{Z}
Euler progressivo	$\frac{1}{s} \leftrightarrow \frac{T_s}{z-1}$
Euler regressivo	$\frac{1}{s} \leftrightarrow \frac{z \cdot T_s}{z-1}$
Trapezoidal	$\frac{1}{s} \leftrightarrow \frac{T_s}{2} \cdot \frac{z+1}{z-1}$

Das três regras de integração apresentadas previamente, uma será eleita para sua implementação no controle digital via *hardware*, logo, deve-se avaliar cada método considerando sua implementabilidade prática e desempenho. O método Euler progressivo, por ser um método explícito é de simples implementação [46], apesar disso apresenta problemas de instabilidade numérica, dependendo do tamanho do passo de tempo T_s , demandando, assim, passos de cálculo muito pequenos, o que para sistemas onde a resposta muda lentamente e depende de passos de cálculo elevados pode ser ineficiente. Por essas razões não sendo recomendado em aplicações práticas [47]. Observa-se sua região restrita de estabilidade pela Figura 3.5a. Já o método Euler regressivo, por ser um método implícito, se mostra uma alternativa ao Euler progressivo, uma vez que apresenta estabilidade independente do passo de tempo T_s , vide Figura 3.5b. Sua penalidade está relacionada com o maior esforço computacional [46], apesar disso ainda é preferível em relação ao método Euler progressivo. Por último, o método Trapezoidal também possui certa complexidade de implementação, porém apresenta maior precisão [47], pois não há outro método de integração de segunda ordem tão preciso quanto o próprio [46], além disso, como pode ser observado pela Figura 3.5c, tal método não apresenta problemas de instabilidade. Tendo em vista as considerações supracitadas, o método Trapezoidal é eleito entre os três métodos apresentados, para a implementação no sistema real.

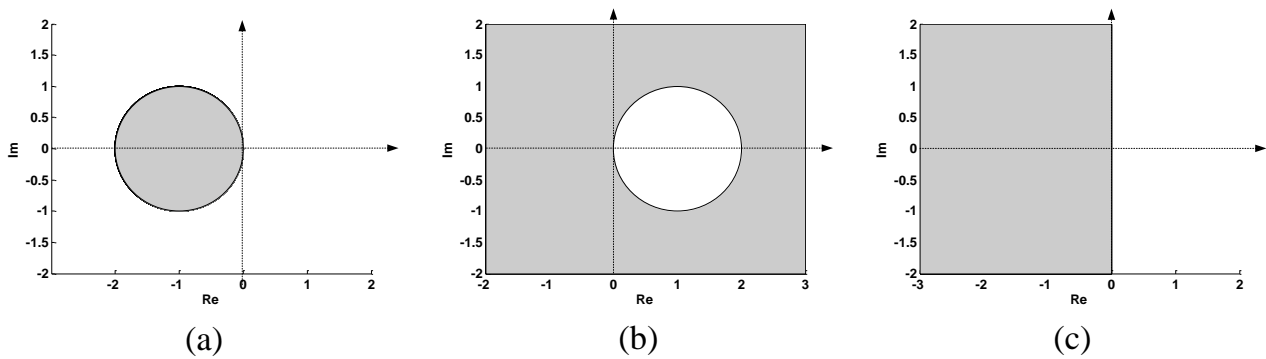


Figura 3.5 – Região de estabilidade (em cinza) dos métodos: a) Euler progressivo; b) Euler regressivo; c) Trapezoidal

3.4 Extensão da modelagem no modo retificador

A operação do conversor em modo retificador tem fluxo de potência contrário ao do inversor, ou seja, a alimentação c.a. proveniente da rede elétrica abastece o barramento de corrente contínua. No caso do inversor pode-se trabalhar em malha aberta apenas fornecendo uma dada referência ao modulador PWM. Já o retificador de uma UPS *double conversion* demanda, obrigatoriamente, uma malha de controle, tanto para estabilização do nível de tensão no barramento de c.c., como também garantir corrente de entrada senoidal de baixa distorção harmônica e elevado fator de potência. Por esse motivo, além do fato de ter variável de estado em nível c.c. sua modelagem é ligeiramente diferente da do inversor, como será mostrado a seguir.

Realizam-se algumas simplificações no modelo do retificador. Uma delas é desprezar a presença do capacitor no filtro LCL de entrada, onde esse, por sua vez, passa a ser representado apenas por um único indutor, de valor equivalente à soma dos indutores do filtro referidos como L_1 e L_f , vide Tabela 2.4. A outra se refere ao modelo do barramento de c.c., esse é representado apenas por um único capacitor, com valor equivalente à capacitância total do barramento, em paralelo com uma carga, relativa ao valor nominal de operação do retificador. O circuito resultante é mostrado na Figura 3.6. Assume-se rendimento 100 %, isto é, a potência de entrada equivale à de saída, e fator de potência unitário [13], [48].

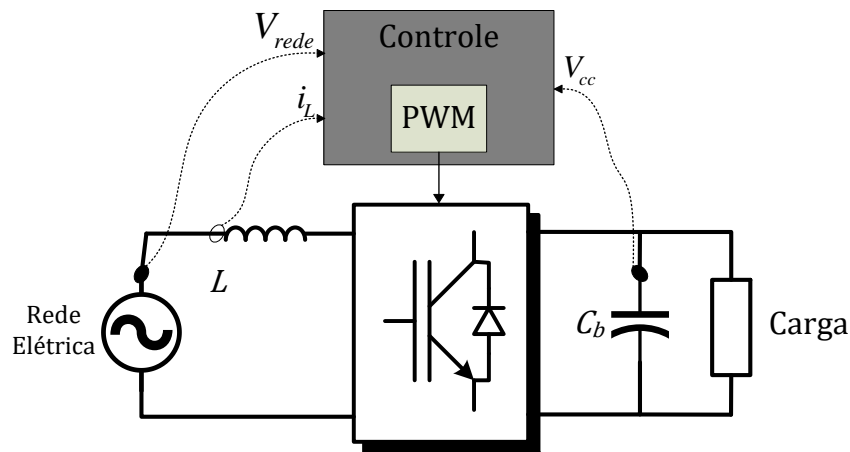


Figura 3.6 - Circuito simplificado para modelagem do retificador

Como pode ser notado na Figura 3.6, duas variáveis de estado são monitoradas: a corrente no indutor de entrada e a tensão no capacitor do barramento de c.c.. Sendo assim, o modelo do retificador possuirá duas malhas, a primeira de controle de corrente a segunda de tensão. A malha de corrente, Figura 3.7, é idêntica à do inversor, mas nesse caso o *feed-forward* relaciona-se com a tensão da rede elétrica, a qual também é monitorada.

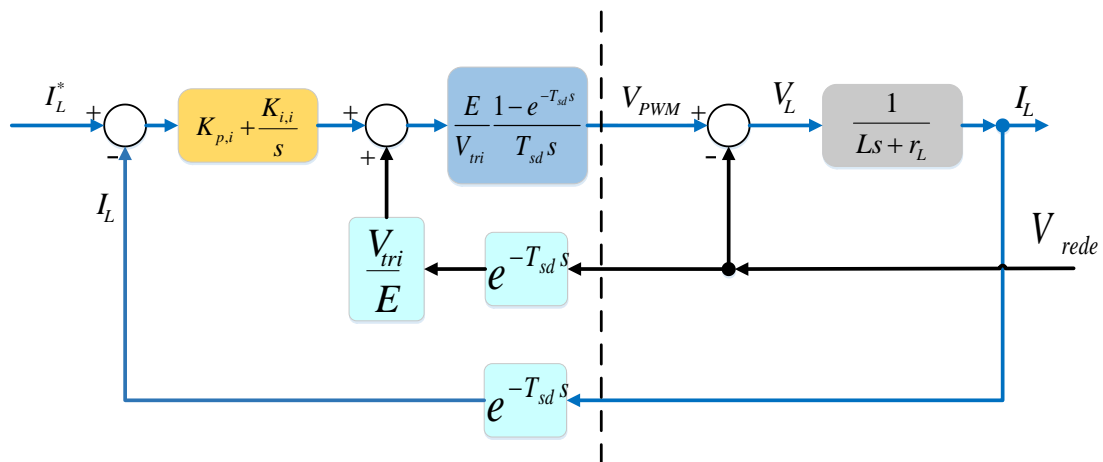


Figura 3.7 – Malha de corrente do retificador

Como princípio adotado para a modelagem, o fator de potência da entrada é unitário e o retificador tem rendimento 100 %, isso significa que a relação de potência de entrada pela potência de saída é dada pela Equação 3.6, onde R é o valor em Ω da carga, C a capacitância total do barramento de c.c., V_θ e I_θ são a tensão e corrente de fase da entrada, respectivamente e V_{cc} é a tensão média no barramento de c.c.. Considerando pequenas variações, de tensão e corrente, tanto nas grandezas de entrada (alternadas), quanto nas de saída (contínuas), por meio de modelo de pequenos sinais, detalhado no Apêndice B.2, a função de transferência do barramento de c.c. é dada pela relação mostrada na Equação 3.7.

$$V_{\phi} I_{\phi} = \frac{V_{CC}^2}{R} + V_{CC} C \frac{dV_{CC}}{dt} \quad \text{Equação 3.6}$$

$$\left. \frac{\tilde{V}_{CC}}{\tilde{I}_{\phi}} \right|_{\tilde{v}_{\phi}=0} = \frac{\bar{V}_{\phi}}{\bar{V}_{CC}} \cdot \frac{R}{RCs + 2} \quad \text{Equação 3.7}$$

A Equação 3.7 tem como princípio a influência das pequenas variações da corrente de entrada nas pequenas variações no nível de tensão contínua do barramento, considerando que não há variação na tensão de entrada, proveniente da rede. Sendo assim, a malha de tensão do retificador é dada pela Figura 3.8, onde se assume que a malha de corrente mais interna é dada por um ganho unitário, visto que sua frequência de corte é da ordem de kHz , enquanto a malha de tensão possui frequência de corte da ordem de dezenas de Hz . A função de transferência do barramento de c.c. (na caixa em cinza) é incluída na malha de tensão em conformidade com a Equação 3.7.

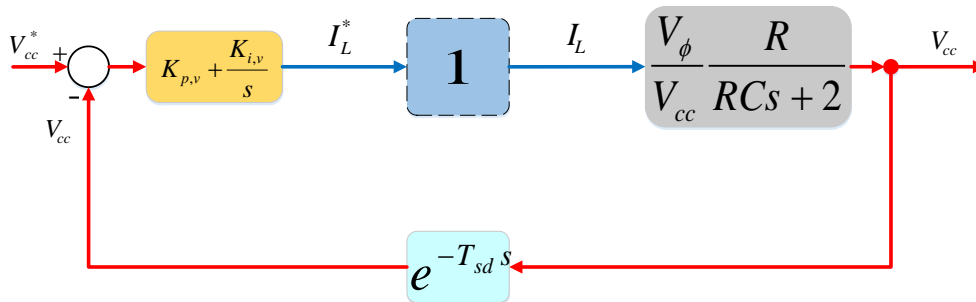


Figura 3.8 – Malha de tensão do retificador

De forma análoga ao inversor, pode-se utilizar o algoritmo descrito na seção 3.3 para determinar os ganhos dos controladores relativos às malhas de corrente e tensão. Fazendo apenas a adaptação incluindo o modelo do barramento c.c. na malha de tensão.

3.5 Resultados de Simulação

Utilizando os conceitos e metodologias demonstradas nas seções anteriores, desenvolveram-se simulações em ambiente MATLAB/Simulink, com objetivo de comparar o desempenho das topologias de conversores, observando as perdas associadas tanto nos elementos semicondutores quanto nos elementos de filtro. Avaliou-se ainda, em ambiente de simulação, o desempenho controlado de um inversor ponte completa nos moldes da montagem concebida experimentalmente. Os resultados serão apresentados a seguir.

3.5.1 Cálculo de Perdas

Utilizando da metodologia de cálculo de perdas explicitada na seção 2.3 e do *software* apresentado no Apêndice A.1, fez-se uma avaliação de rendimento de uma UPS *double conversion* trifásica, utilizando as três configurações de topologias de conversores apresentadas na seção 2.2, em função da frequência de chaveamento, de forma a caracterizar a influência desse parâmetro tanto nas perdas em semicondutores, quanto nos elementos de filtro. As características da UPS são mostradas na Tabela 3.2. Nela reúnem-se também os módulos utilizados para os conversores em cada topologia. Os filtros de entrada e saída são dimensionados para cada frequência de chaveamento, de acordo com as relações mostradas na Tabela 2.4, considerando fator de crista da corrente em $\sqrt{2}$, uma vez que serão avaliadas cargas lineares somente.

Tabela 3.2 – Dados da UPS

Potência Nominal	33 kVA
Tensão Nominal	220 V
Corrente Nominal	50 A
Barramento de c.c.	650 V
Frequência de chaveamento	6 – 24 kHz
Filtro de Entrada	LCL
Filtro de Saída	LC
Módulo dois níveis	FF50R12RT4
Módulo NPC1	F3L50R06W1E3_B11
Módulo NPC2	F3L100R12W2H3_B11

As simulações são conduzidas a um passo de cálculo (T_s) equivalente a 512 pontos por ciclo de chaveamento. Na operação modo inversor o modulador PWM está em malha aberta, onde é passada a referência de operação nominal do conversor (220 V/50 A), alimentando carga linear puramente resistiva. Em modo retificador a operação é controlada. Utilizou-se da modelagem apresentada na seção 3.4 para determinar os ganhos dos controladores para cada condição de

operação. Nesse caso a taxa de amostragem do controle discreto (T_{sd}) equivale ao inverso da frequência de chaveamento.

Para o cálculo de perdas nos dispositivos semicondutores, monitora-se a corrente em cada dispositivo, armazenando-as em arquivo de formato **.txt*, para ser utilizado na abordagem *off-line* do *software* de cálculo de perdas, vide Apêndice A.1. Na avaliação térmica consideram-se os dados fornecidos pelo *software*, o qual utiliza a abordagem de regime permanente. O dissipador considerado no circuito térmico é o modelo P16 [31], o qual tem resistência térmica equivalente a $0,024 K/W$, na condição de ventilação forçada por meio do ventilador SKF 16B-230-01. Considera-se uma temperatura ambiente em $40\text{ }^\circ\text{C}$. Os resultados fornecidos pelo *software* foram armazenados em relatórios, cujos dados são apresentados nas seções seguintes.

As perdas no indutor são estimadas realizando seu projeto físico, a exemplo do Apêndice A.3, monitorando, durante as simulações, a queda de tensão no indutor, onde a partir desta obtém-se a curva de densidade de fluxo no mesmo em cada condição simulada, de acordo com a Equação 2.21. Registra-se o perfil de densidade de fluxo em arquivo **.txt*. A partir dos dados construtivos e dos simulados calculam-se as perdas no enrolamento, pela relação dada pela Equação 2.19, e as perdas no núcleo de acordo com a metodologia demonstrada na seção 2.4.1, utiliza-se do algoritmo descrito no Apêndice A.4, o qual retorna a informação de perda por unidade de volume, finalmente determinam-se as perdas, através das relações mostradas na Equação 2.22 e Equação 2.23.

3.5.1.1 Operação modo inversor

Através dos resultados fornecidos pelo *software* de cálculo de perdas, obteve-se um perfil de perdas pela frequência de chaveamento. Objetivando avaliar o impacto do filtro em cada topologia, converteram-se os dados de perdas, em W (Watt), para energia, em J (Joule). Calcula-se também, por meio da simulação, a energia demanda pelo filtro LC em cada frequência de chaveamento, através da Equação 3.8, da definição de energia no indutor e da Equação 3.9, da definição de energia no capacitor.

$$E_L = \frac{1}{2} LI_{L,max}^2 \quad \text{Equação 3.8}$$

$$E_C = \frac{1}{2} CV_{C,max}^2 \quad \text{Equação 3.9}$$

A Figura 3.9 exibe o resumo do perfil de energia demandada por cada topologia, em função da frequência de chaveamento. Nota-se que a topologia dois níveis é a de maior consumo energético, já a topologia NPC2 a mais vantajosa, para frequências abaixo de 12 kHz, acima dessa frequência observa-se que a topologia NPC1 se mostra mais adequada com relação ao consumo. Avaliando a energia no filtro LC para cada tipo de topologia, é óbvio que a dois níveis (curva em verde) demanda mais energia, do que a três níveis NPC (curva em ciano), visto que, as condições de operação são idênticas, porém, o dimensionamento do filtro LC para a topologia três níveis NPC é mais econômico no projeto do indutor, o que torna, naturalmente, o filtro de menor consumo energético. Na Figura 3.9, a curva de energia da topologia dois níveis, em preto, notam-se os pontos com cruz, em vermelho (×), indicando que ocorreu a violação térmica do dispositivo, isto é, a temperatura virtual de junção (T_{vj}) ultrapassou 150 °C, a partir da frequência de 20,4 kHz.

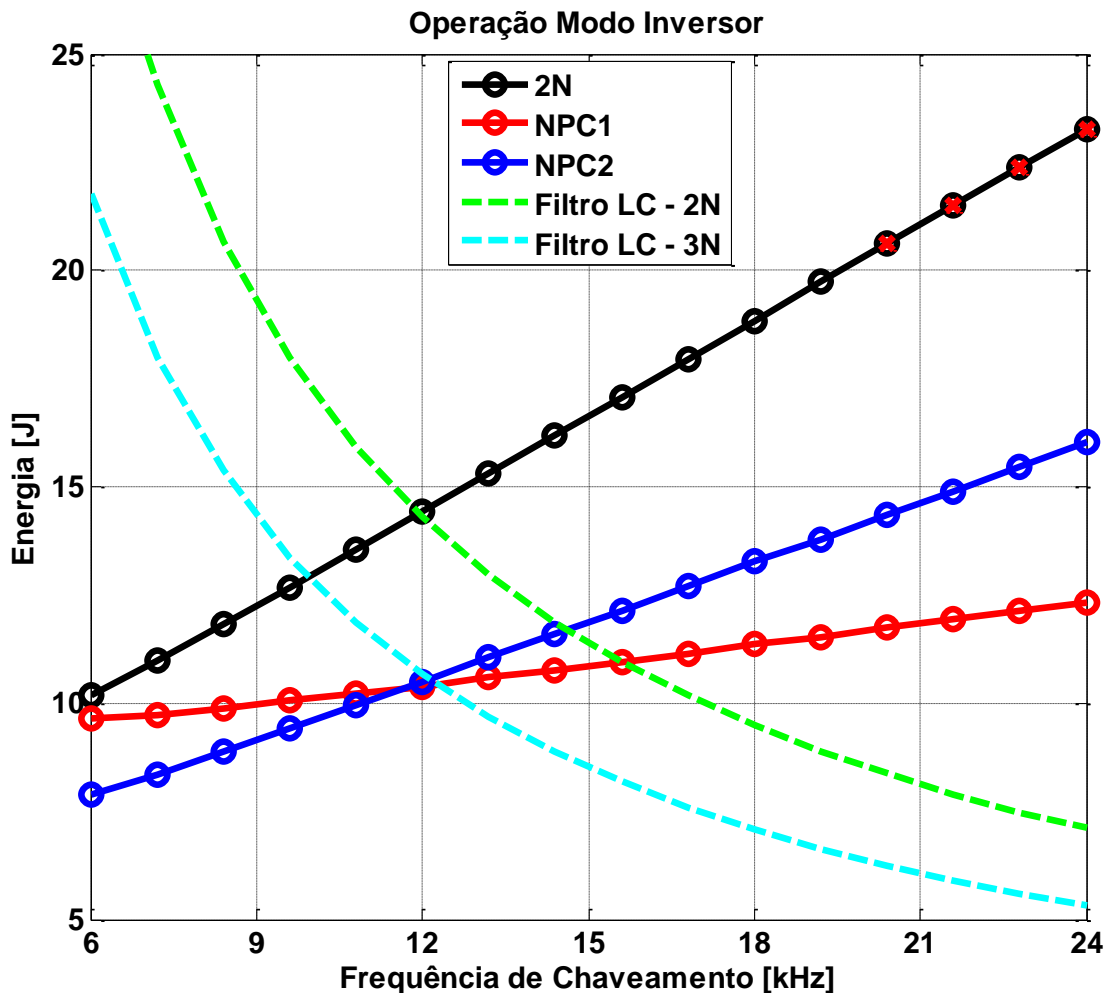


Figura 3.9 – Perfil de energia por frequência de chaveamento dos conversores em modo Inversor

Avaliou-se o desempenho do filtro, observando a THD na tensão de saída do inversor, de acordo com a Equação 2.4, para cada frequência de chaveamento, como ilustra a Figura 3.10. As topologias três níveis NPC por apresentarem desempenho praticamente idêntico, exibe-se apenas uma única curva para ambas. Nota-se que ambas as configurações de topologias têm características muito próximas, onde a dois níveis apresenta THD_v em torno de 0,33 % em toda a excursão de frequência, enquanto a três níveis NPC em torno de 0,35 %.

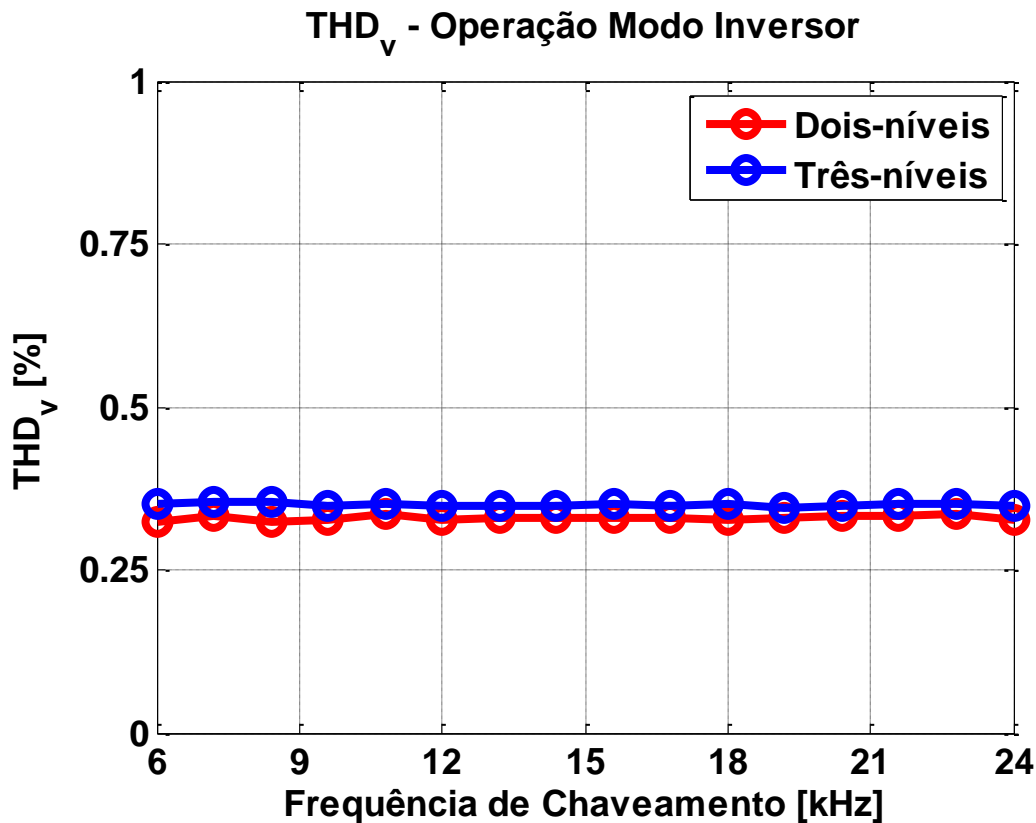


Figura 3.10 – Distorção harmônica total na tensão de saída

3.5.1.2 Operação modo retificador

De forma similar ao modo inversor, fez-se a análise para o modo retificador, como ilustra a Figura 3.11. A topologia dois níveis se mostra com um perfil de perdas bem similar a do modo inversor, mas nesse caso se viola a condição térmica apenas na frequência de 24 kHz, ponto com cruz, em vermelho (×). As topologias três níveis NPC tem característica bem semelhante, onde a NPC2 se mostra mais vantajosa. No que diz respeito às energias nos filtros LCL, observa-se uma maior demanda energética, se comparada à energia consumida pelos filtros de saída LC do inversor, explicada pela presença do indutor adicional.

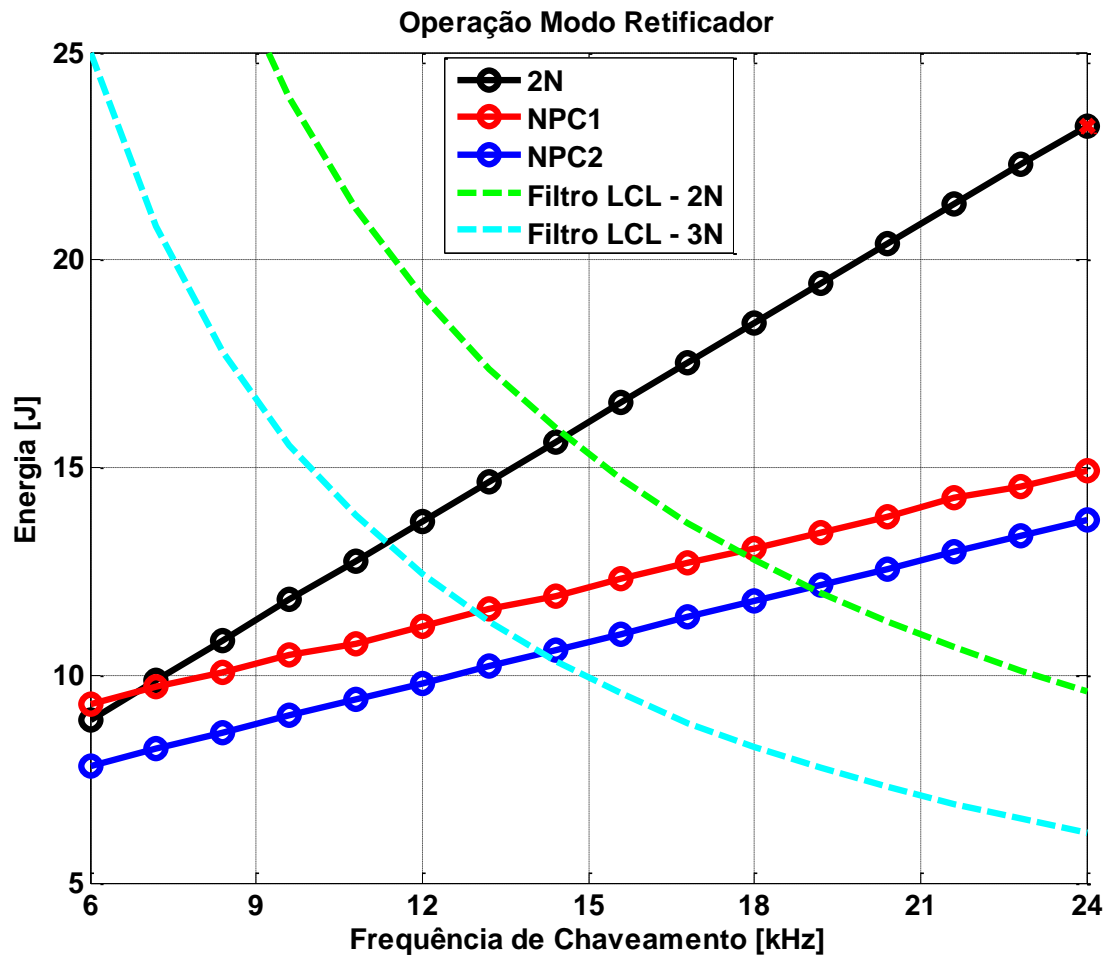


Figura 3.11 – Perfil de energia por frequência de chaveamento dos conversores em modo retificador

Observou-se ainda o desempenho do filtro LCL na redução das componentes harmônicas de corrente, avaliando a THD_i da corrente no indutor L_f , vide Equação 2.4. A Figura 3.12 exibe os dados coletados para cada frequência avaliada. Na topologia dois níveis observam-se THD_i máxima de 2,80 % (6 kHz) e mínima de 2,38 % (24 kHz), nas topologias três níveis NPC, tanto a NPC1 quanto a NPC2 tem desempenho muito próximo, por esse motivo exibe-se uma única curva para ambas, a pior THD_i encontrada teve valor de 1,56 % (6 kHz), enquanto a melhor 1,42 % (24 kHz).

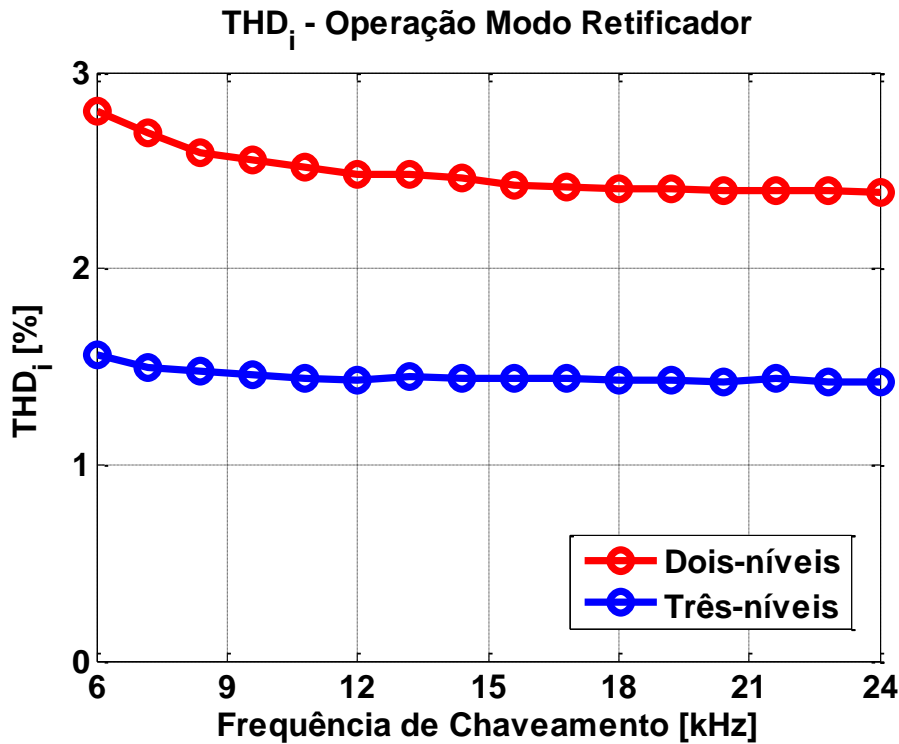


Figura 3.12 – Distorção Harmônica Total na corrente do indutor L_f

3.5.1.3 Análise comparativa dos modos inversor e retificador

A operação em modo retificador, devido ao fluxo de potência do elo c.a. para o c.c., demanda uma maior parcela de condução por parte dos diodos. Essa característica faz com que seja observado um comportamento diferente no modo inversor, no que tange às perdas. Serão apresentados dados comparativos para cada topologia, considerando as perdas nos dispositivos em modo inversor e modo retificador, na frequência máxima avaliada, 24 kHz. A nomenclatura dos dispositivos está de acordo com a Figura 2.2, P_{cond} se refere à perda de condução, P_{sw} à de chaveamento do dispositivo e P_{total} à soma de ambas.

A Tabela 3.3 exibe o comportamento de perdas das chaves nos dois modos de operação da topologia dois níveis, enquanto as perdas de chaveamento se mantêm praticamente constantes, para ambas as chaves, naturalmente, pela manutenção da frequência de chaveamento, as perdas de condução dos dispositivos se modificam consideravelmente. As perdas no IGBT Q1 caem de quase três vezes, já no diodo D1 há um acréscimo de, aproximadamente, sete vezes, do modo inversor para o retificador.

Como evidenciado pela Figura 3.9, a restrição térmica da topologia dois níveis é violada, a partir da frequência 20,4 kHz, o que não é observado no modo retificador dessa topologia. Isso

pode ser explicado pelo fato da mudança na distribuição das perdas, onde o diodo passa a contribuir com uma parcela maior, enquanto o IGBT reduz sua participação na perda global. No modo inversor, em 24 kHz, a $T_{vj,Q1}$ atinge 167,7 °C e a $T_{vj,D1}$ apenas 92,1 °C. Já no retificador, para a mesma frequência, a $T_{vj,Q1}$ fica logo acima do limite restritivo, 151,3 °C, enquanto a $T_{vj,D1}$ chega ao valor de 117,7 °C. O que mostra que a nova distribuição de perdas é mais favorável ao módulo no aspecto térmico.

Tabela 3.3 – Comparação das perdas nos dispositivos da topologia dois níveis em modo inversor e retificador

Topologia dois níveis – Módulo FF50R12RT4							
Modo Inversor				Modo Retificador			
Dispositivo	P_{cond} [W]	P_{sw} [W]	P_{total} [W]	Dispositivo	P_{cond} [W]	P_{sw} [W]	P_{total} [W]
Q1	49,47	141,05	190,52	Q1	17,68	145,99	163,67
D1	4,18	38,03	42,21	D1	28,22	40,47	68,69

Para a topologia NPC1 observa-se um comportamento semelhante, na comparação da operação em modo inversor e retificador em 24 kHz, como mostra a Tabela 3.4. Na operação modo inversor, apenas os diodos de grampeamento entram em condução e comutação, os diodos em antiparalelo sequer entram em condução ou comutam, outro fato de destaque é que o IGBT Q2 está sempre em condução. Situação que é modificada pelo modo retificador, nesse caso, os diodos D1 e D2 passam a conduzir e comutar, enquanto o IGBT Q1 cessa seu funcionamento. No modo inversor, o dispositivo que atinge a maior temperatura de junção é IGBT Q1, cuja $T_{vj,Q1}$ chega a 134,8 °C. Por sua vez, o modo retificador tem o dispositivo IGBT Q2 com maior estresse térmico, onde sua $T_{vj,Q2}$ alcança 123,4 °C.

Tabela 3.4 – Comparação das perdas nos dispositivos da topologia NPC1 em modo inversor e retificador

Topologia NPC1 – Módulo F3L50R06W1E3_B11							
Modo Inversor				Modo Retificador			
Dispositivo	P_{cond} [W]	P_{sw} [W]	P_{total} [W]	Dispositivo	P_{cond} [W]	P_{sw} [W]	P_{total} [W]
Q1	33,29	24,09	57,38	Q1	0,00	0,05	0,05
D1	0,00	0,09	0,09	D1	14,22	16,13	30,35
Q2	42,28	0,01	42,29	Q2	25,37	23,32	48,69
D2	0,00	0,09	0,09	D2	14,22	16,13	30,35
D5	7,79	15,72	23,51	D5	21,35	17,25	38,60

A topologia NPC2, cujos valores de perdas para cada dispositivo, em 24 kHz, são apresentados na Tabela 3.5, também tem comportamento próximo às outras duas topologias. Nota-se que no caso inversor apenas o diodo D1 não conduz nem comuta, no retificador apenas o IGBT

Q1. Os dispositivos de grampeamento Q2 e D2 mudam razoavelmente o comportamento de perdas. A temperatura de junção máxima atingida no modo inversor é a relacionada com o IGBT Q1, onde a $T_{vj,Q1}$ tem valor 136,0 °C, no modo retificador quem passa a ter o maior estresse térmico é o dispositivo IGBT Q2, cuja $T_{vj,Q2}$ chega a 141,0 °C.

Tabela 3.5 – Comparação das perdas nos dispositivos da topologia NCPC2 em modo inversor e retificador

Topologia NPC2 – Módulo F3L100R12W2H3_B11							
Modo Inversor				Modo Retificador			
Dispositivo	P_{cond} [W]	P_{sw} [W]	P_{total} [W]	Dispositivo	P_{cond} [W]	P_{sw} [W]	P_{total} [W]
Q1	32,39	85,45	117,84	Q1	0,00	0,55	0,55
D1	0,00	0,23	0,23	D1	17,36	41,04	58,40
Q2	7,72	21,19	28,91	Q2	23,89	36,71	60,60
D2	6,05	7,23	13,28	D2	17,45	0,00	17,45

Como observado, os modos de operação dos conversores apresentam características de perdas diferentes em cada dispositivo, pelo fato da mudança no fluxo de potência, o que modifica a característica de condução dos mesmos. Da mesma forma, tanto o inversor, o qual na condição avaliada alimenta carga linear puramente resistiva, quanto o retificador, o qual possui fator de potência unitário na entrada devido à ação de controle, poderiam apresentar característica de perda ligeiramente modificada, caso o fator de potência seja indutivo ou capacitivo, uma vez que nesse caso também se altera a característica de condução das chaves.

3.5.1.4 Cálculo das perdas em indutores

Utilizando as informações apresentadas na seção 2.4.1, além dos métodos apresentados no Apêndice A.4, fez-se a avaliação das perdas em indutores para a UPS proposta, projetando os indutores para cada ponto de operação, ou seja, cada frequência de chaveamento e monitorando queda de tensão sobre o mesmo. Os resultados são apresentados a seguir.

O filtro de saída, na operação modo inversor, é composto por um LC. As perdas associadas ao indutor L_1 em função da frequência de chaveamento são exibidas na Figura 3.13 para as topologias dois e três níveis NPC. Como a UPS é trifásica as perdas se devem aos indutores das três fases. É notável que as perdas no enrolamento são predominantes e decaem significativamente com o aumento da frequência de chaveamento, já as perdas no núcleo alteram levemente seu perfil durante toda a excursão da frequência.

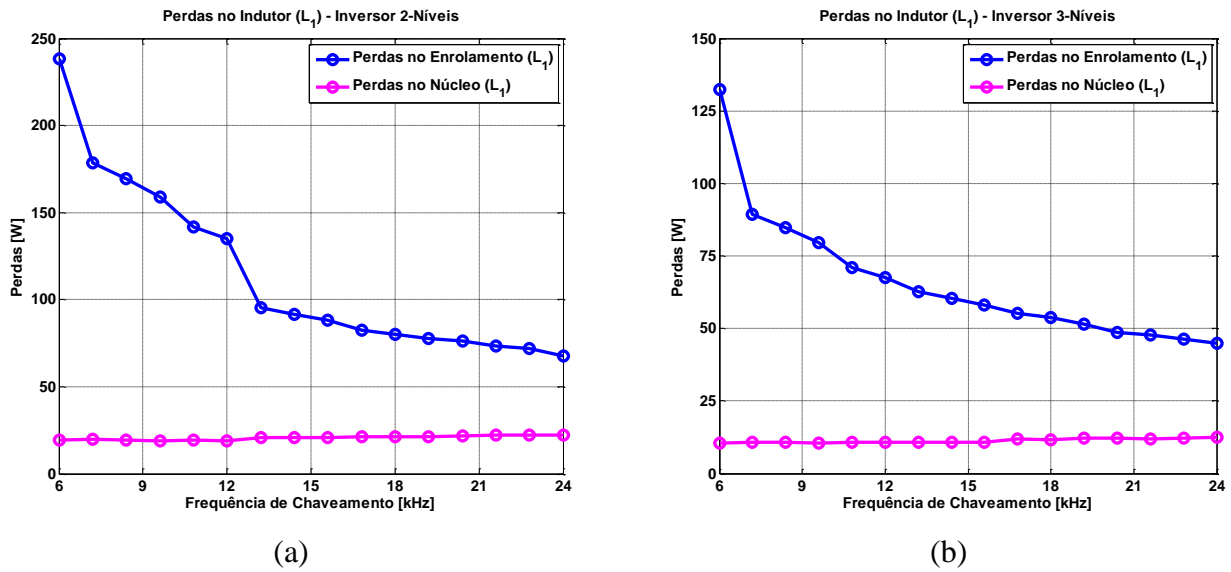
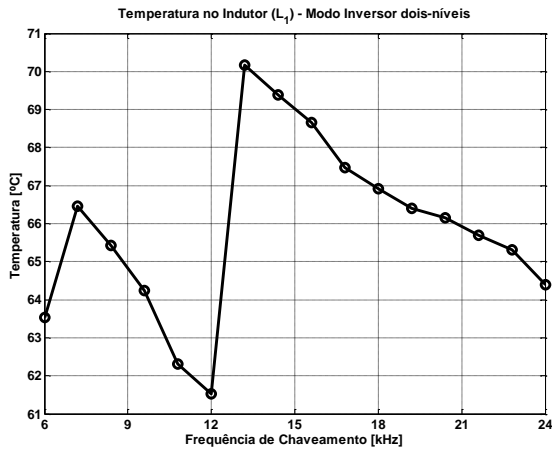


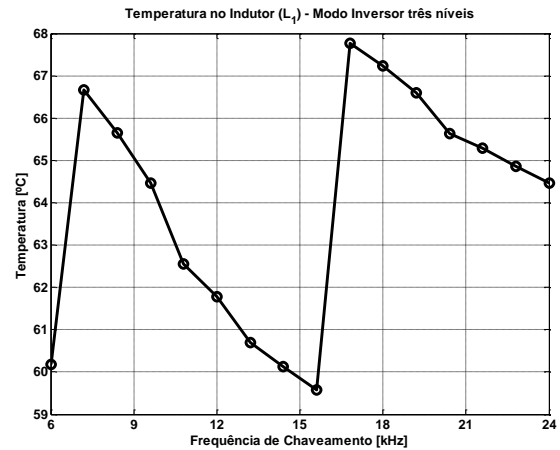
Figura 3.13 – Perdas no indutor do filtro de saída do inversor nas topologias: a) dois níveis; b) três níveis NPC

Na Figura 3.13a as quedas bruscas da perda no enrolamento se devem à mudança do número de indutores em série necessária, em 6 kHz utilizam-se três indutores em série, nas frequências de 7,2 kHz a 12 kHz utilizam-se dois, a partir de 13,2 kHz utiliza-se apenas um único indutor. O mesmo ocorre na Figura 3.13b, no entanto, nesse caso só há associação em série de dois indutores na frequência de 6 kHz.

Observou-se ainda a elevação de temperatura dos indutores do filtro de entrada, nas topologias dois e três níveis NPC, de acordo com a relação apresentada na Equação 2.25, considerando uma temperatura ambiente de 40 °C. A Figura 3.14 mostra o perfil de temperatura para cada topologia. As variações bruscas na elevação se devem à mudança de núcleo utilizado, uma vez que um núcleo de menor dimensão possui menor área de superfície, consequentemente, maior elevação de temperatura. Em ambos os casos, nota-se que a elevação de temperatura não é suficiente para atingir o limite restritivo dos materiais isolantes em 140 °C.



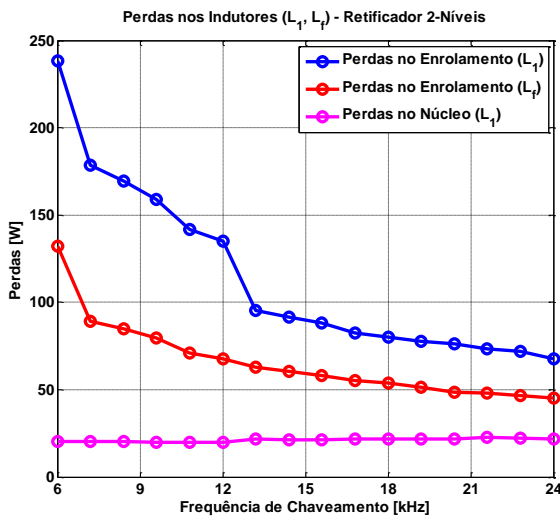
(a)



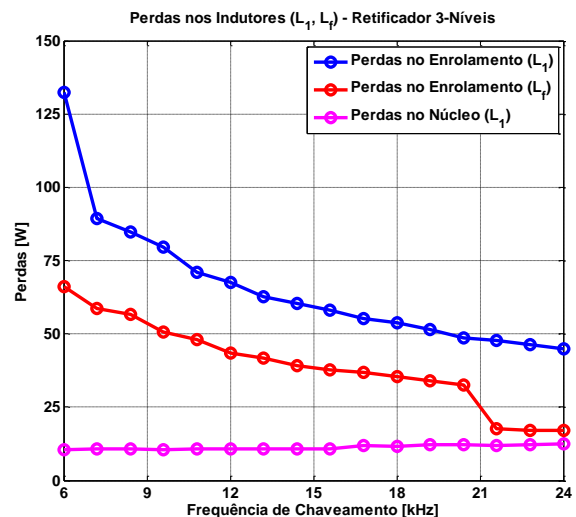
(b)

Figura 3.14 – Elevação de temperatura no indutor do filtro de entrada da topologia: a) dois níveis; b) três níveis NPC

O filtro de entrada do retificador é composto por um LCL, nesse caso avaliaram-se também as perdas no indutor adicional L_f para as duas configurações de topologias, como exibe a Figura 3.15. Como o perfil da corrente no indutor L_f é praticamente senoidal, com baixa THD e sem *ripple* de alta frequência expressivo, as perdas de alta frequência no núcleo são, portanto, desprezadas, considerando apenas as perdas em seu enrolamento.



(a)



(b)

Figura 3.15 – Perdas nos indutores do filtro de entrada do retificador nas topologias: a) dois níveis; b) três níveis NPC

Novamente observa-se um perfil praticamente constante nas perdas no núcleo do indutor L_1 , as perdas no enrolamento desse é de característica bem próxima ao do indutor de saída do inversor. O indutor adicional L_f por ter a metade da indutância do L_1 , apresenta naturalmente menor perda

em seu enrolamento, no caso dois níveis, Figura 3.15a, observa-se uma variação brusca devido à associação em série de dois indutores na frequência de 6 kHz. Na configuração três níveis NPC, Figura 3.15b, a partir da frequência de 20,4 kHz o indutor é acomodado em um núcleo de menor dimensão, por isso tem-se uma diminuição das perdas no enrolamento.

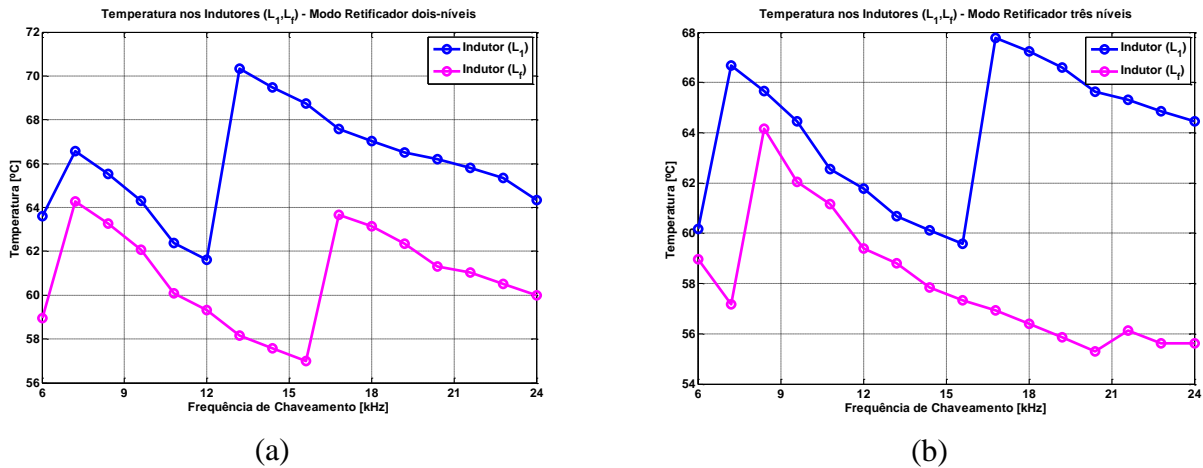


Figura 3.16 – Elevação de temperatura nos indutores do filtro de saída na topologia: a) dois níveis; b) três níveis NPC

Avaliando a elevação de temperatura nos indutores do filtro de saída, ou seja, os indutores L_1 e L_f , nota-se, pela Figura 3.16 que essa não é significativa na restrição de operação dos indutores, em 140 °C. A característica de elevação de temperatura do indutor L_1 é muito similar à operação modo inversor, visto que as perdas são semelhantes. O indutor L_f devido ao menor nível de perdas, apresenta, naturalmente, uma menor elevação de temperatura.

3.5.1.5 Rendimento Global

A partir dos dados de perdas coletados em cada elemento separadamente: indutores de entrada, retificador, inversor e indutores de saída, fez-se uma análise do desempenho global da UPS, verificando seu rendimento em função da frequência de chaveamento, como exibe a Figura 3.17.

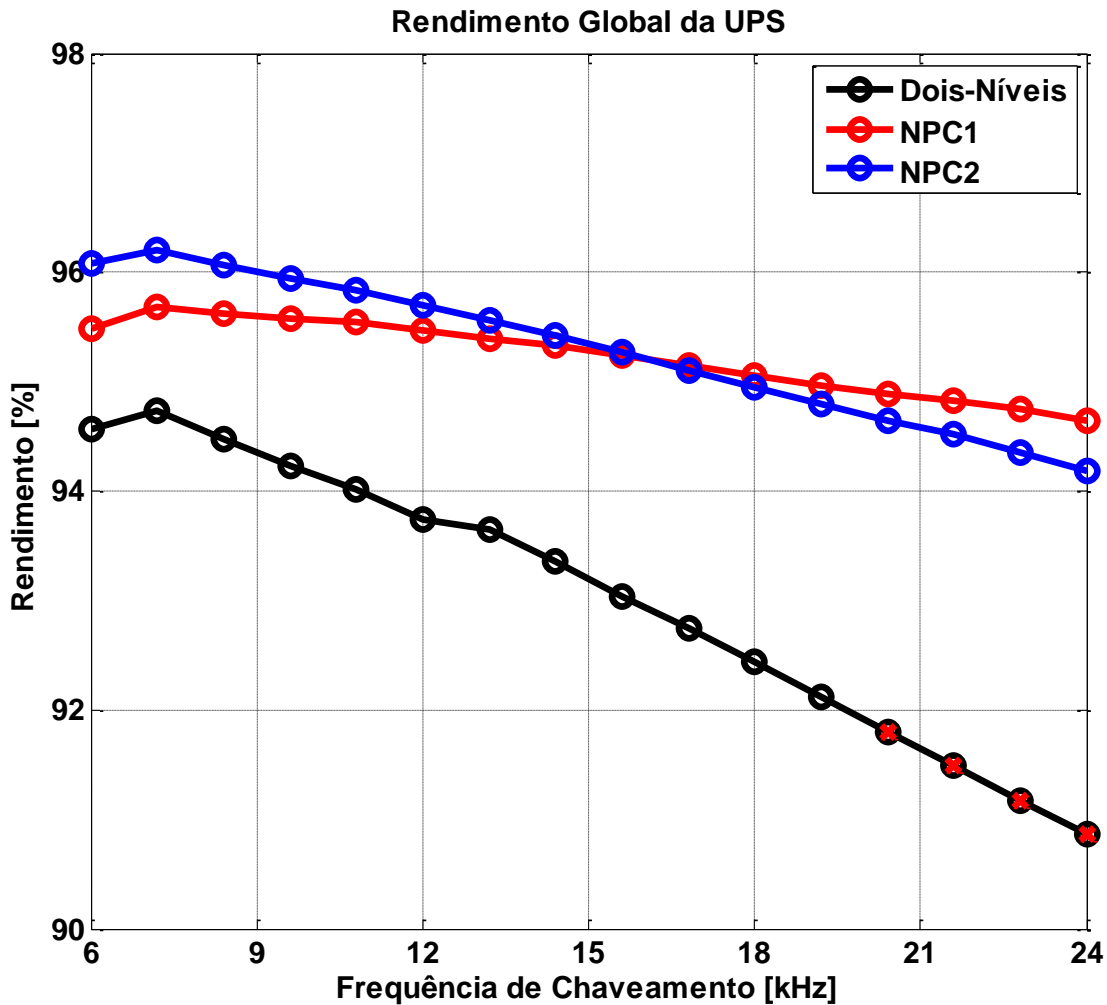


Figura 3.17 – Rendimento global da UPS

Como averiguado, a topologia dois níveis é a de pior de desempenho na perda de potência nos componentes avaliados, globalmente apresenta o mesmo padrão. Já as topologias três níveis NPC, as quais apresentam perfil de perdas distintos nas operações modo inversor e retificador, globalmente nota-se que a configuração NPC1 possui maior rendimento em frequências superiores a 16 kHz, aproximadamente, enquanto a NPC2 é superior nas frequências abaixo desta.

É importante destacar, que nas frequências mais baixas, apesar de apresentarem maior rendimento, deve-se recordar dos perfis de energia por frequência de chaveamento, Figura 3.9 e Figura 3.11, onde a energia armazenada nos filtros é expressiva, o que representa também em maior volume. Na frequência de 6 kHz é notado o peso das associações em série nos indutores de filtro no detrimento do rendimento. Nas frequências onde o limite térmico dos semicondutores é violado,

caso da topologia dois níveis, o sistema de refrigeração deve ser reconfigurado para garantia da operação nas respectivas frequências.

3.5.2 Controle digital do inversor ponte completa

Por meio da metodologia apresentada no Capítulo 3, simulou-se um inversor em configuração ponte completa. A Figura 3.18 apresenta o diagrama elaborado em MATLAB/Simulink para esse fim. Os controladores foram projetados através da metodologia apresentada na seção 3.2.1. As características do conversor e do controle são mostradas na Tabela 3.6. A ideia em utilizar tal configuração de conversor é avaliar o controle do mesmo em ambiente de simulação, uma vez que um conversor de características semelhantes será controlado experimentalmente através da plataforma dSPACE, por esse motivo o filtro LC de saída não foi projetado de acordo com os métodos anteriormente apresentados.

O controlador PI implementado em cada malha é ilustrado na Figura 3.19a, o método de integração é o trapezoidal. Para gerar os pulsos de comando das chaves um modulador PWM é utilizado como o da Figura 3.19b, é acrescido um tempo morto de $1 \mu s$ no ligamento das chaves.

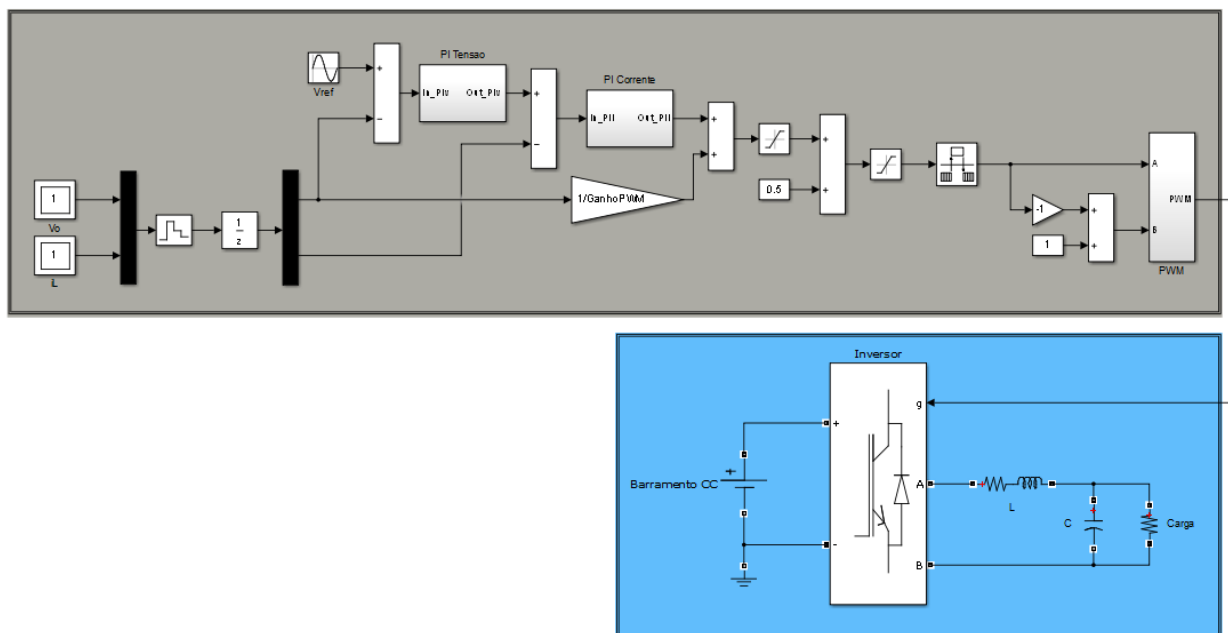


Figura 3.18 – Diagrama em MATLAB/Simulink para simulação de um conversor ponte completa

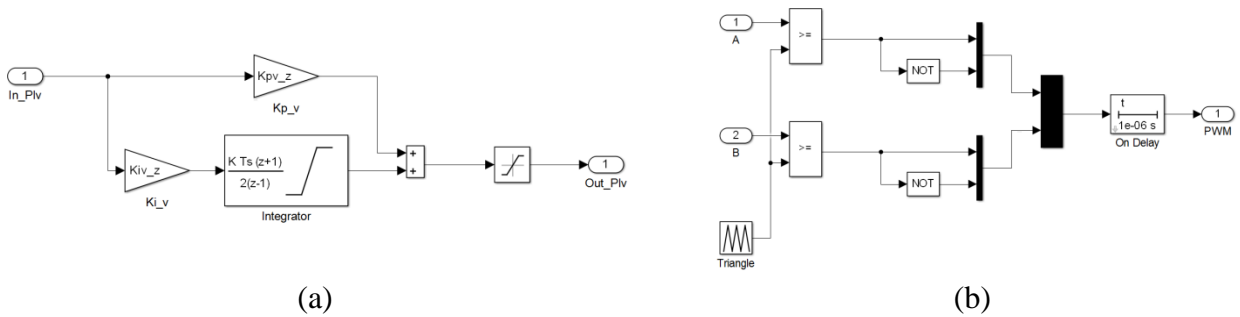


Figura 3.19 – Diagrama dos blocos: a) Controlador PI; b) Modulador PWM

Tabela 3.6 – Características do conversor e controle digital

Conversor	
Tensão no barramento de c.c. (E)	100 V
Frequência de Chaveamento (F_{sw})	15,36 kHz
Indutor (L)	2,3 mH
Capacitor (C)	30 μF
Carga (R)	17,5 Ω
Passo de cálculo (T_s)	$1,27 \times 10^{-7}$ s
Controle Digital	
Controlador de Corrente	
Ganho Proporcional (K_{pi})	0,066
Controlador de Tensão	
Ganho Proporcional (K_{pv})	0,043
Ganho Integral (K_{iv})	138
Passo de Cálculo (T_{sd})	$6,51 \times 10^{-6}$ s

No modelo utiliza-se de dois passos de cálculo distintos: um relacionado com o passo de cálculo da simulação do conversor T_s , o qual foi definido como equivalente a 512 pontos a cada ciclo de chaveamento, $1,27 \times 10^{-7}$ s; e outro relacionado com o controle digital T_{sd} , equivalente ao inverso da frequência de chaveamento, $6,51 \times 10^{-6}$ s. Tomou-se essa medida para simular o controle digital a ser implementado na plataforma dSPACE, o qual terá a mesma taxa de amostragem. A tensão de referência para o controle é senoidal, em 60 Hz e 80 V de pico, de acordo com a carga escolhida 17,5 Ω , a corrente na saída é de 4,57 A de pico.

O ganho proporcional do controlador de corrente é escolhido para uma margem de fase de aproximadamente 58° como se observa no diagrama de Bode da Figura 3.20a, fechando-se a malha de corrente, consultando o diagrama de Bode da respectiva malha, Figura 3.20b, nota-se que a faixa de passagem é da ordem de 2 kHz ($1,3 \times 10^4$ rad/s), próximo de um décimo da frequência de chaveamento.

De acordo com a dinâmica da malha de corrente, mais interna, definem-se os ganhos dos controladores da malha de tensão para uma margem de fase de aproximadamente 45° , de acordo com o diagrama de Bode da malha de tensão aberta, Figura 3.20c, a margem de fase é de 48° , a faixa de passagem da malha de tensão fechada é de 620 Hz ($3,9 \times 10^3 \text{ rad/s}$), dez vezes a frequência fundamental, aproximadamente, como é visto no diagrama de Bode da Figura 3.20d. Nota-se ainda nessa malha, que na frequência fundamental em 60 Hz (377 rad/s), tem-se um ganho em amplitude de cerca de $1,01$ ($0,12 \text{ dB}$) e um desvio de fase em 9° .

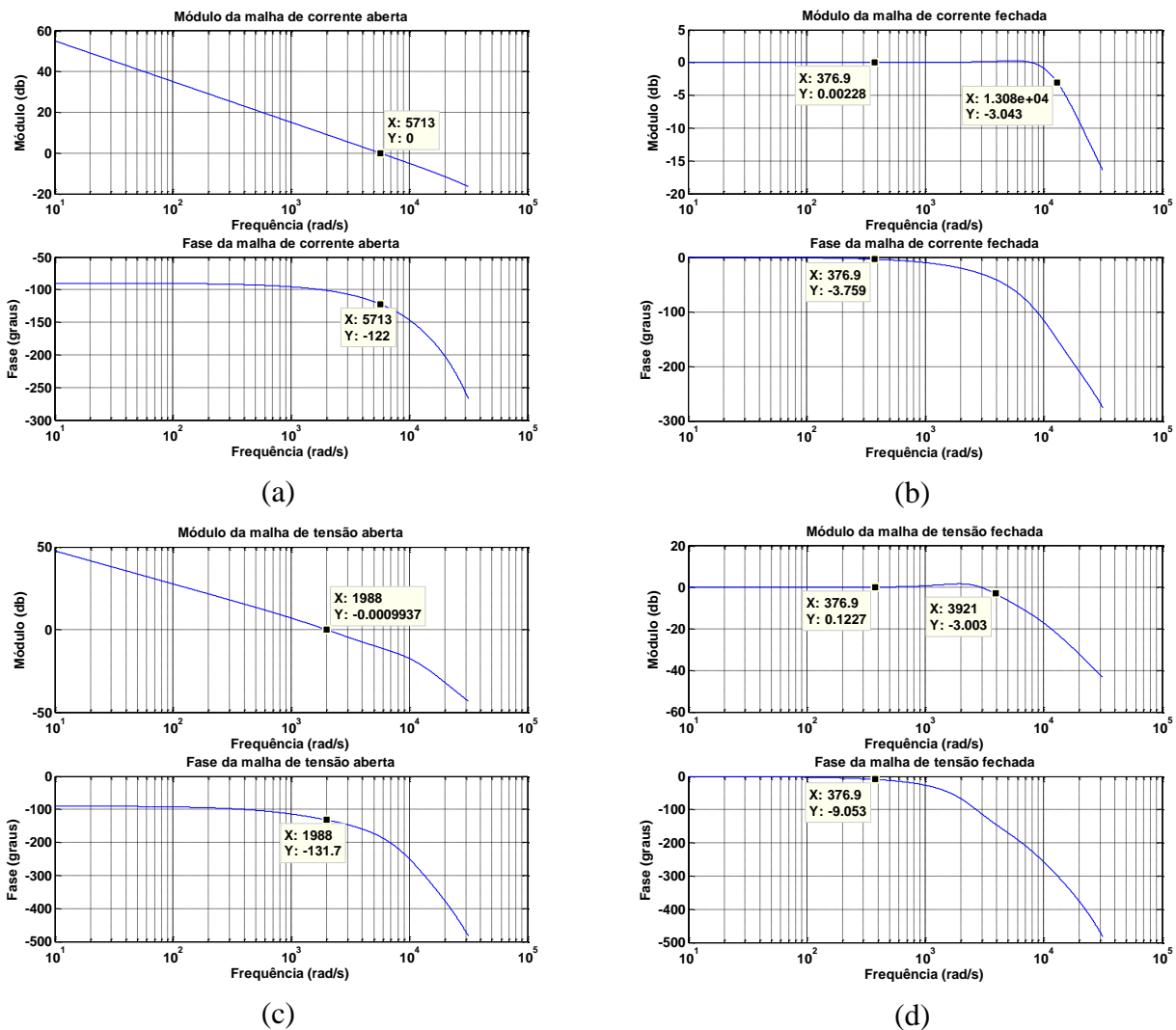


Figura 3.20 – Diagramas de Bode de: a) Malha de corrente aberta; b) Malha de corrente fechada; c) Malha de tensão aberta; d) Malha de tensão fechada

Os ganhos são projetados para que as malhas tenham dinâmicas que não interfiram uma na outra, por esse motivo, a malha interna de corrente tem controle projetado para uma dinâmica mais rápida (um décimo da frequência de chaveamento) e a externa de tensão mais lenta (dez vezes a frequência fundamental). Sendo assim, avaliou-se ainda a resposta ao degrau de cada malha para

verificar sua dinâmica, como mostra a Figura 3.21, onde nota-se de fato que a malha de corrente tem resposta mais rápida enquanto a de tensão mais lenta.

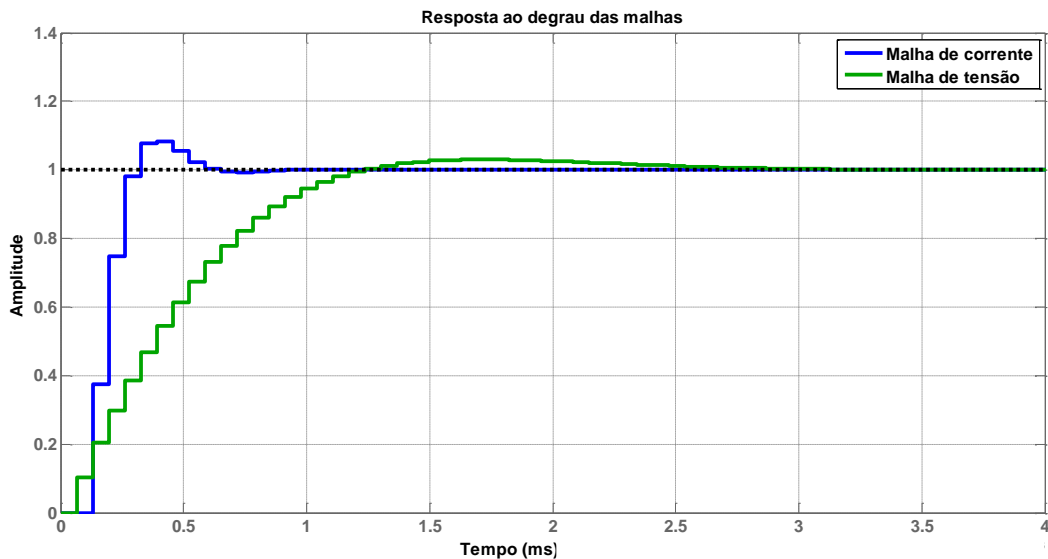


Figura 3.21 – Resposta ao degrau da malha de tensão (verde) e malha de corrente (azul)

Avaliou-se a simulação do controle monitorando as referências de tensão e corrente, comparando-as com medições das variáveis de estado, ou seja, tensão de saída no capacitor e corrente no indutor, como mostrado na Figura 3.22a e Figura 3.22b. Observa-se um rastreamento razoável da referência, em regime permanente, onde na tensão têm-se aproximadamente os 80 V de pico da referência e na corrente 4,57A de pico, com um desvio de fase. Inseriu-se uma perturbação no sistema, a fim de observar o desempenho dos controladores de tensão e corrente, nesse sentido, variou-se a tensão de referência de 60 V para 80 V de pico e de 80 V para 60 V de pico, onde observa-se o desempenho das malhas de tensão e corrente para o primeiro caso na Figura 3.23 e para o segundo caso na Figura 3.24. O que mostra a efetividade do controle implementado, o qual mesmo frente às perturbações de mantém estável e sem oscilações expressivas. A onda de corrente no indutor não apresenta *ripple* na frequência de chaveamento, uma vez que essa variável é monitorada em uma frequência de amostragem equivalente a essa frequência.

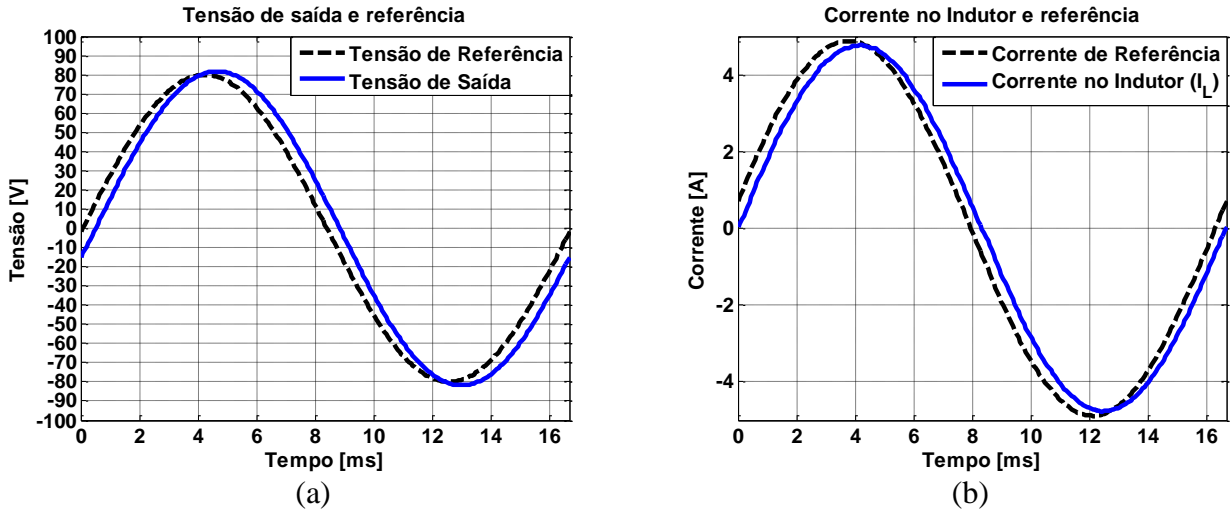


Figura 3.22 – Desempenho do controle no rastreamento das referências de: a) Tensão; b) Corrente

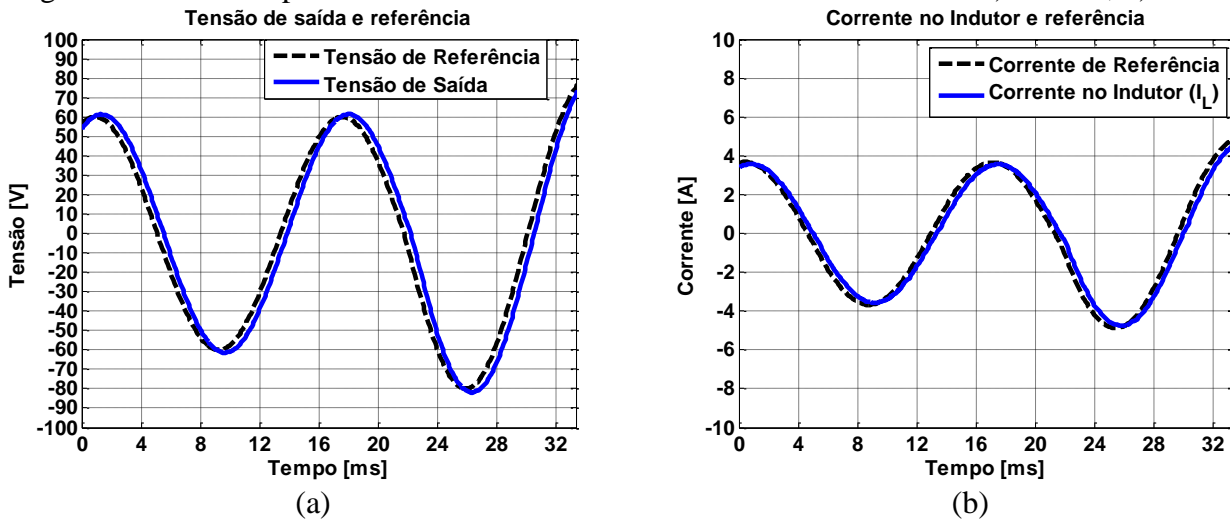


Figura 3.23 – Desempenho do controle na variação da referência de tensão de 60 V para 80 V de pico: a) Malha de tensão; b) Malha de corrente

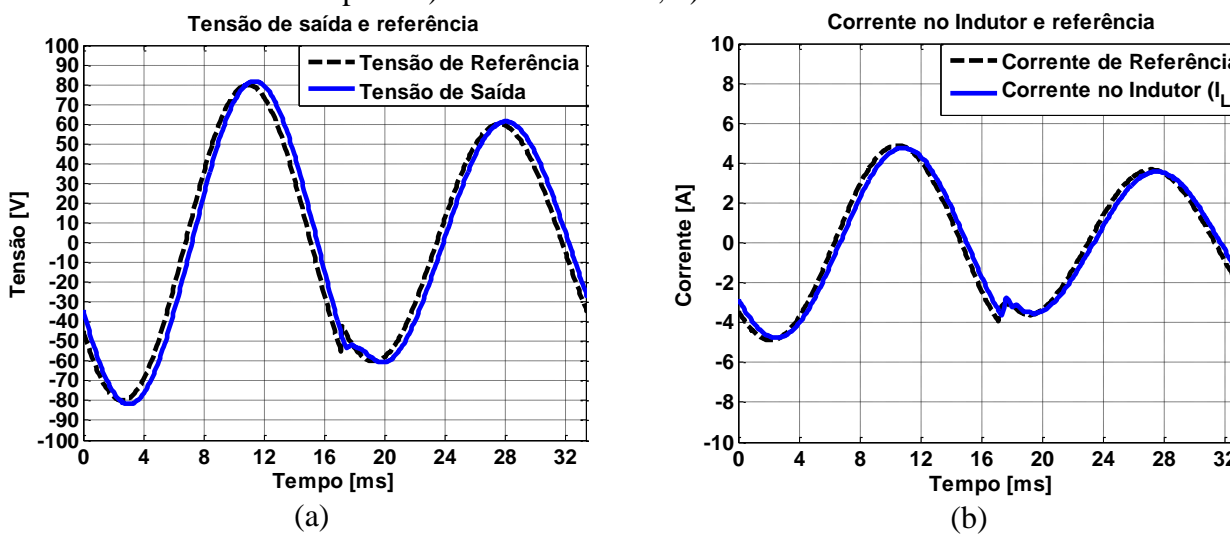


Figura 3.24 – Desempenho do controle na variação da referência de tensão de 80 V para 60 V de pico: a) Malha de tensão; b) Malha de corrente

Observou-se a tensão e corrente de saída do conversor, vide Figura 3.25. Nota-se que o controle possui um erro em amplitude, visto que a tensão tem como valor de pico acima dos 80 V. Utilizando da Equação 2.4, estimou-se a distorção harmônica total na tensão de saída (THD_v), cujo valor foi de 0,23 %.

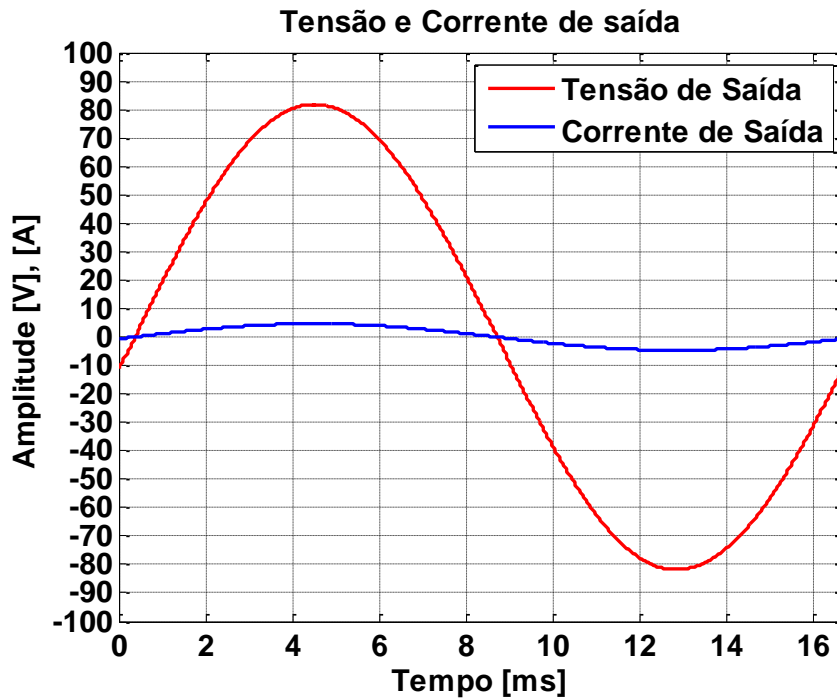


Figura 3.25 – Tensão e corrente de saída na carga

Em geral, o desempenho do controle no ambiente de simulação, com os ganhos projetados de acordo com a modelagem apresentada, é limitado no aspecto de rastreamento da referência, onde apresenta pequeno erro em amplitude e desvio de fase, o que é coerente com a análise da malha fechada de tensão. No entanto, apresenta desempenho estável mesmo sujeito às perturbações. O principal motivo de tal desempenho se dá principalmente pelo fato da amostragem do controle digital ser do mesmo nível da frequência de chaveamento e ainda possuir um atraso relativo a um passo de cálculo nessa taxa de amostragem. Essa característica no modelo limita significativamente a excursão de ganhos dos controladores, onde uma mudança significativa dos valores desses representa em problemas de estabilidade e caráter oscilatório. O desempenho do controle seria substancialmente melhorado com o dobro da amostragem, onde o atraso de uma amostra impactaria de forma mesmo significativa. Como o objetivo é antecipar a montagem experimental utilizando o controle pela plataforma dSPACE, a qual possui exatamente as mesmas características, inevitavelmente tem-se um desempenho limitado do controle, em capítulo futuro será demonstrado o desempenho da plataforma implementando um controle de forma idêntica.

4 A PLATAFORMA dSPACE

4.1 Introdução

A plataforma dSPACE tem a capacidade de implementar controle de equipamentos digitalmente em tempo real. Entre as possíveis aplicações que a plataforma atende, pode-se citar: robótica, controles automotivos, controle de motores de indução e controle de conversores estáticos. Essa última é foco desse trabalho. O objetivo deste capítulo será apresentar a plataforma dSPACE, destacando suas características e funcionalidades, dando foco principal às que serão utilizadas nesse trabalho durante a etapa experimental. Além disso, será demonstrado de forma didática: a configuração da plataforma dSPACE (no que concerne ao *hardware*); e a configuração das ferramentas computacionais (no que concerne ao *software*). A fim de embasar conceitos para a apresentação da montagem experimental, nas seções que virão a seguir, bem como facilitar a utilização da plataforma em futuros trabalhos.

4.2 A plataforma dSPACE

A essência da plataforma dSPACE é a placa PPC Controller DS1103, a qual compreende uma unidade processadora mestre PPC (*master PPC*), modelo PowerPC 750GX. Tal unidade permite a prototipagem do desenvolvimento de controle digital em tempo real, programável a partir de modelos de diagrama de blocos em MATLAB/Simulink. Inclusive, possui integrado microcontrolador DSP escravo (*slave DSP*), da fabricante Texas Instruments modelo TMS320F240 [49]. O dispositivo escravo oferece, entre outras funcionalidades, sinais dedicados à modulação por largura de pulso (PWM). A plataforma dispõe ainda de interface com diversos conectores, proporcionando, assim, acesso a todos os sinais de entrada e saída disponíveis, e meio de comunicação, via cabo de fibra ótica ou ethernet, com microcomputador através de placa específica. A Figura 4.1 ilustra a arquitetura da placa PPC Controller DS1103.

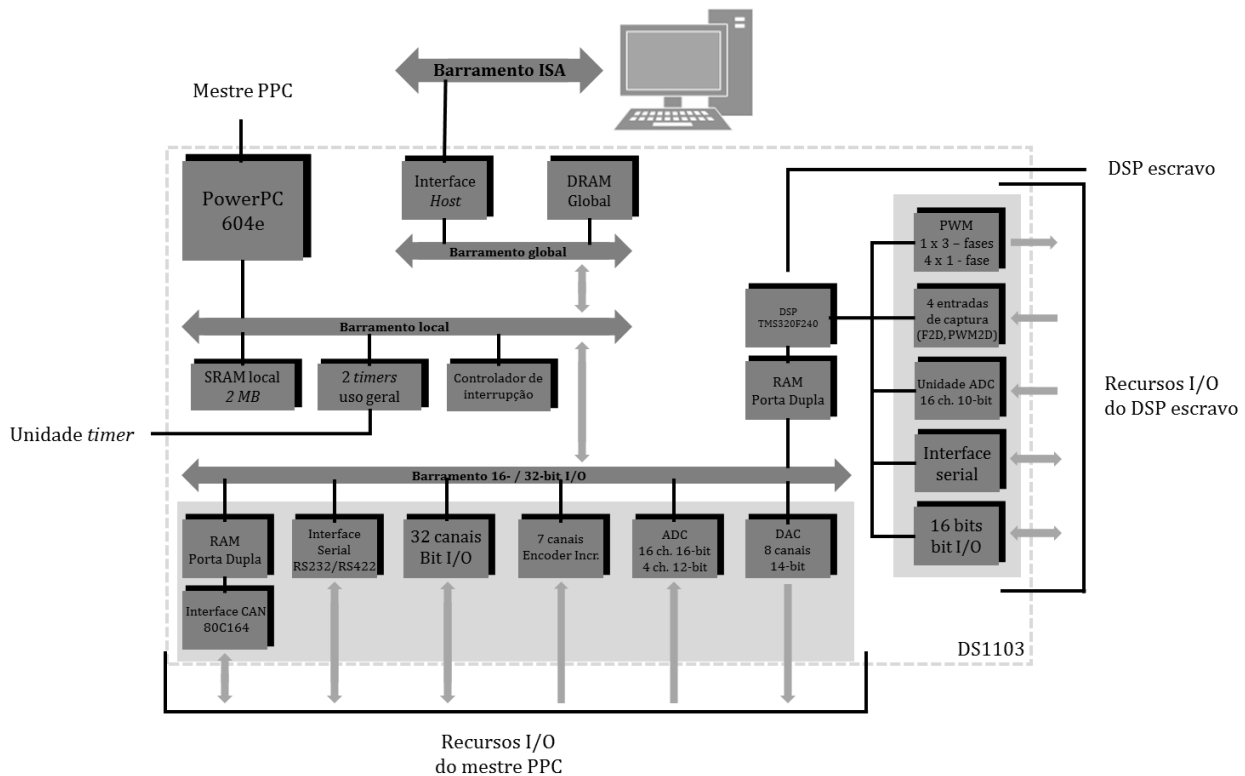


Figura 4.1 – Arquitetura da Placa PPC Controller DS1103

Entre os principais recursos da plataforma dSPACE, pode-se apontar: 20 canais de conversão analógico-digital, 8 canais de conversão digital-analógica, 7 canais de encoder incremental, 32 canais digitais de I/O, interface serial RS232/RS422, interface CAN. Relacionados com o mestre PPC. Além de: 10 sinais PWM (6 dedicados a PWM trifásico e 4 dedicados a PWM monofásico), 4 entradas de captura, 16 canais de entrada analógica, interface serial periférica, interface serial de comunicação, 16 sinais digitais de I/O. Esses provenientes do DSP escravo.

4.2.1 Composição e instalação da plataforma dSPACE

Os componentes da plataforma dSPACE propriamente dita podem ser divididos em três elementos principais: caixa de expansão (*expansion box*), painel de conectores (*connector panels*) e placa de conexão (*link board*). A *expansion box* modelo PX4, Figura 4.2, abriga a placa PCC Controller DS1103, Figura 4.4, e a placa DS814, Figura 4.5. Na primeira placa estão inseridas as unidades processadoras PowerPC 750GX e TMS320F240, possui também três conectores que dão acesso aos sinais dos diversos recursos disponíveis, a saber: conector analógico (P1), conector digital (P2), conector encoder/digital incremental (P3). Tais conectores tem a função de transferir os sinais para o *connector panels*. A segunda placa tem papel de comunicação com a *link board*, que ficará conectada no microcomputador anfitrião (*host PC*). Ambas as placas, PPC Controller

DS1103 e DS814, estão conectadas entre si e ficam armazenadas na *expansion box*. O *connector panels*, Figura 4.3, facilita o acesso aos recursos da plataforma dSPACE, já que fornece os conectores associados com os diversos sinais de entrada e saída disponíveis, como exemplo, tem-se conectores tipo D-SUB para acesso de sinais digitais, e conectores BNC para acesso aos conversores analógico-digitais e digital-analógicos. Inclusive, fornece os cabos para a conexão dos conectores P1, P2 e P3 na *expansion box*. A *link board* – placa DS817, Figura 4.6, é a que fica inserida no *host PC*, conectado em sua placa mãe via padrão PCI Express. É quem atua na comunicação entre a DS1103 e o *host PC*, garantido o controle em tempo real da plataforma via *software* [50].

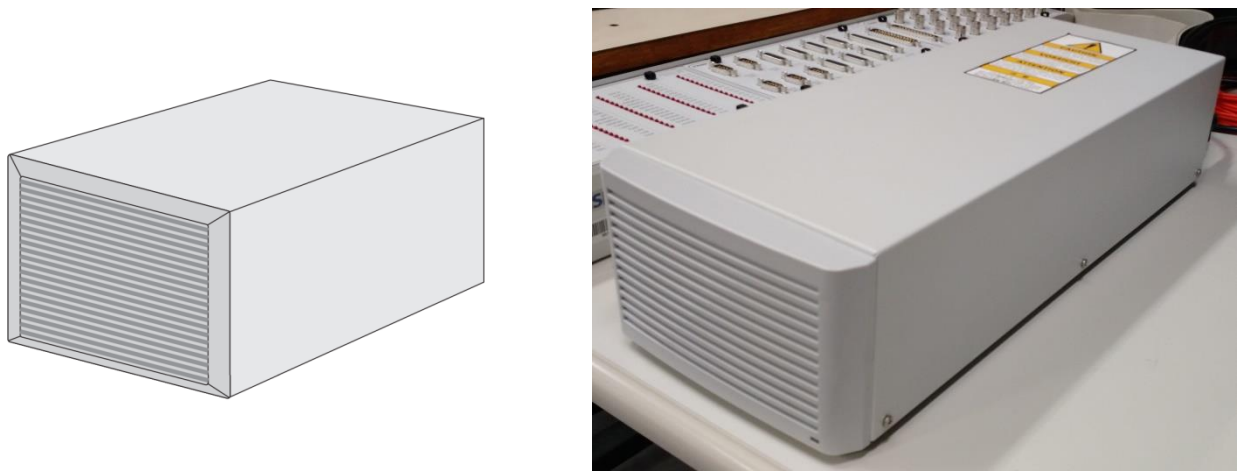


Figura 4.2 – Expansion box

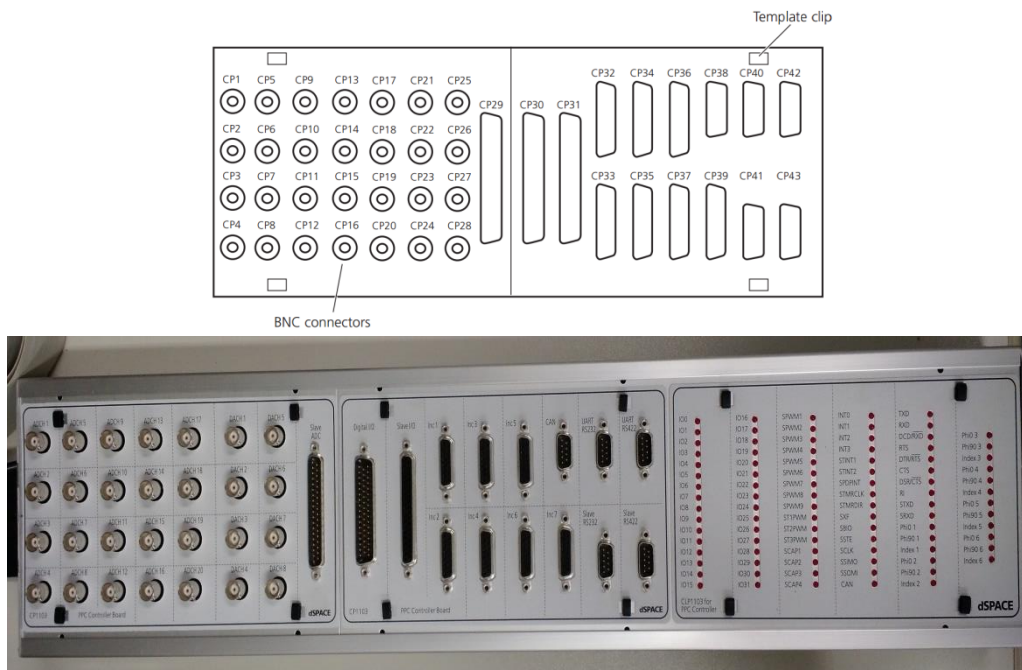


Figura 4.3 – Connector panels

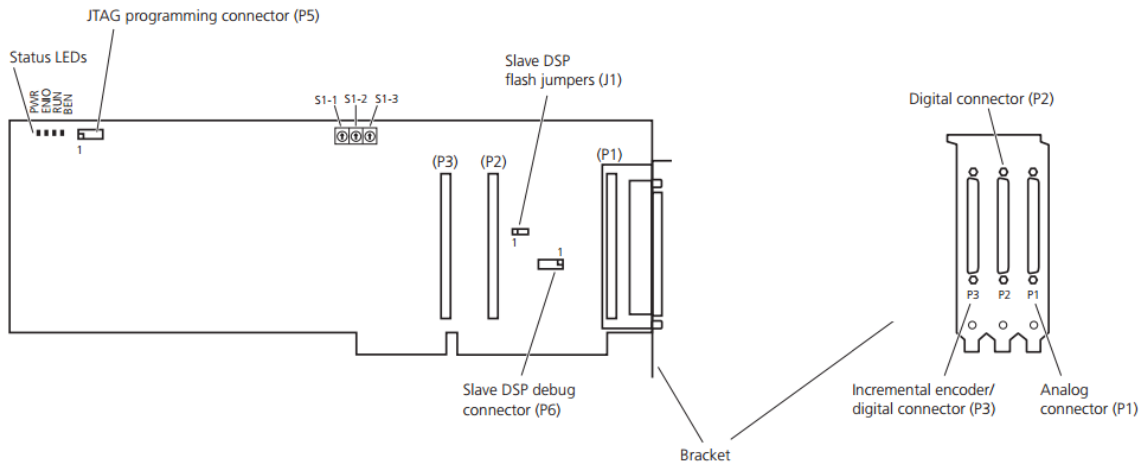


Figura 4.4 – Placa PPC Controller DS1103

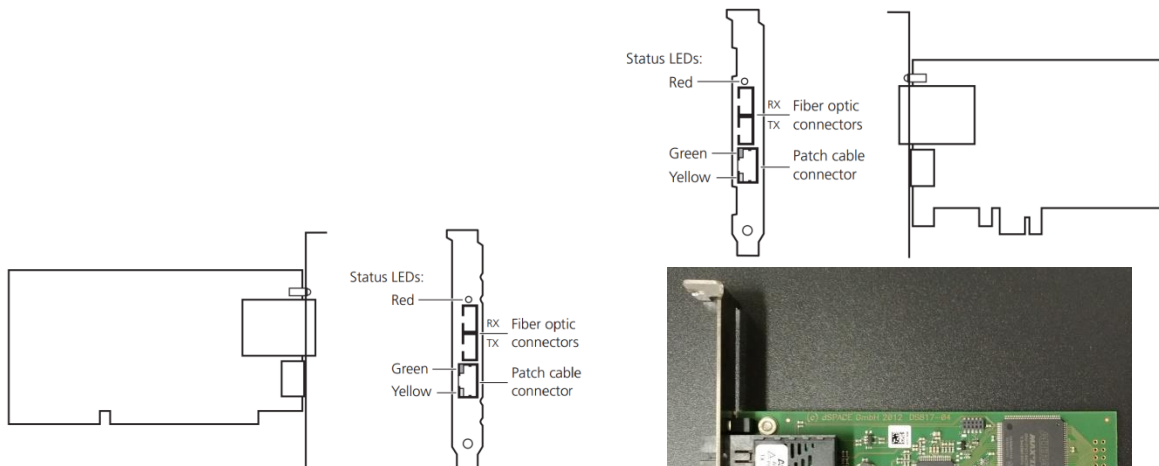


Figura 4.5 – Placa de comunicação DS814



Figura 4.6 – Link board DS817

Com intuito de estabelecer as conexões entre os elementos supracitados, algumas considerações devem ser verificadas. Durante a conexão das placas, tanto a DS1103 na *expansion box*, quanto a DS817 no microcomputador, é importante que se manuseie com cautela, na tentativa de evitar toques nos componentes eletrônicos das placas, uma vez que uma descarga eletrostática pode danificar as mesmas. É indicado que se utilize pulseira antiestática no seu manuseio.

Durante a etapa de inserção da placa DS1103 na *expansion box*, deve-se confirmar o endereço base (*base address*) da placa, já que é a partir desse endereço que será efetivada a comunicação entre a DS1103 com o *host PC*. A Figura 4.4 ilustra onde se encontra as chaves que permitem a verificação, bem como a alteração do *base address* conforme desejo do usuário. A Figura 4.7 mostra em detalhe as chaves rotativas que permitem a definição do *base address*. Por meio da Tabela 4.1 nota-se o *base address* padrão de fábrica, outros possíveis endereços a serem utilizados e o endereço reservado à comunicação via cabo Ethernet. O endereço escolhido deve ser registrado para que se possa configurar a comunicação via *software* específico futuramente.

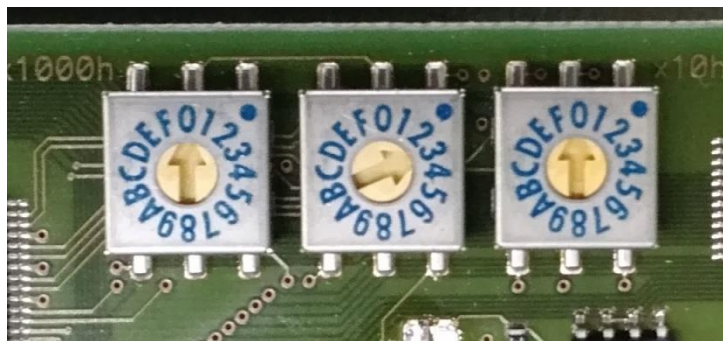


Figura 4.7 – Chaves rotativas para definição do *base address*

Tabela 4.1 – Tabela de endereços da DS1103

I/O base address	S1-1	S1-2	S1-3
000H (padrão) ¹⁾	0	0	0
240H ²⁾	0	2	4
280H	0	2	8
300H	0	3	0
310H	0	3	1
380H	0	3	8

¹⁾Plug & Play habilitado

²⁾Reservado para conexão com o *host PC* via ethernet

Os cabos P1, P2, e P3, presentes na *connector panels*, os quais a ligam à *expansion box* devem seguir a correspondência das etiquetas, presentes no conector dos cabos e no conector da *expansion box*. Por último, a conexão da *expansion box* com o *host PC*, através da placa DS817, é feita via cabo de fibra ótica. Primeiramente, devem ser removidas as capas protetoras dos

conectores do respectivo cabo e assim realizar a conexão. Pela fragilidade do cabo de fibra ótica é importante zelar para que o cabo não dobre em raios menores que 40 mm. Vale destacar ainda que, na realização de todas as etapas acima descritas, tanto a plataforma dSPACE quanto o *host PC* devem estar desenergizados.

4.2.2 Recursos de interesse da plataforma dSPACE para este trabalho

Como antecipado, tem-se como objetivo empregar a plataforma dSPACE no controle de um conversor estático. Dos inúmeros recursos que oferece, dois são primordiais para essa finalidade: conversor analógico-digital e PWM. O primeiro para aquisição de medições de tensão e corrente via sensores, o segundo para comando das chaves de forma controlada.

4.2.2.1 Conversor analógico-digital

A plataforma oferece conversores analógico-digitais oriundos de ambas as unidades processadoras. O mestre PPC fornece quatro conversores multiplexados, cada qual com quatro canais A/D, mais quatro conversores A/D paralelos, totalizando vinte canais A/D. Os canais multiplexados demandam quatro amostragens consecutivas, para amostrar todos os canais disponíveis. Já os canais paralelos uma única amostragem cada. Assim, até oito canais podem ser amostrados simultaneamente: um canal A/D de cada conversor mux, totalizando quatro, mais os quatro canais A/D dos conversores paralelos.

A resolução do conversor mux é 16-bit, a faixa de excursão de tensão é simétrica em $\pm 10 V$, com proteção de sobretensão em $\pm 15 V$, tempo de conversão de $1 \mu s$, erro de offset de $\pm 5 mV$ e erro de ganho de $\pm 0.25 \%$. As características dos conversores paralelos são idênticas, exceto pelo tempo de conversão que é de $800 ns$ [50]. Já o DSP escravo fornece dois conversores multiplexados, cada qual com oito canais A/D, totalizando dezesseis canais A/D. Possuem resolução 10-bit, excursão de sinal entre $0 V$ e $5 V$ e tempo de execução total mínimo de $6.1 \mu s$ [49]. Comparando os conversores analógico-digitais presentes na plataforma dSPACE, fica óbvio que os provenientes do mestre PPC são superiores em desempenho, além de possuir uma excursão de sinal simétrica, o que facilita o condicionamento de sinais senoidais, como os de medição de tensão e corrente, por exemplo. Por esse motivo tais conversores analógico-digitais foram eleitos para implementação na montagem experimental. O seu acesso é feito pelo *connector panels* através de conectores tipo BNC.

4.2.2.2 Modulador PWM

Os sinais PWM são gerados pelo DSP escravo de forma pré-programada, o mesmo dispõe de: PWM monofásico com quatro sinais independentes, onde permite-se variar a razão cíclica (*duty cycle*), a frequência da moduladora, a polaridade (se ativo em nível lógico alto ou baixo) ou ainda se em modo simétrico ou assimétrico; PWM trifásico com três pares de sinais não invertidos e invertidos, possibilitando a variação da razão cíclica (*duty cycle*) de cada fase, a frequência da moduladora e o nível de tempo morto (*deadband*); PWM espaço vetorial trifásico, propiciando a escolha dos valores dos vetores T_1 e T_2 do espaço vetorial, a escolha do setor do espaço vetorial, a frequência da moduladora e o nível de tempo morto (*deadband*). Em ambos os casos trifásicos, os sinais PWM são simétricos e a polaridade ativa em nível lógico alto. É possível que se use o PWM monofásico simultaneamente a um dos PWM trifásicos, no entanto, o PWM Trifásico e o PWM vetor espacial não podem ser explorados ao mesmo tempo, visto que o primeiro e o segundo compartilham dos mesmos sinais [51].

A razão cíclica (*duty cycle*) pode ser definida como a razão do tempo em que o pulso PWM está nível lógico alto, pelo período de PWM, ou ainda, o percentual de tempo dentro do período de PWM, que o sinal PWM estará em nível lógico alto, exemplifica-se na Figura 4.8. O tempo morto (*deadband*) é o atraso de tempo do comando de ligamento de uma das chaves, a partir do momento em que a outra chave em série é desligada, dando a temporização necessária para uma das chaves se desligar completamente, com o objetivo de garantir que somente uma delas esteja ligada por vez, basta ver Figura 4.9. No espaço vetorial, os vetores T_1 e T_2 são aqueles cuja soma resulta no vetor espacial, o setor está relacionado com a região em que o vetor espacial está situado, a exemplo da Figura 4.10. Para uma consulta a respeito dos conceitos de espaço vetorial e seu princípio de modulação recomenda-se a leitura em [52].

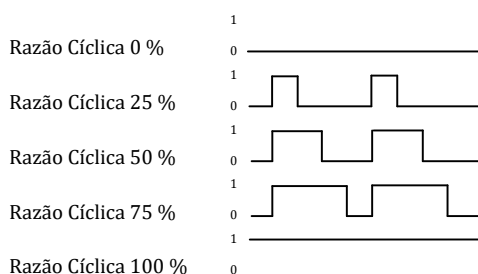


Figura 4.8 – Ilustração da razão cíclica

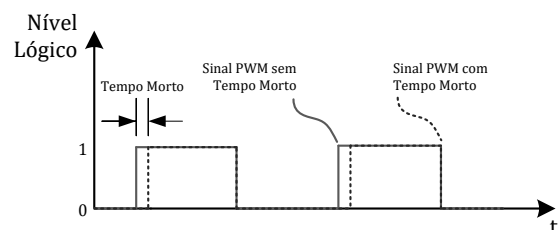


Figura 4.9 – Ilustração do tempo morto

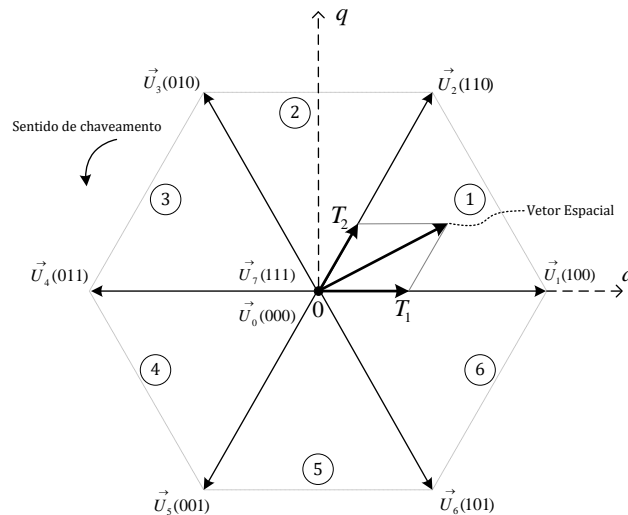


Figura 4.10 – Diagrama do espaço vetorial

Na perspectiva de se comandar quatro chaves de um inversor ponte completa, o qual será concebido experimentalmente e cujos detalhes serão apresentados futuramente nesse texto, adota-se a modulação trifásica disponível. A justificativa se dá pela simplicidade de implementação, uma vez que se fazem necessárias apenas as definições de frequência de chaveamento, tempo morto e razão cíclica, isto é, a referência de sinal que se deseja sintetizar na saída do conversor. Nas demais opções: a monofásica e a espaço vetorial. A primeira não se tem definido o tempo morto, de forma que para efetivá-lo deve-se preparar uma eletrônica adicional a desempenhar esse papel. Na segunda devem ser inseridos os valores dos vetores além da posição do espaço vetorial, o que deixaria a lógica de execução mais complexa.

Algumas considerações devem ser observadas, no que diz respeito ao modo de operação do PWM trifásico disponibilizado pelo DSP escravo. O PWM trifásico síncrono gera os sinais não invertidos e invertidos de cada fase individualmente, em uma faixa de frequência disponível que vai de 1,25 Hz a 5 MHz, de acordo com a razão cíclica da respectiva fase. Essa tem excursão entre 0 (0%) a 1 (100%). O que leva a concluir que a portadora triangular, na qual será feita a comparação com a razão cíclica, tem amplitude de 0,5 e está centrada em 0,5. Ao se fazer uso do modo de PWM trifásico é habilitado um sinal de interrupção (ST1PWM), de forma que seu alinhamento com o período de PWM pode ser deslocado de acordo com o interesse do usuário. O deslocamento é definido por valores em uma faixa entre $0 < \dots \leq 1$, se o valor for nulo, a interrupção é desabilitada. À medida que o valor é acrescido, mais à direita a borda de descida do sinal de interrupção é deslocada até o valor 0,5, na faixa entre 0,5 e 1, o sinal de interrupção é invertido, a Figura 4.11 ajuda a entender a lógica descrita. O sinal de interrupção tem importância

significativa, visto que por meio dele é possível sincronizar a geração dos sinais PWM com a aquisição dos conversores analógico-digitais do mestre PPC, além disso, tem papel na atualização da razão cíclica, como será descrito a seguir.

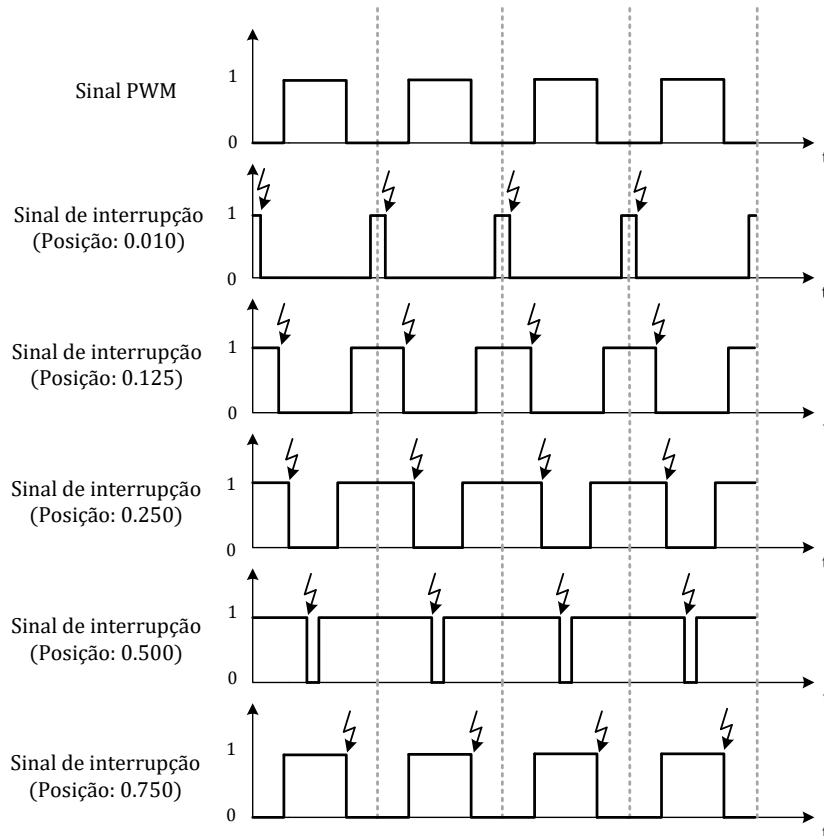


Figura 4.11 – Variação da posição do sinal de interrupção ST1PWM

À medida que novos valores de razão cíclica são calculados é preciso compará-los com o sinal modulador. Existe uma rotina pré-definida para execução desse processo, essa se dá do seguinte modo: o sinal de interrupção do PWM dispara a rotina de serviço do mestre PPC (ISR-PPC), essa rotina calcula a nova razão cíclica e a transfere para o DSP escravo, onde esse armazena o dado em uma variável global. No meio do período uma interrupção é engatilhada no DSP escravo iniciando uma rotina no DSP (ISR-DSP), essa, por sua vez, copia os dados calculados na variável global, transferindo-os ao registrador de comparação do PWM. Assim, a razão cíclica é atualizada a partir do momento que o *timer slave DSP* atingir a próxima passagem por zero. A Figura 4.12 ilustra o modo de operação. Deve-se alertar que o novo valor de razão cíclica só será atualizado para o próximo período de PWM, caso o mesmo esteja armazenado no registrador do DSP escravo antes da próxima interrupção. Caso contrário, a atualização só será efetivada para o segundo período seguinte. Isso pode ocorrer devido ao tempo de transferência de dados do PowerPC ao DSP escravo (da ordem de 15 μ s a 20 μ s), dependendo do nível de deslocamento escolhido para a

interrupção do PWM. Ao compreender o princípio de atualização da razão cíclica, fica evidente, que a taxa de amostragem máxima que se pode obter é a equivalente a frequência de chaveamento, visto que, mesmo amostrando em uma frequência maior do que essa, o valor é atualizado somente uma vez por período. Manifestou-se a vantagem do uso da interrupção do PWM, já que permite a sincronia da aquisição dos conversores analógico-digitais, porém há a ressalva na definição do deslocamento, para que esse não interfira nas atualizações da razão cíclica. Os sinais de PWM trifásico podem ser acessados por meio de conector D-SUB 37 pinos presente na *connector panels*, além deles no mesmo conector tem-se disponíveis sinais de I/O do DSP escravo, entre eles serão utilizados dois para desempenharem funções de detecção de falta na comutação das chaves e de *reset* do PWM.

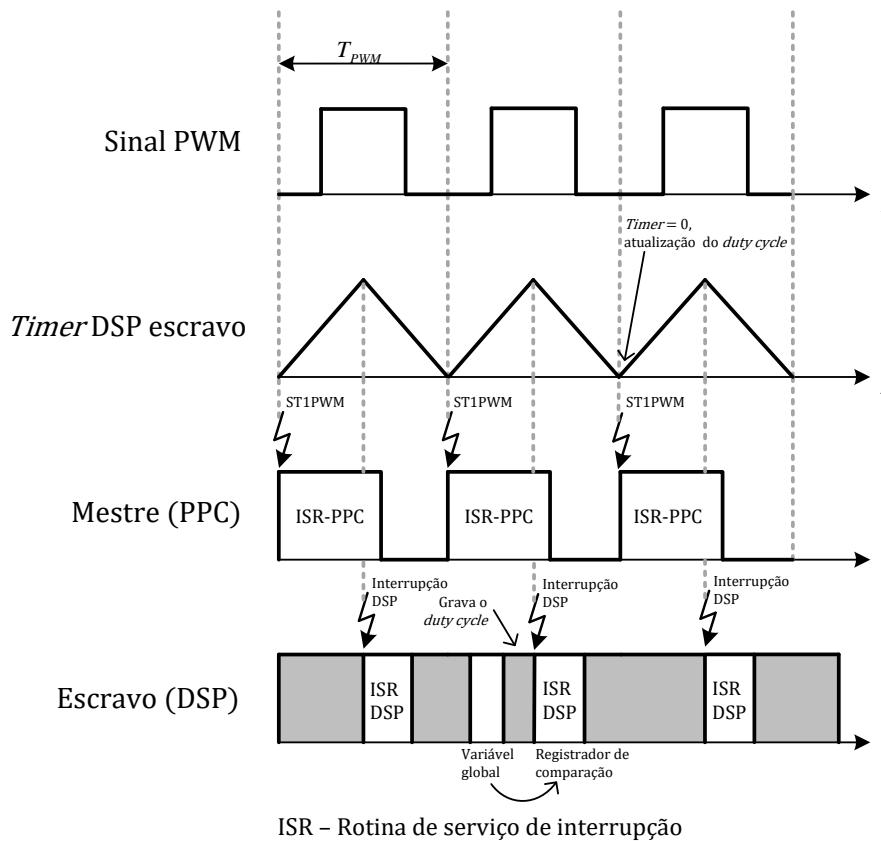


Figura 4.12 – Rotina de atualização da razão cíclica

4.3 Real-time interface

A interface de tempo real (*real-time interface* – RTI) é a biblioteca da plataforma dSPACE, que proporciona o acesso aos seus recursos via blocos para modelos de simulação em MATLAB/Simulink. Os blocos têm como função associar os recursos da plataforma ao modelo e, conseqüentemente, aos cálculos realizados pelo diagrama, além de configurá-los para as aplicações

em tempo real [53]. A Figura 4.13 ilustra a biblioteca à disposição para o modelo DS1103 da plataforma dSPACE e seus componentes. Para visualizá-la, basta inserir na janela de comando do MATLAB: *rti1103* (assume-se que a versão do MATLAB esteja compatibilizada com a plataforma, vide instruções no Apêndice C.1).

Pelo fato da biblioteca RTI possuir uma grande variedade de recursos, por objetividade, será dado foco principal aos voltados para a aplicação prática da plataforma dSPACE neste trabalho, isto é, os blocos relacionados com o conversor analógico-digital e com o PWM trifásico. Evidenciando ainda, detalhes relevantes na elaboração do diagrama de blocos para implementação efetiva em tempo real na plataforma.

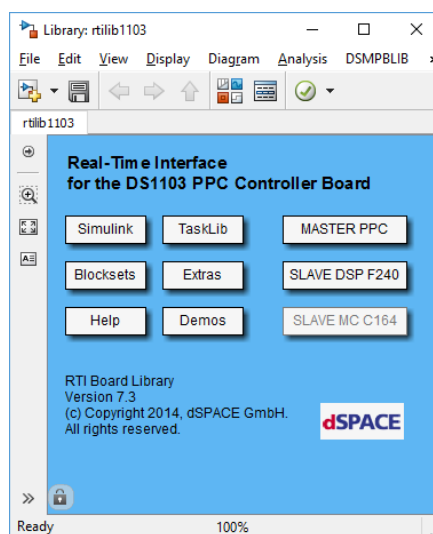


Figura 4.13 – Biblioteca *real-time interface* RTI

4.3.1 Sub-biblioteca *master* PPC

A sub-biblioteca *master PPC*, mostrada na Figura 4.14, reúne os blocos de cada recurso que oferece. No detalhe, nas caixas em vermelho, têm-se os blocos relacionados aos conversores analógico-digitais, os referentes aos canais multiplexados (DS1103MUX_ADC_CONx), bem como aos canais paralelos (DS1103ADC_Cx), observa-se ainda o bloco de sincronismo das conversões dos conversores analógico-digitais (DS1103SYNC_IO_SETUP).

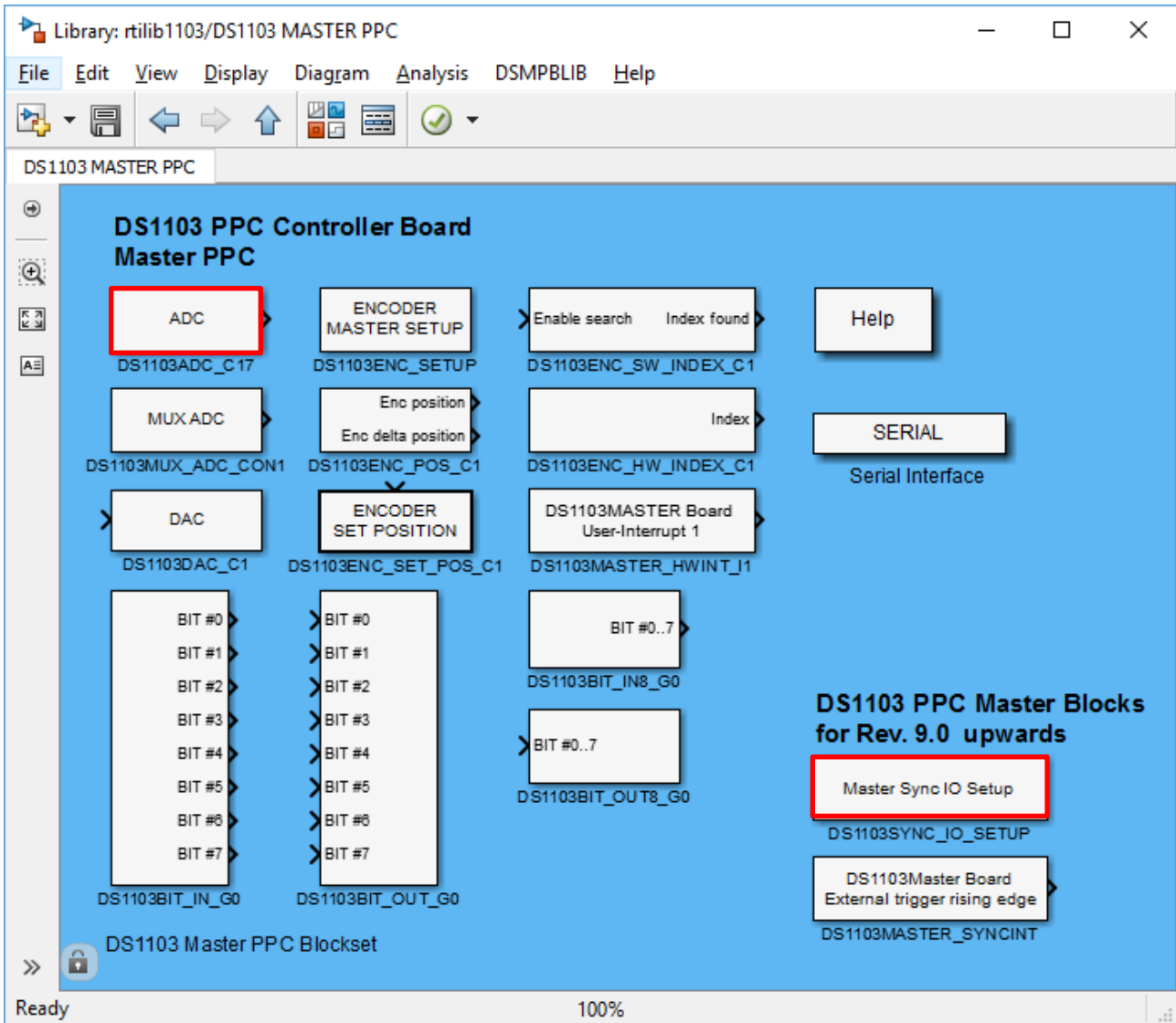


Figura 4.14 – Sub-biblioteca *master* PPC

O bloco associado aos canais multiplexados dá acesso aos seus respectivos quatro conversores. Podem-se usar simultaneamente quatro blocos desse mesmo tipo no modelo, mas com nomes diferentes, para se acessar, assim, os dezesseis canais multiplexados. Na sua janela de edição, permite-se escolher qual dos quatro canais multiplexados o bloco representará (enumerados de 1 a 4) e quantos canais se deseja utilizar naquele canal multiplexado. Para servir-se de cada canal, do canal multiplexado, separadamente, é conveniente o uso de bloco *selector* ou *demux*, presentes na biblioteca padrão do MATLAB/Simulink. A Figura 4.15a ilustra a janela de edição desse bloco.

O bloco relacionado com os canais paralelos funciona de forma semelhante, no entanto, cada bloco está associado a um único canal, vide Figura 4.15b. Pode-se usar até quatro canais desse tipo

no mesmo modelo. Em ambos os blocos dos conversores analógico-digitais (multiplexados e paralelos), deve-se atentar à sua faixa de valor física, ou seja, o nível de tensão e seu valor virtual, isto é, os valores equivalentes em nível de modelo do MATLAB/Simulink. A faixa de tensão é de $\pm 10 V$ (físico) e em nível de modelo ± 1 (virtual). Isso significa que há uma conversão linear onde $10 V$ na entrada do A/D equivale ao valor 1 no modelo e $-10 V$ equivale ao valor -1 . Geralmente, condiciona-se o sinal a ser medido para preencher toda a faixa do conversor analógico-digital. Assim, para representar o valor real medido no modelo, deve-se associar a saída do bloco relacionado ao conversor A/D com um ganho equivalente ao fundo de escala de medição. Exemplificando, se um sinal de tensão senoidal tem valor de pico em $100 V$ é medido, condiciona-se o sinal de medição para uma excursão no nível do A/D, em $\pm 10 V$, seu sinal no nível de modelo será senoidal com pico em ± 1 , para transformá-lo ao valor de fato medido, deve-se dar um ganho de 100, logo, o fundo de escala de medição é de $100V$ [54].

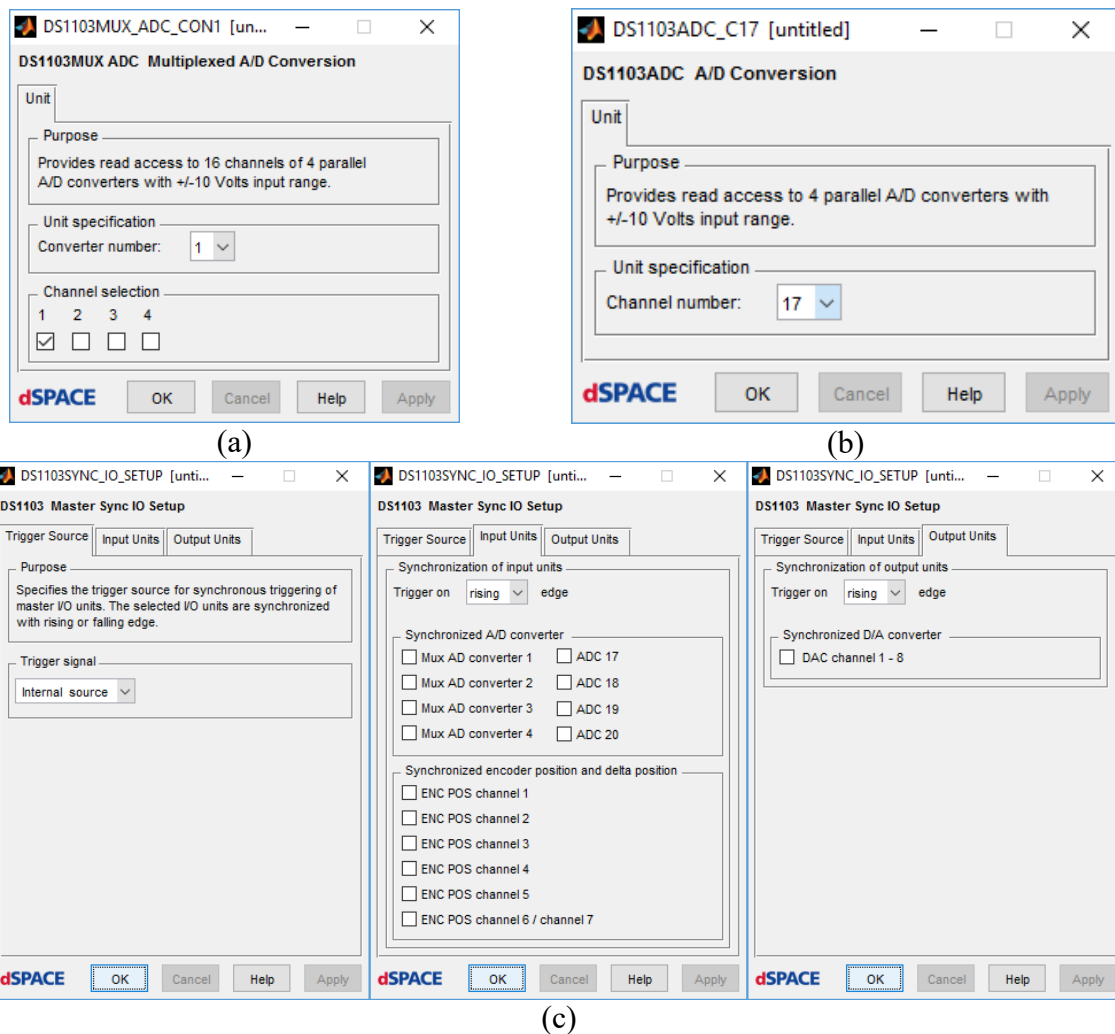


Figura 4.15 – Janela dos blocos: a) Conversor A/D mux; b) Conversor A/D paralelo; c) Sincronia de aquisição dos conversores A/D

O bloco de sincronismo tem configuração mais simples, nele pode-se sincronizar tanto a conversão dos conversores analógico-digitais quanto dos digital-analógicos. Define-se a fonte de disparo, aba *trigger source*, caso essa seja interna ou externa, a qual pode ser, por exemplo, o sinal ST1PWM. Esse sinal será uma fonte interna, caso seja proveniente de um dos PWM Trifásicos, ou externa, caso seja associado com um sinal de entrada. Em seguida, basta apenas que se escolham quais canais vão ser sincronizados na aquisição, nas abas *input units* e *output units*. Lembrando que apenas um dos canais dos conversores mux de A/D pode ser inserido na sincronia, totalizando o máximo de oito canais com aquisição síncrona. É permitido ainda em qual borda do *trigger* será feita a sincronia, se na de subida ou descida, como mostrado na Figura 4.15c.

4.3.2 Sub-biblioteca SLAVE DSP F240

A *SLAVE DSP F240* é a sub-biblioteca do DSP escravo, seus componentes são mostrados pela Figura 4.16, os quais permitem acesso às funcionalidades dessa unidade. Os blocos de interesse para a aplicação prática da plataforma dSPACE serão os relacionados com: bit de entrada e saída (bit I/O), sinais PWM e interrupção do PWM. Como destacado na Figura 4.16, nas caixas em vermelho, têm-se os blocos de bit de entrada (DS1103SL_DSP_BIT_IN_Cx) e saída (DS1103SL_DSP_BIT_OUT_Cx), o bloco de PWM trifásico (DS1103SL_DSP_PWM3) e o bloco de interrupção do PWM (DS1103SLAVE_PWMINT).

O DSP escravo possui 18 canais de bit I/O, a definição se o bit será de entrada ou saída é feita, obviamente, pela escolha do tipo do bloco. Internamente, como mostrado na Figura 4.17a e Figura 4.17b, escolhe-se qual dos 18 canais deseja-se utilizar. Para referência, tem-se a Tabela 4.2, a qual exemplifica o nome de cada sinal e seu respectivo bit, é importante notar que, os marcados com asterisco são compartilhados com outras funcionalidades do DSP escravo, deve-se atentar se tais canais estão de fato disponíveis. Os sinais de saída do bloco bit *in* e o de entrada do bloco bit *out* em nível de modelo são em tipo *boolean*. Há configurações avançadas para ambos os tipos de bit I/O, para entrada, escolhe-se a leitura do bit como novo valor (*read new value*) ou o valor atual (*read current value*), para saída define-se o nível para inicialização e finalização do sinal.

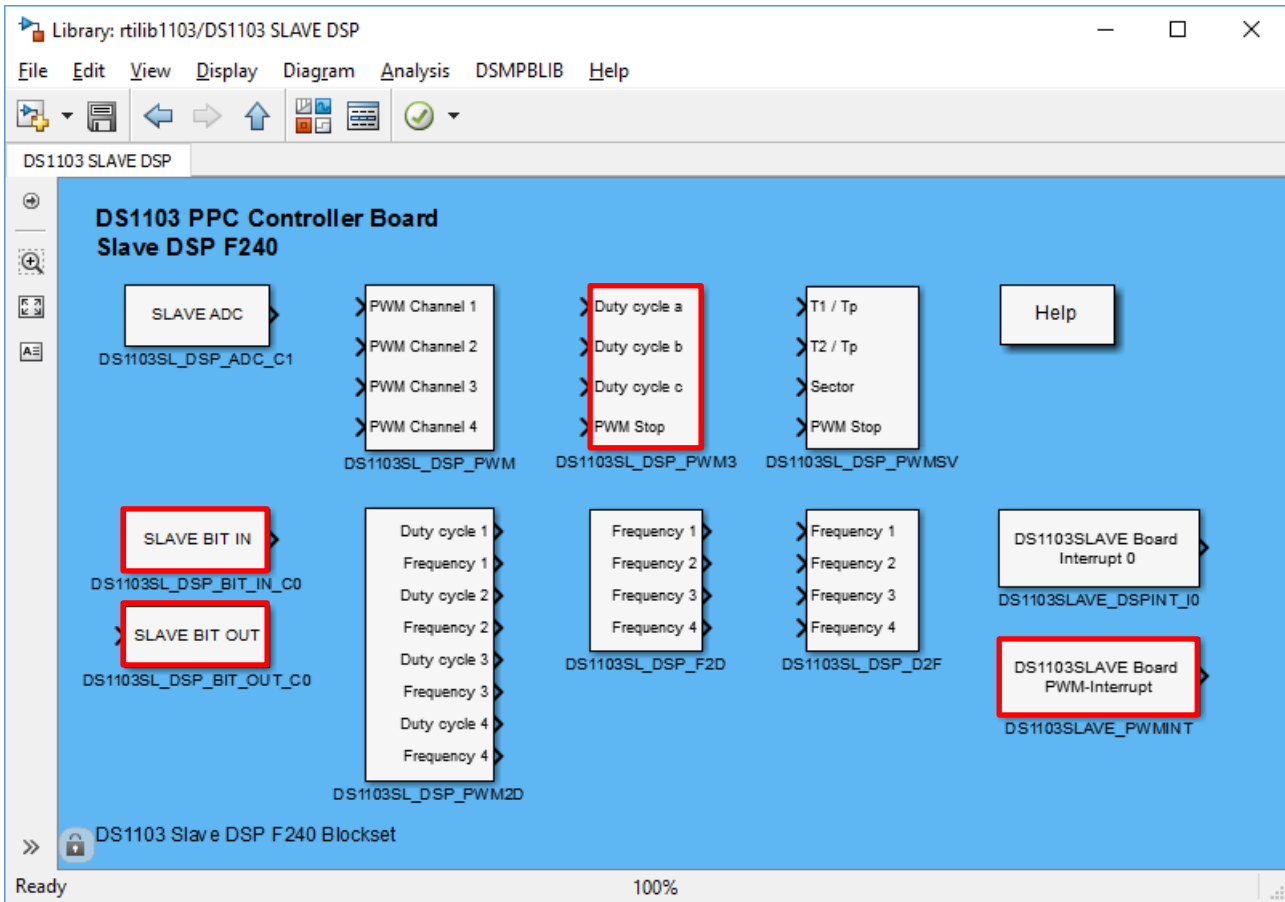
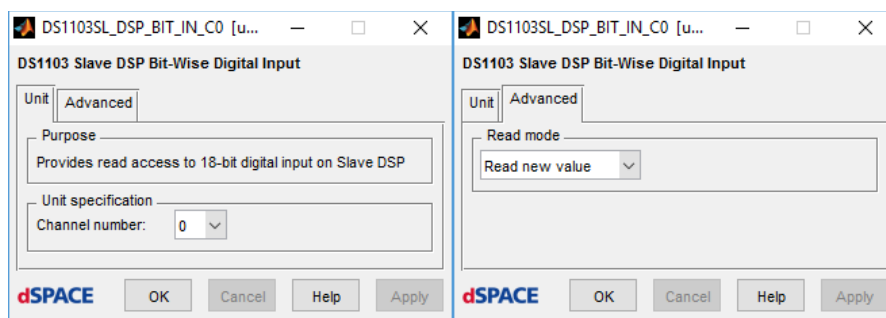


Figura 4.16 – Sub-biblioteca *slave* DSP F240

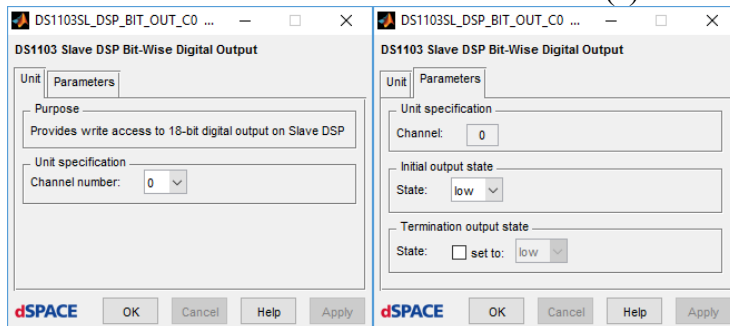
O bloco do PWM trifásico possui como entradas sinais representando a razão cíclica para cada fase independentemente, além de um sinal de paralisação do PWM. As razões cíclicas pra cada fase devem possuir valor restrito, tipo *double*, entre 0 e 1 (0 e 100 %). Caso não se faça uso de uma das fases, recomenda-se inserir o valor 0 ou 1, como razão cíclica da respectiva fase. O sinal que controla a geração do sinal PWM tem como lógica, em tipo *double*: valor 1 para suspendê-lo e valor 0 para habilitá-lo. A edição dos parâmetros do PWM trifásico, como na Figura 4.17c, permite que se escolha a frequência de PWM em Hz (*PWM frequency*), assim como o tempo morto em μs (*deadband*). Há também possibilidade da escolha do nível dos sinais PWM (em nível lógico ou razão cíclica) tanto na sua inicialização, quanto na sua paralisação. A porta de paralisação do PWM pode ser habilitada ou desabilitada na aba *PWM stop and termination*.

O uso do bloco do PWM trifásico (ou do PWM espaço vetorial) proporciona a vantagem da disponibilização do sinal de interrupção (ST1PWM), o qual pode ser usado como sinal de disparo (*trigger source*) no diagrama de blocos do MATLAB/Simulink. Há, inclusive, a conveniência de se usar o sinal de interrupção do PWM para sincronizar a aquisição de algumas unidades de entrada e

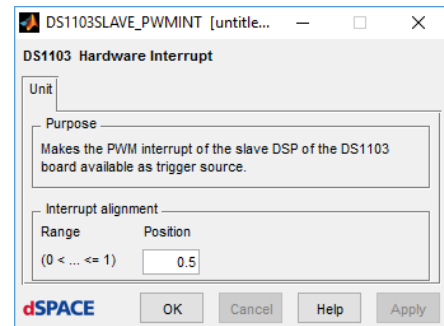
saída (como os conversores analógico-digitais, por exemplo) desde que, o bloco de sincronia (DS1103SYNC_IO_SETUP) do PowerPC seja utilizado em conjunto no modelo. A única especificação desse sinal, como na Figura 4.17d, é quanto ao seu nível de deslocamento com o período de PWM, que tem como valor representativo entre 0.01 e 1 (para melhor entendimento, refira-se a Figura 4.11), o valor 0 desabilita o sinal de interrupção. É importante ressaltar, que o sinal ST1PWM, além de atuar como sinal de interrupção do PWM, é compartilhado com outras funcionalidades da plataforma dSPACE. Deve-se, portanto, observar se, na criação do modelo no MATLAB/Simulink, utiliza-se recursos que demandam o mesmo sinal, o que pode ocasionar conflitos.



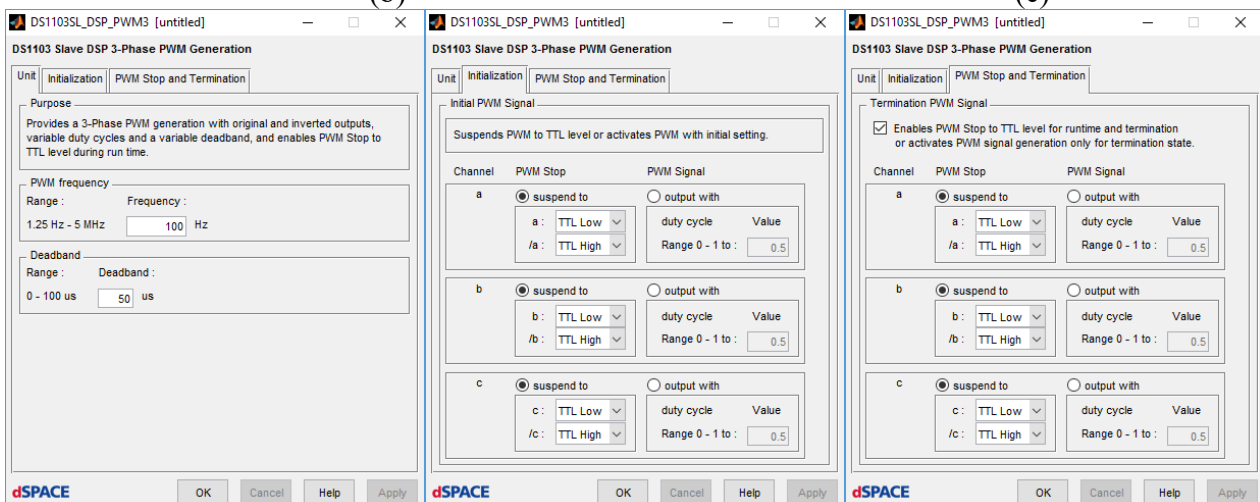
(a)



(b)



(c)



(d)

Figura 4.17 – Janelas dos blocos: a) Bit in; b) Bit out; c) PWM trifásico; d) Interrupção do PWM

Tabela 4.2 – Correspondência dos sinais bit I/O

Sinal	SADCH1*	SADCH2*	SADCH10*	SADCH9*	SPWM7*	SPWM8*
Bit	0	1	2	3	4	5
Sinal	SPWM9*	ST2PWM*	ST3PWM	STMTRDIR	STMTRCLK	SADCSOC
Bit	6	7	8	9	10	11
Sinal	SXF	SBIO	SCAP1*	SCAP2*	SCAP3*	SCAP4*
Bit	12	13	14	16	16	17

4.4 Profiler

O recurso chamado Profiler, oferecido para a plataforma dSPACE através do *software* dSPACE Profiler, é um mecanismo extremamente interessante na identificação do comportamento do algoritmo implementado no *hardware*, logo que auxilia o desenvolvimento da lógica programada, registrando e exibindo informações a respeito dos eventos nela inserida, relacionando sua temporização e cadeia de eventos. Concedendo a vantagem de compreender de forma clara e lógica o funcionamento do algoritmo implementado em *hardware*, possibilitando avaliar sua performance, auxiliando o desenvolvedor a, inclusive, identificar problemas ou ainda otimizar sua operação [55], [56].

O dSPACE Profiler é um *software* que exibe de forma gráfica a temporização dos eventos, ou tarefas, executadas dentro da lógica implementada no *hardware* em tempo real, a Figura 4.18 traz uma visão geral do *software*. Isso é possível, pois, no uso da interface de tempo real (*real-time interface* – RTI), predefinem-se as entradas e saídas das tarefas e interrupções, se porventura o "perfilamento" (*profiling*) for ativado. A duração das tarefas pode ser facilmente estimada por meio de edição do diagrama de blocos do modelo, além da inserção de linhas de código, em linguagem C, em um dos arquivos de compilação do algoritmo, como mostra o Apêndice C.2.

A primeira etapa para utilização do *software* é a criação de um projeto, por meio de um assistente define-se o local do projeto, o modelo da plataforma que será usada e escolhem-se quais eventos serão monitorados, por exemplo: interrupções, tarefas, eventos definidos pelo usuário, entre outros. Criado o projeto, deve-se estabelecer a conexão com a plataforma, para que o arquivo de extensão *.pcc, o qual tem o nome do modelo desenvolvido em MATLAB/Simulink, gerado ao se compilar o diagrama na unidade processadora, seja associado ao Profiler. Dá-se início ao *Profiling* ao clicar-se no botão de *Play*, interrompendo-o quando desejado. Posteriormente podem ser visualizados os resultados.

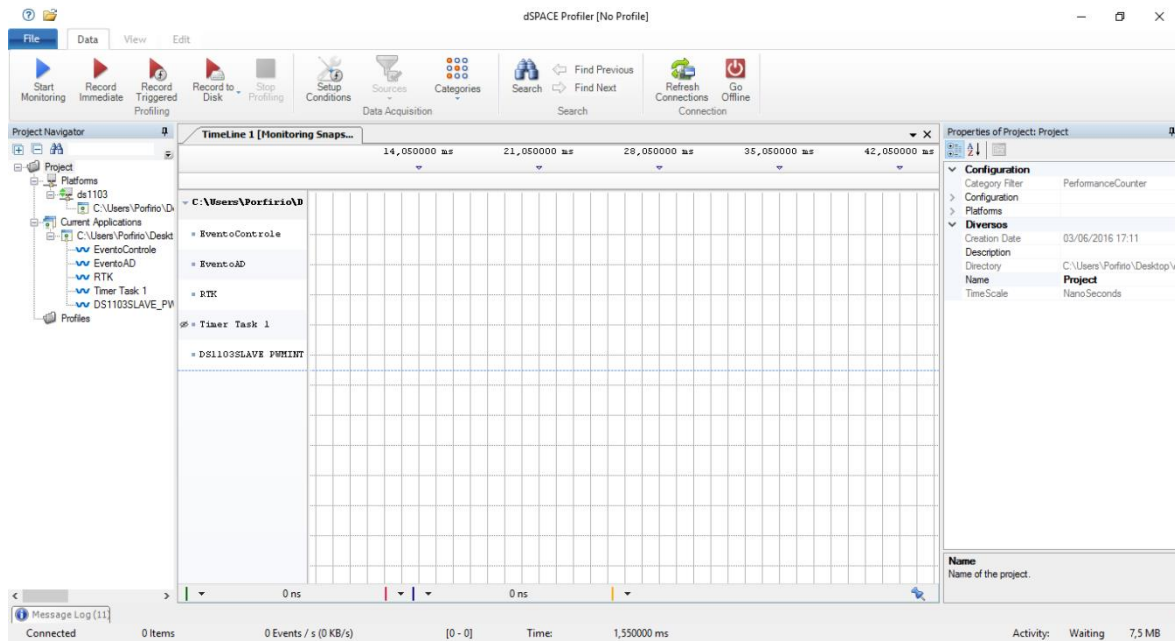


Figura 4.18 – Visão geral do *software* dSPACE Profiler

O *software* permite a estimativa da temporização de diversos eventos: interrupções, tarefas, atrasos, tempo de resposta. O atraso (*latency*) está relacionado com o tempo gasto da entrada da tarefa até sua inicialização. O tempo de resposta (*turnaround time*) representa o tempo gasto desde a entrada da tarefa, sua execução, até a sua saída. A Figura 4.19 ilustra os referidos conceitos. É possível observar também o tempo gasto na interrupção e na tarefa. A Tabela 4.3 ajuda a compreender as abreviações mostradas na linha do tempo.

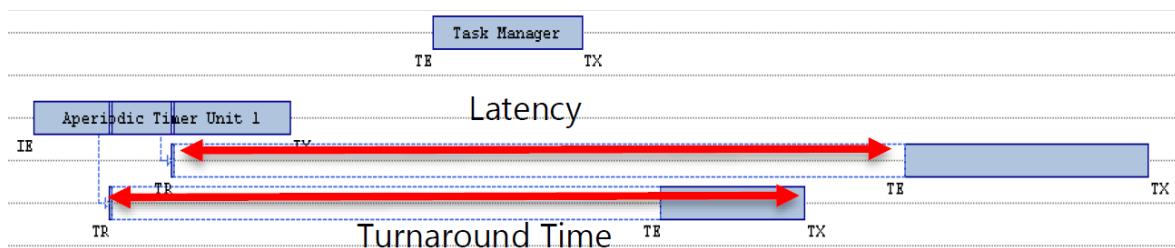


Figura 4.19 – Exemplificação da cadeia de eventos em linha do tempo [55]

Tabela 4.3 – Abreviações adotadas pelo Profiler

Abreviação do Identificador	Tipo de Evento
IE	Entrada da interrupção (<i>interrupt entry</i>)
IX	Saída da interrupção (<i>interrupt exit</i>)
TE	Entrada da tarefa (<i>task entry</i>)
TX	Saída da tarefa (<i>task exit</i>)
TR	Registro da tarefa (<i>task registration</i>)
UE	Fim do período de tempo do usuário (<i>user timespan end</i>)
US	Início do período de tempo do usuário (<i>user timespan start</i>)
TO	<i>Overrun</i> da tarefa (<i>task overrun</i>)

Além de ser possível visualizar graficamente a duração da cadeia de eventos em uma linha temporal, de forma análoga à mostrada na Figura 4.19, com recursos gráficos para marcar determinados pontos, selecionar um intervalo de tempo, permite-se visualizar um *log* de eventos em forma de tabela, ou ainda uma distribuição estatística da duração de cada tarefa ou evento. O registro do *profiling* também é possível, tanto para futura visualização através do *software* ou por exportação em arquivo de formato *.CSV.

4.5 ControlDesk Next Generation 5.2

O ControlDesk é o principal *software* responsável pelo êxito da prototipagem em tempo real. É por meio dele que se estabelece uma ponte *on-line* entre: o microcomputador, a plataforma dSPACE e o circuito físico. Para efetivá-la deve-se registrar a plataforma como descrito no Apêndice C.3. Com base no modelo elaborado em MATLAB/Simulink, o *software* é capaz de modificar determinados parâmetros do mesmo, monitorar suas variáveis, bem como registrá-las, tudo isso em tempo real. Por exemplo, é possível modificar ganhos de controladores, parâmetros de sinais de referência, monitorar a resposta de um controlador ou do sinal adquirido pelo conversor analógico-digital, além de salvar os dados coletados em formato *.CSV (valores separados por vírgula) ou *.MAT (formato de arquivo do MATLAB), *on-line*. Para desempenhar essas tarefas é importante se ambientar com o *software* e configurá-lo de maneira apropriada.

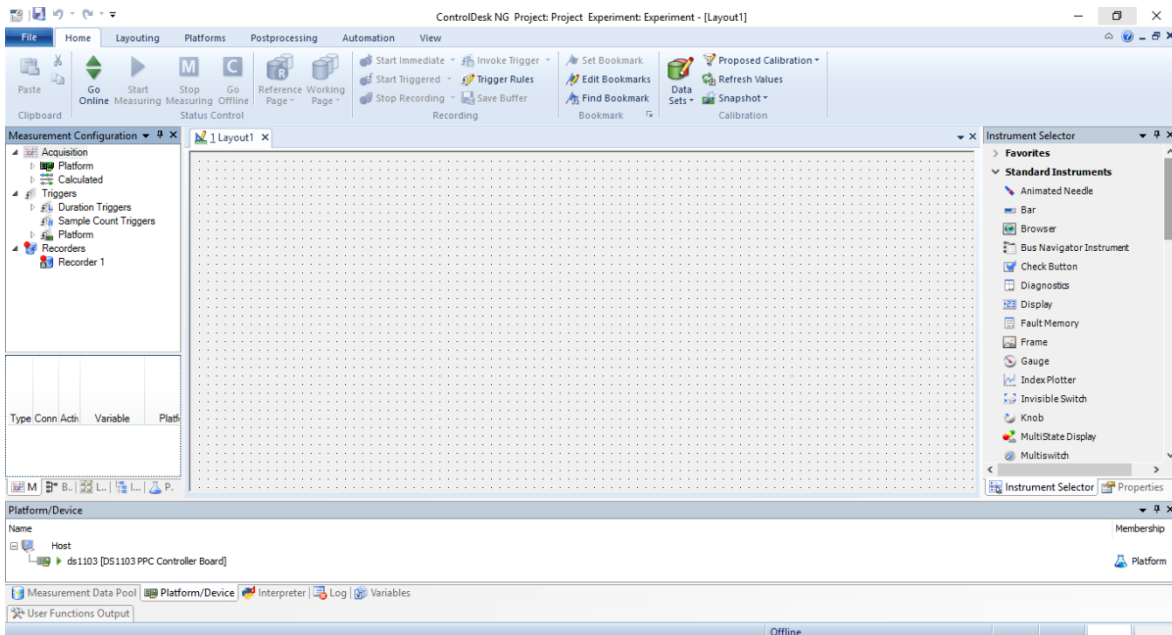


Figura 4.20 – Visão geral do *software* ControlDesk

Na operação do controle em tempo real da plataforma dSPACE, é necessário criar um experimento e um leiaute no *software* ControlDesk. A criação de um experimento é intuitiva e existe um guia para auxiliar o usuário, esse deve-se atentar ao modelo plataforma que será escolhida e na escolha do arquivo de descrição do sistema **.sdf* (*system description file*). Esse arquivo é gerado quando se compila o modelo em MATLAB/Simulink, que será implementado em tempo real, na plataforma dSPACE. Se, por acaso, o arquivo **.sdf* associado ao experimento for modificado, o *software* dá a opção de atualizá-lo, não sendo necessária a criação de um novo experimento.

Associa-se também ao experimento um leiaute, o qual agrupará instrumentos dispostos conforme interesse do usuário. Esses servem para visualização ou edição de variáveis do sistema e são acessados pela aba lateral direita *instrument selector*. Como exemplos de instrumentos disponíveis, tem-se: *check button*, *display* numérico, *gauge*, *knob*, *input* numérico, *plotter*, entre outros. O uso dos instrumentos permite associá-los às variáveis do sistema modelado em MATLAB/Simulink, simplesmente localizando-o na aba inferior *variables*, clicando e arrastando-o ao objeto. A Figura 4.21 traz ilustrativamente algumas ferramentas de interesse para o leiaute, de forma a visualizar sinais temporais utiliza-se o instrumento *plotter*, Figura 4.21a, caso deseje-se modificar parâmetros dos blocos do modelo, pode ser empregado o *input* numérico, Figura 4.21b, ou ainda se for desejado monitorar variáveis numéricas, através do *display* numérico, Figura 4.21c, como por exemplo: duração do *turnaround time* ou contador de *overrun*.

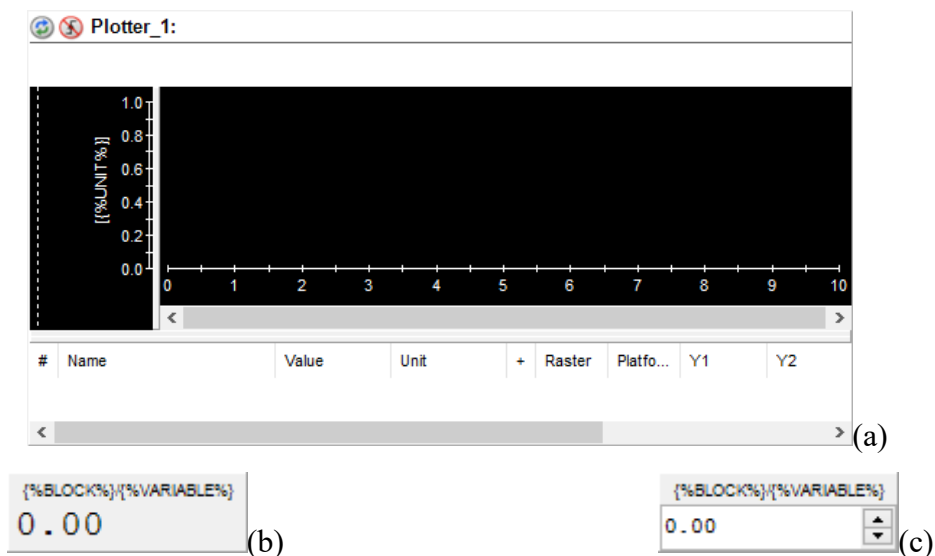


Figura 4.21 – Ferramentas de leiaute: a) *Plotter*; b) *Display* numérico; c) *Input* numérico

A ferramenta *plotter* é extremamente útil ao leiaute para visualizar curvas temporalmente. No sentido de obter uma visualização das curvas estável e sincronizada deve-se configurar os *triggers* adequadamente, como descrito no Apêndice C.4. Dependendo do número de variáveis que se monitora pelo *plotter* e da janela de tempo em que são monitoradas, é possível que o *software* ControlDesk se torne lento na sua operação, devido ao excessivo número de amostras a serem processadas e exibidas. Há duas alternativas para contornar essa limitação: uma delas é diminuir o número de variáveis monitoradas e/ou sua janela de tempo; a outra é servir-se da decimação (vide Apêndice C.4), reduz-se, assim, o número de amostras a serem trabalhadas pelo *software*. Destaca-se ainda, que a decimação interfere apenas na exibição dos dados, não afetando a taxa de amostragem do sistema.

Outra funcionalidade do *software* é o registro de sinais presentes no sistema, permitindo ao usuário a exportação dos dados em formatos: valores separados por vírgula **.CSV (comma separated values)*, arquivo do MATLAB **.MAT* ou formato próprio do *software* ControlDesk **.idf (interchange data format)*. Com intuito de obter um registro fiel dos dados, devem-se considerar algumas informações relevantes presentes no Apêndice C.5.

4.6 Situação de *overrun*

Um erro crítico que pode ser enfrentado é o chamado *overrun*, uma situação de *overrun* pode ser detectada tanto durante a etapa de compilação da lógica na unidade processadora da plataforma, quanto na operação em tempo real pelo *software* ControlDesk. Essa situação é grave, pois, caso essa ocorra durante a prototipagem em tempo real, na prática poderá proporcionar resultados falseados, já que as tarefas não serão mais executadas em tempo real, privando a plataforma dessa capacidade. Uma situação de *overrun* pode ser compreendida como um atropelamento das tarefas implementadas, isto é, a unidade processadora é incapaz de realizar todas as tarefas e cálculos, dentro do intervalo de amostragem. A Figura 4.22 ilustra o princípio do *overrun*.

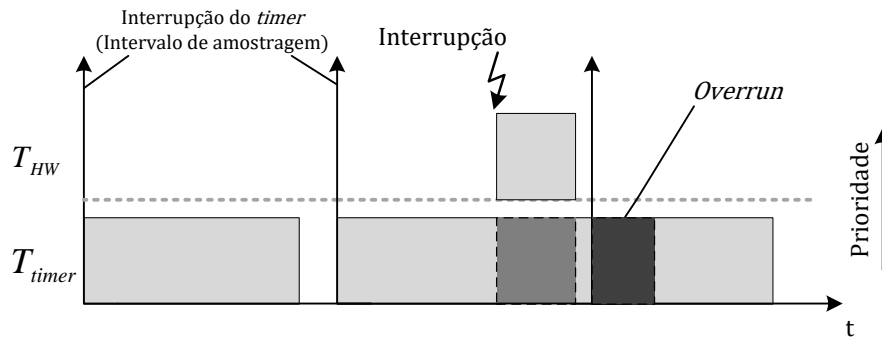


Figura 4.22 – Situação de *overrun*

Se a situação de *overrun* for detectada durante a compilação, essa será interrompida. Deve-se, portanto, tomar providências para resolvê-la, caso contrário, a operação em tempo real será inviabilizada. Para evitar que essa situação ocorra, sugere-se o aumento do passo de cálculo, se possível, ou a simplificação dos cálculos implementados em diagrama de blocos. Algumas operações podem demandar maior esforço computacional, como, por exemplo, uso do bloco de potência em vez de multiplicação.

O *overrun* pode ainda ocorrer durante a execução em tempo real, já que ao se fazer uso do *software* ControlDesk demanda-se da plataforma a manipulação de variáveis, o que pode consumir o tempo de execução em cada ciclo de amostragem. É importante, portanto, que essa situação seja monitorada, pois caso ocorra, a execução em tempo está comprometida, deve-se reconfigurar o sistema implementado. Ao ser compilado o diagrama, automaticamente são gerados contadores de *overrun*, esses podem ser monitorados por *display* numérico, ou seja, a cada situação de *overrun* detectada o contador é incrementado, o que possibilita ao usuário identificar a situação.

4.7 Manuais de Referência

Entre os manuais disponibilizados pelo fabricante o *Hardware Instalation and Configuration* [50] traz uma visão geral dos recursos disponíveis na plataforma, bem como instruções do manuseio e instalação do equipamento, o *DS1103 Features* [51] demonstra de maneira mais detalhada o princípio de funcionamento de cada recurso disponibilizado pela plataforma. O manual *DS1103 RTI* [57] apresenta todas as ferramentas disponibilizadas pela biblioteca, com instruções sobre seu modo de utilização via MATLAB/Simulink, servindo de referência de uso das demais. Para instalação dos *softwares* recomenda-se a consulta dos manuais *Quick Software Installation Guide* [58], que apresenta um guia rápido de instalação, além do

Software Installation Management Guide [59], o qual traz maiores detalhes em relação ao gerenciamento dos *softwares* e seus recursos. Os manuais dos *softwares* dSPACE Profiler, *dSPACE Profiler Guide* [55] e ControlDesk Next Generation 5.2, *ControlDesk Next Generation Basic Practices Guide* [60] e *ControlDesk Next Generation Advanced Practices Guide* [61] fornecem informações relevantes para familiarização das ferramentas e suas funcionalidades. Outra fonte de informação interessante são os guias de perguntas frequentes (*Frequent Asked Question – FAQ*), os quais apresentam diagnósticos e soluções para problemas comumente enfrentados e podem ser acessados pelo *website* do fabricante [62].

4.8 Conclusões

O presente capítulo apresentou uma revisão desde a instalação física da plataforma dSPACE até a sua utilização propriamente dita por meio de *software* específico, evidenciando suas características principais, no que diz respeito ao controle de um conversor estático. A configuração dos *softwares* é detalhada pelo APÊNDICE C, o qual complementa algumas das informações presentes nesta seção. Em capítulo futuro será exemplificado a utilização da plataforma dSPACE no controle de um inversor ponte completa montado experimentalmente, coletando dados para avaliação do desempenho do método de controle implementado.

5 RESULTADOS EXPERIMENTAIS

5.1. Introdução

Foi concebida uma montagem experimental para viabilizar o acionamento e controle de um conversor por meio da plataforma dSPACE. De forma ilustrativa, a Figura 5.1 apresenta o sistema empregado para tal finalidade. Cada elemento do sistema será discutido separadamente, apresentando sua estrutura e detalhes específicos, como também os critérios e demonstrações de projeto, quando for o caso.

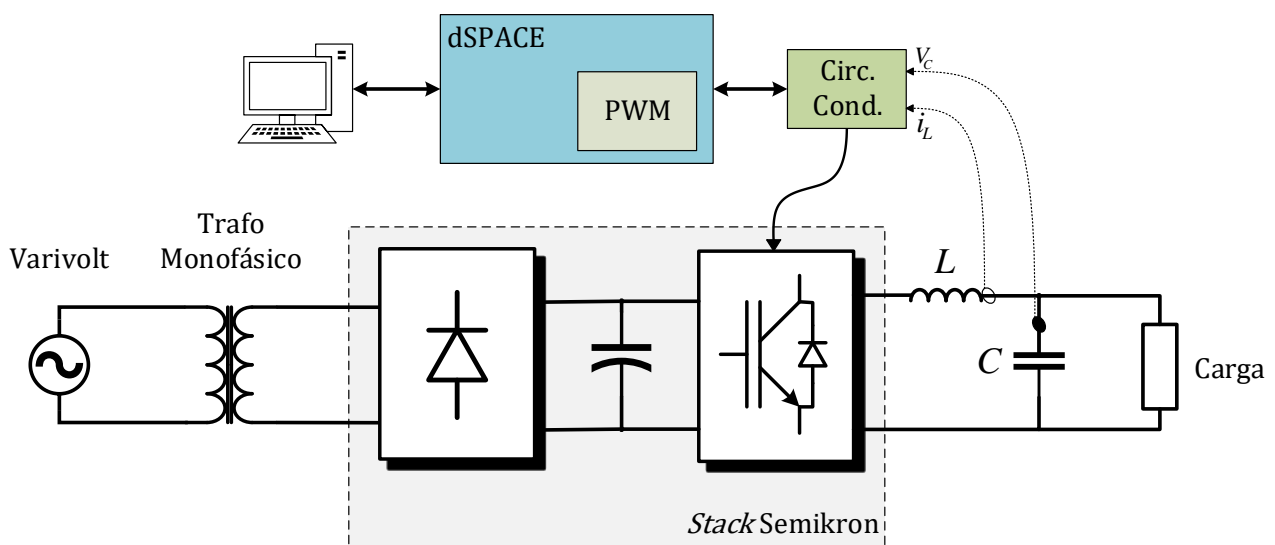


Figura 5.1 – Diagrama da montagem experimental

5.2. Montagem Experimental

5.2.1. Circuito de Potência

O circuito de potência é alimentado por um transformador variador de tensão monofásico de 1,5 kVA, conectado à rede, para regulagem manual da tensão de entrada. Este, por sua vez, está conectado em série com um transformador monofásico de 1,9 kVA, para isolar a alimentação da eletrônica de potência.

A Eletrônica de Potência está inserida em um *stack* Semikron – SKPC SEMITOP3 - AT1, com potência nominal de 1,8 kW, vide Figura 5.2. Esse sistema é composto de: retificador trifásico, a diodos, modelo SKD25, na entrada; barramento de corrente contínua, composto de quatro capacitores Siemens 1500 μF /200 V; ponte completa a IGBT, modelo SK45GH, na saída; além

dos circuitos de *gate-driver*, modelo SKHI20op e de fontes de alimentação auxiliares. Todos os elementos estão unidos em um único dissipador, com ventilador acoplado, modelo SK 2120.

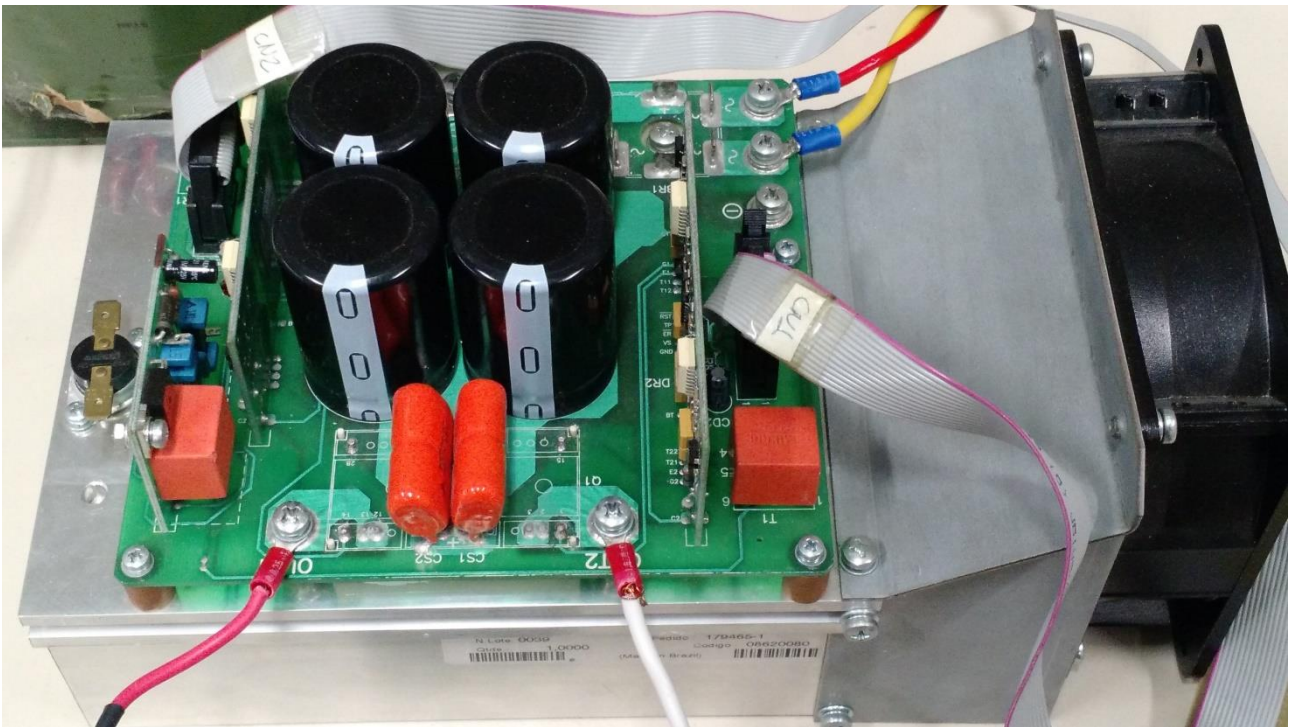


Figura 5.2 – Stack Semikron utilizado

O retificador trifásico a diodos, alimentado pelo transformador, gera a tensão no barramento de corrente contínua, o qual, por sua vez, alimenta a ponte inversora para conversão em tensão alternada, através dos pulsos nas chaves. As quatro chaves da ponte completa são acionadas por dois circuitos de *gate-driver* duplo Semikron, modelo SKHI20op, o mesmo trabalha com pulsos PWM em níveis lógicos em 0 V e $+15\text{ V}$ e alimentação em $+15\text{ V}$.

A ponte completa a IGBT, que atuará em modo inversor, tem seus terminais de saída conectados a um filtro do tipo LC, o qual alimenta uma carga puramente resistiva. O filtro é composto de dois indutores acoplados, com indutância de $613,5\ \mu\text{H}$ cada, sendo a indutância total equivalente a $2,3\ \text{mH}$, medido por meio de um indutímetro (ou ponte LRC) e um capacitor Philips $30\ \mu\text{F} \pm 10\% 250\ \text{VAC}$. Pode-se observar o circuito em questão pela sua ilustração na Figura 5.3. É importante destacar, que o filtro, acima mencionado, não foi dimensionado para o nível de operação empregado, que visava meramente realizar testes utilizando a plataforma dSPACE. As características do conversor são resumidas pela Tabela 5.1.

Tabela 5.1 – Características do conversor

Conversor	
Tensão no barramento de c.c. (E)	100 – 150 V
Frequência de Chaveamento (F_{sw})	15,36 kHz
Indutor (L)	2,3 mH
Capacitor (C)	30 μF

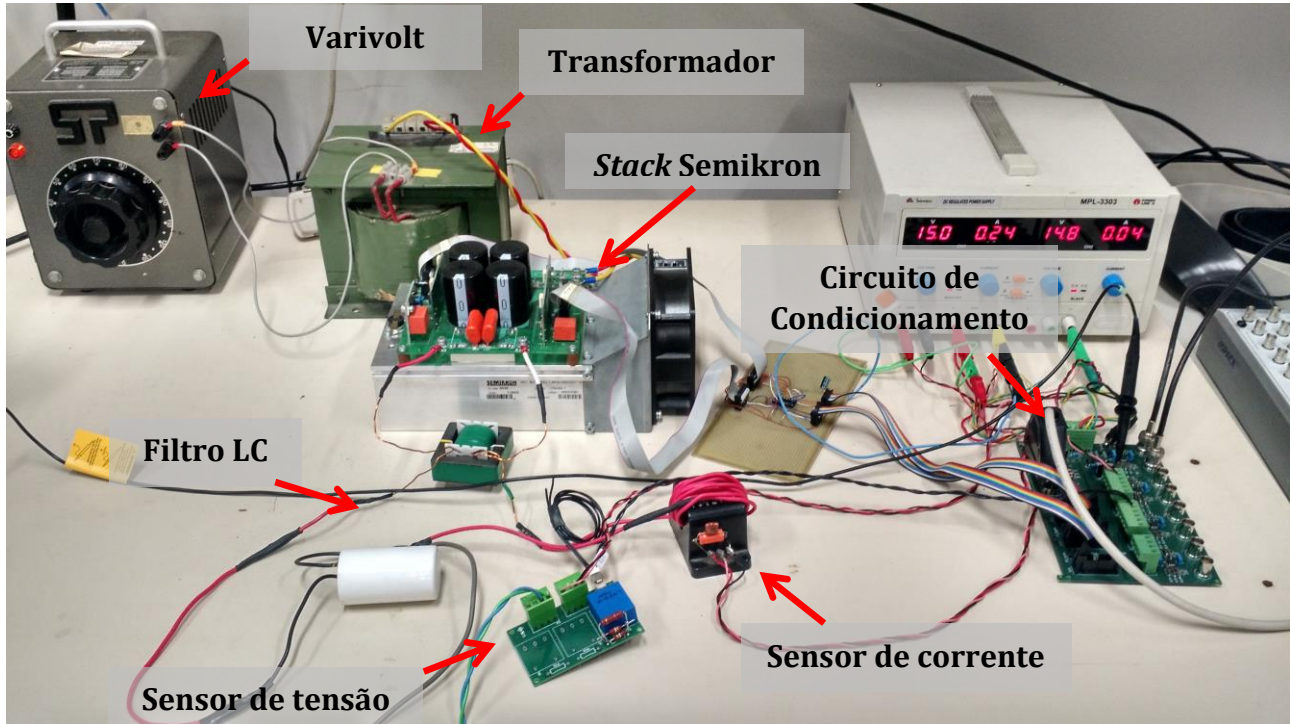


Figura 5.3 – Inversor alimentando um filtro LC e uma carga resistiva com as medições de corrente e tensão

Nesse circuito, as variáveis de estado são monitoradas, ou seja, a corrente no indutor e a tensão no capacitor são medidas, apropriadamente. As medições através dos sensores fornecem sinais, os quais são condicionados para a plataforma dSPACE, onde será implementado o controle das chaves da ponte inversora, como será mostrado, a seguir.

5.2.2. Circuito de medição

A medição das variáveis de estado é realizada a partir de sensores de efeito Hall, um sensor de corrente, modelo LT 100-S [63] e um sensor de tensão LV20P [64], ambos da fabricante LEM.

Para a medição da tensão é necessária a conexão dos terminais do capacitor na entrada de alta tensão do sensor, $+HT$ e $-HT$, passando por um resistor de primário – R_1 , o qual gera o sinal em corrente para o primário do sensor. Esse resistor deve ser dimensionado para gerar a corrente nominal do sensor (10 mA no caso) e suportar uma potência equivalente ao produto do nível da

tensão, a qual se deseja medir, pela corrente máxima que passará por ele. No secundário, um sinal também em corrente é produzido (I_S), o qual é passado por um resistor de medição – R_m , convertendo, assim, o sinal de medição em tensão.

A medição de corrente é realizada por meio de indução, ou seja, o cabo em que se passa a corrente no indutor é enrolado no sensor de forma que esse sinta a corrente passada por ele. Como a corrente nominal desse sensor é de 100 A, e a corrente de saída não ultrapassará 10 A, fez-se 10 voltas no sensor para operá-lo próximo de sua condição nominal. O sinal de saída é em corrente (I_S), assim como no caso do sensor de tensão, converte-se em tensão por um resistor de medição.

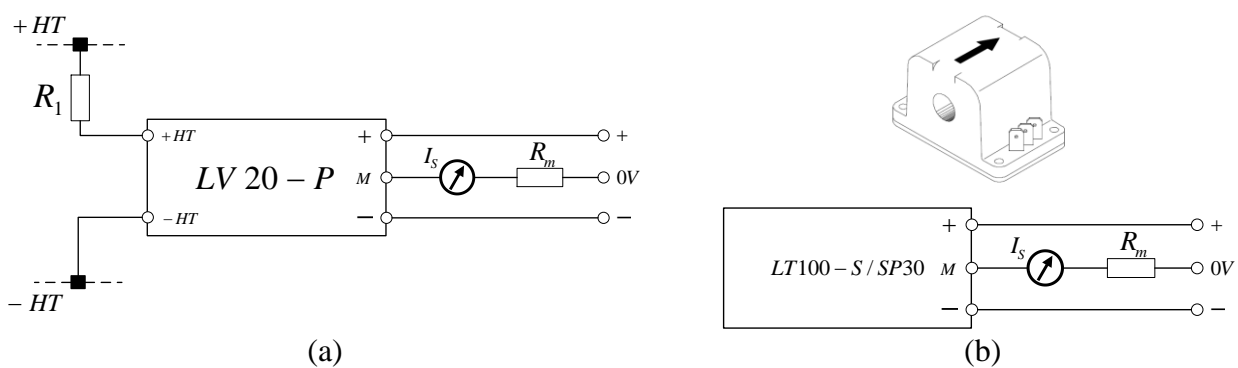


Figura 5.4 – Circuito de medição: a) tensão; b) corrente

Ambos os circuitos de medição são ilustrados pela Figura 5.4. Nota-se que os sensores demandam uma alimentação simétrica em nível c.c., nos conectores + e -. Dependendo do nível de alimentação, o resistor de medição – R_m deve ser escolhido, de acordo com a faixa proposta pelo fabricante, no *datasheet* do sensor. Escolheu-se, portanto, uma fonte de alimentação em $\pm 15 V$, para ambos os sensores. Assim, entre a faixa de resistores de medição – R_m proposta, escolheu-se o de valor 100 Ω .

Os resistores de medição – R_m se encontram na placa de condicionamento que foi projetada e confeccionada especificamente para a seguinte aplicação: condicionar sinais analógicos, provenientes de medições de sensores, para os conversores analógico-digitais da plataforma dSPACE; assim como os sinais digitais de PWM provenientes do DSP escravo da plataforma, para os circuitos de *gate-driver*, que acionam as chaves do inversor, de forma controlada.

5.2.3. Circuito de Condicionamento

Haverá uma troca de sinais, entre o circuito de potência e a plataforma dSPACE, de forma que haja uma espécie de comunicação, para obtenção do controle do conversor. Em outras palavras,

o circuito fornecerá informações de tensão e corrente de saída, em forma de sinais analógicos e receberá sinais digitais PWM para comando do *gate-driver* das chaves do inversor. Assim, uma placa que condicione, tanto os sinais analógicos, quanto os digitais, foi projetada e confeccionada para esse propósito.

Como descrito na seção anterior, os sinais dos sensores de tensão e corrente, são fornecidos em forma de sinais de corrente. Sendo assim, esse sinal deve passar por um resistor de medição – R_m , para conversão do sinal em tensão. Esse sinal em tensão, por sua vez, deve ser condicionado de forma a aproveitar a excursão total do conversor analógico-digital da plataforma dSPACE, que tem como limites máximos $\pm 10 V$. Nessa perspectiva, projetaram-se amplificadores em configuração não inversora, para condicionamento dos sinais dos sensores, com os ganhos apropriados para cada tipo de sinal, visando aproveitar a escala limite do conversor analógico-digital.

Para maior precisão no ganho do amplificador, escolheram-se resistores de tolerância em 1 %. Optou-se pelo amplificador operacional *rail-to-rail* modelo LM7322 [65], por sua extensa faixa de passagem e excursão de sinal compatível com a saída desejada, $\pm 10 V$. Detalhes do projeto do circuito de condicionamento analógico, considerando os sensores utilizados, são dados no Apêndice D.2.

Já o condicionamento dos sinais digitais é realizado por meio de um *buffer* com coletor aberto, utilizando o circuito integrado SN7407 [66]. Os sinais de saída do *buffer* são elevados a um nível de $+5 V$ por meio de resistores de *pull-up* alimentados no mesmo nível de tensão. Podem ser condicionados sinais de PWM trifásico, além dos sinais de falta e *reset*, recebidos por um conector D-Sub 37 pinos, para compatibilizar com o conector do DSP escravo da plataforma dSPACE, os quais são repassados aos *gate-drivers* que comandam as chaves da ponte inversora, através de conectores do tipo *header* com ejetor.

Detalhes da placa de circuito de condicionamento projetada são explicitados no Apêndice D.1.

5.2.4. Controle de PWM via plataforma dSPACE

O controle das chaves inversoras é realizado por meio de PWM, recurso integrado na plataforma dSPACE, através da RTI – *real time interface*, ferramenta essa que permite a compilação de um diagrama em MATLAB/Simulink na unidade processadora. Assim, projetou-se diagrama que recebe as medições dos sensores pelo conversor analógico-digital, realiza o controle das variáveis monitoradas e fornece a referência para o PWM.

5.2.4.1. Diagrama em MATLAB/Simulink

O diagrama geral elaborado é mostrado pela Figura 5.5, dividiu-se em dois blocos do tipo *atomic subsystem* para desempenharem duas tarefas principais: a primeira é a conversão analógico-digital, cujo bloco é visto em detalhe na Figura 5.6; a segunda, detalhada na Figura 5.8, é o diagrama de controle implementado o qual fornece referência ao PWM. A taxa de amostragem do modelo é equivalente à frequência de chaveamento 15,36 kHz, assim, o passo de cálculo adotado é de 65 μs.

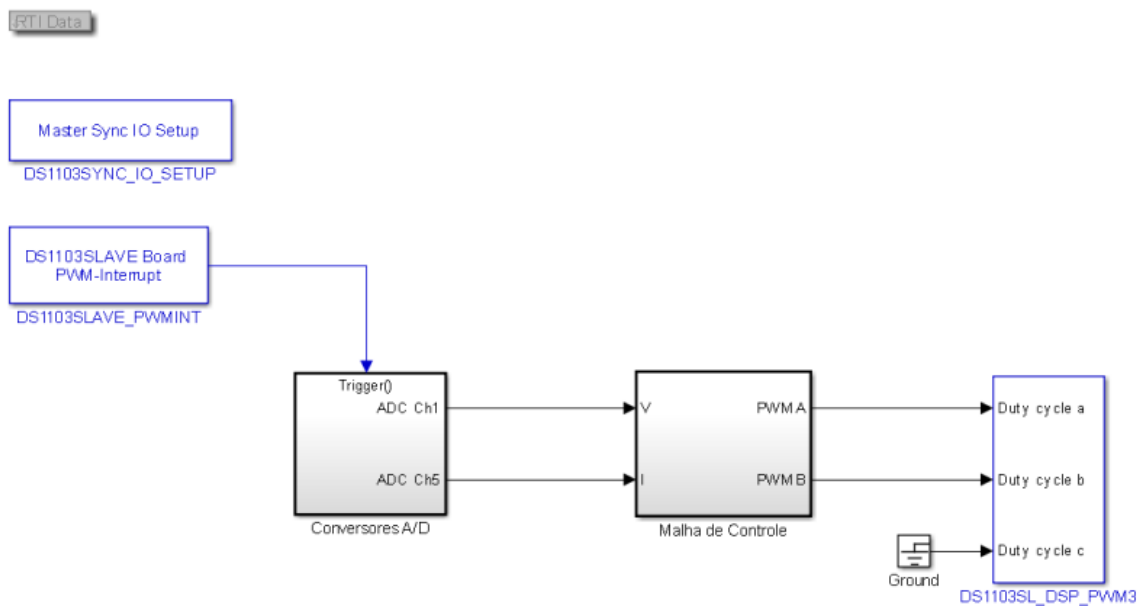


Figura 5.5 – Diagrama geral implementado em MATLAB/Simulink

Para a conversão analógico-digital utiliza-se dos recursos de sincronia de aquisição, realizada pelo bloco *Master Sync IO Setup*, além da interrupção do PWM, representada pelo bloco *DS1103SLAVE Board PWM-Interrupt*, o qual engatilha ambas as conversões em sincronia com o PWM.

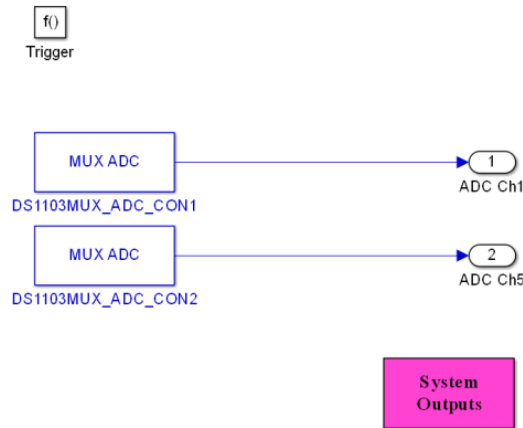


Figura 5.6 – Tarefa de aquisição dos conversores analógico-digitais

A tarefa de controle é realizada por duas malhas, a de tensão, que recebe uma dada referência a ser seguida comparada com a medição de tensão, e a de corrente, a qual recebe referência da malha de tensão comparando-a com a medição de corrente. As medições de tensão e corrente realizadas pelos sensores sofrem dois ajustes. Um *offset* devido ao nível c.c. existente, mesmo na medição nula de tensão e corrente. O mesmo é medido na entrada do conversor analógico-digital (da ordem de 40 mV). A regulagem de *offset* se faz necessária devido a outro ajuste obrigatório, o de ganho relativo ao fundo de escala dos sensores. Caso não se corrija o *offset* tal ganho representará nível c.c. considerável nos sinais controlados. Os controladores PI são compostos por um ganho proporcional associado a um integrador de método trapezoidal com ganho integral, tanto o integrador quanto o controlador possuem saída limitada. O diagrama do controlador é ilustrado pela Figura 5.7, onde os valores dos ganhos proporcional e integral são apenas ilustrativos.

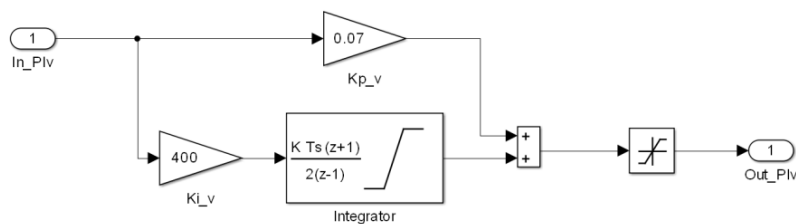


Figura 5.7 – Controlador PI implementado

A razão da divisão em duas tarefas em blocos distintos se dá pelo recurso disponível de *profiling* através do *software* dSPACE Profiler, dessa maneira consegue-se monitorar o tempo demandado por cada tarefa discriminadamente, permitindo a avaliação do desempenho do diagrama implementado. Detalhes da verificação das temporizações são exibidos a seguir.

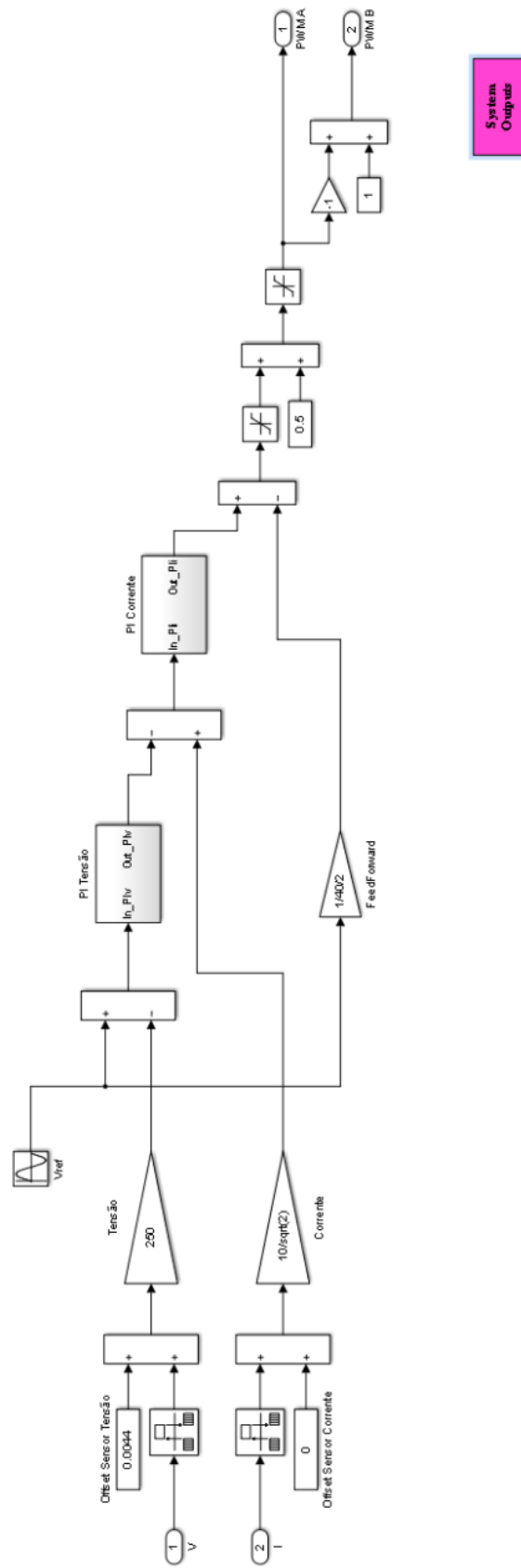


Figura 5.8 – Diagrama de controle da tensão e corrente

5.2.4.2. Verificação via dSPACE Profiler

Observou-se o perfil de temporização das tarefas implementadas no diagrama apresentado anteriormente, como mostra a Figura 5.9. O primeiro registro de tarefa feito é o da interrupção do PWM, esse engatilha a tarefa de conversão A/D, evento definido pelo usuário como *EventoAD*. A interrupção do mestre PCC *real time kernel* – RTK, por ter prioridade em relação ao DSP escravo, interrompe a conversão AD e registra a tarefa *Timer Task 1*, a qual invoca o evento definido pelo usuário *EventoControle*, esse é responsável por realizar os cálculos dos controladores, tem duração de 210 ns. No momento em que as tarefas no mestre PCC são finalizadas, as do DSP escravo entram novamente em execução, onde finaliza-se a conversão A/D, o intervalo de tempo total dessa tarefa é de 3,3 μ s. A execução de todas as tarefas, desde a entrada da interrupção (IE) até a saída da interrupção (IX) leva 4,3 μ s, intervalo de tempo bem inferior aos 65 μ s do passo de cálculo, o que proporciona uma margem significativa para evitar uma situação de *overrun*. Nos demais passos de cálculo as temporizações são praticamente idênticas, visto que estão em sincronia na mesma frequência de amostragem.

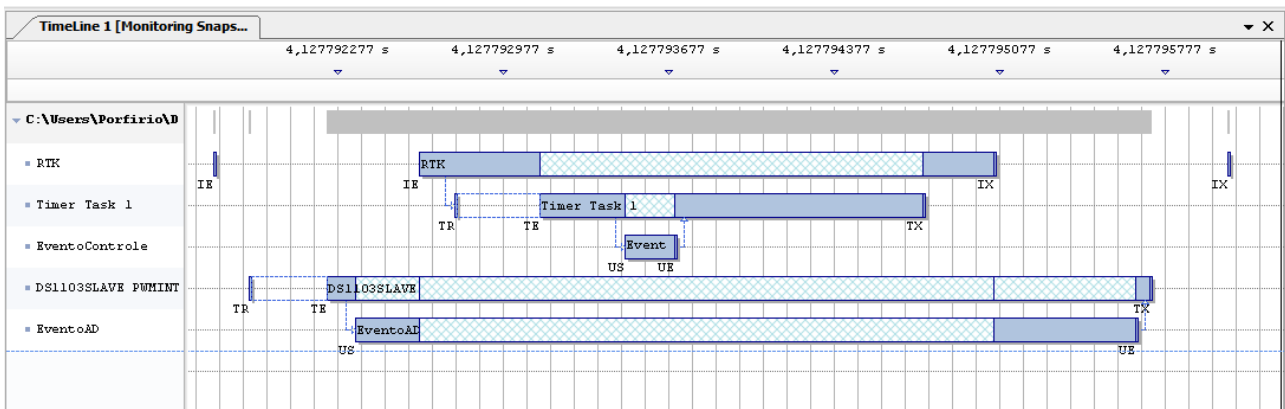


Figura 5.9 – Temporização capturada pelo software dSPACE Profiler

5.2.4.3. Leiaute implementado no ControlDesk

Para auxiliar a visualização e verificação das ondas de tensão e corrente adquiridas pelos conversores A/D, projetou-se um leiaute, como o mostrado na Figura 5.10. No mesmo, podem-se notar as ferramentas de *plotter*, exibindo um ciclo de 60 Hz da leitura de tensão e sua referência de controle (à esquerda) e a leitura de corrente e sua referência de controle (à direita). Ambos estão em *trigger mode*, configurado como descrito no Apêndice C.4. No mesmo leiaute, incluíram-se *inputs* numéricos, os quais estão associados com os ganhos dos controladores de tensão e corrente, de

forma que esses possam ser editados em tempo real. Além desses, há mais dois, um para ajuste do ganho de *feed-forward* e outro para ajuste do pico da tensão de referência.

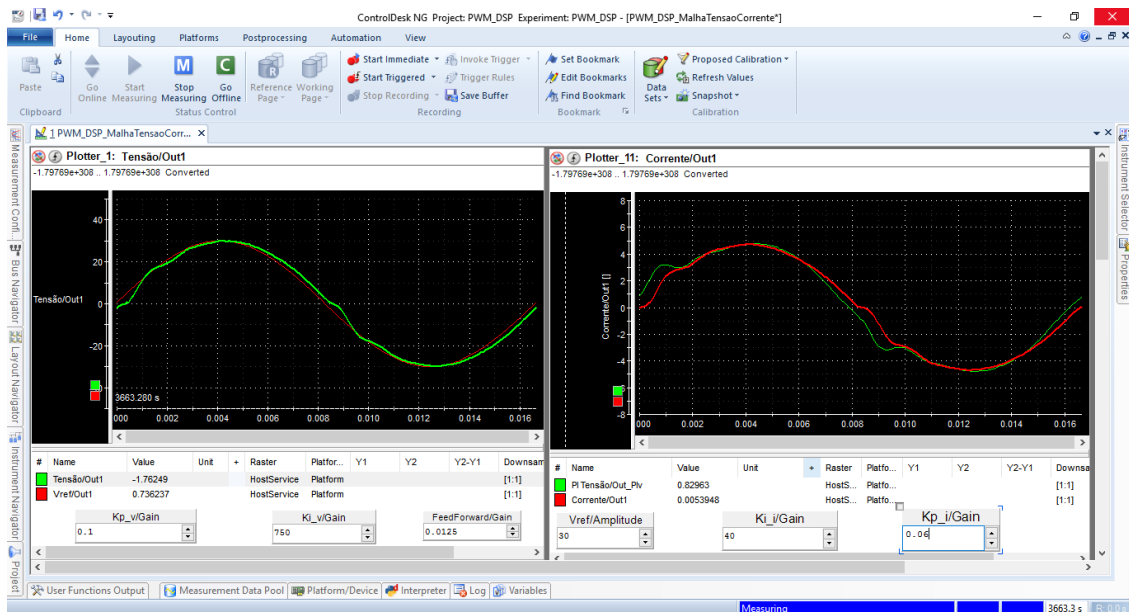


Figura 5.10 – Leiaute elaborado no ControlDesk para monitoramento e ajuste do controle

5.3. Resultados coletados

Operou-se o conversor de forma controlada através da plataforma dSPACE em diversas condições, como será mostrado a seguir. Uma visão geral da montagem experimental é mostrada na Figura 5.11. Utilizou-se de osciloscópio digital para coleta das formas de onda de tensão no capacitor e do sinal de tensão no resistor de medição – R_m do sensor de corrente, obtendo assim, o sinal de tensão relacionado com a corrente no indutor. Através dos recursos de registro de dados proporcionados pelo *software* ControlDesk, monitoraram-se e registraram-se os sinais de referência do controle, bem como os sinais adquiridos pelos conversores analógico-digitais, provenientes dos sensores de tensão e corrente.

Avaliou-se o controle do conversor em diversos pontos de operação, a fim de qualificar seu desempenho frente às novas condições de atuação e perturbações no sistema. Excursionou-se a tensão no barramento de c.c., variou-se a amplitude da tensão de referência e modificou-se o nível de carga na saída do inversor. A carga é caracterizada por uma resistência de $17,5 \Omega$. Em seguida será apresentado o desempenho do sistema em determinadas condições verificando: rastreamento das referências de controle; valores eficazes da tensão e corrente de saída; e distorção harmônica total na tensão de saída.

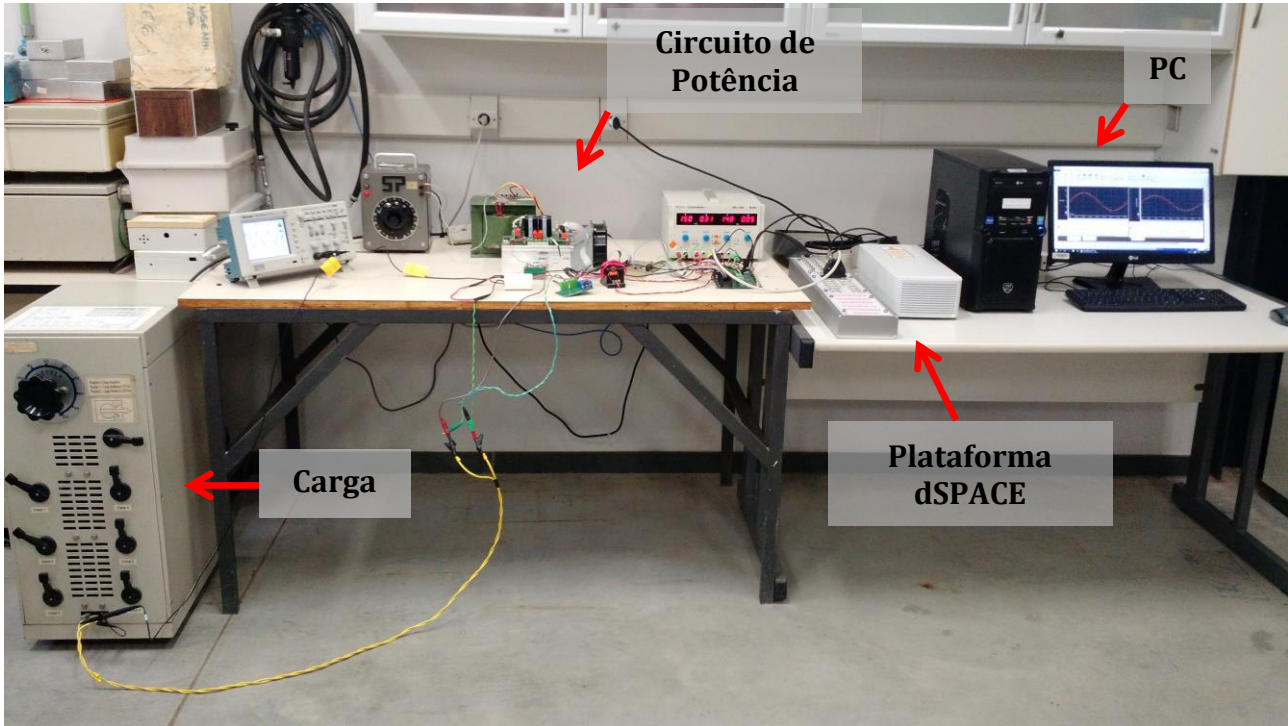


Figura 5.11 – Visão geral da montagem experimental

5.3.1. Rastreamento das referências de controle

A plataforma dSPACE proporciona a vantagem de permitir o acesso a qualquer sinal presente no diagrama implementado em MATLAB/Simulink. Para aproveitar dessa funcionalidade, monitoraram-se os sinais adquiridos pelos conversores A/D, já ajustados pelo *offset* e fundo de escalada dos sensores e as grandezas de referência do controle. No caso do diagrama, exemplificado na Figura 5.8, os sinais medidos são equivalentes aos de saída dos blocos de ganho *tensão* e *corrente*, os sinais de referência, por sua vez, são o sinal de saída do bloco *Vref* (referência de tensão) e o do bloco *PI tensão* (referência de corrente).

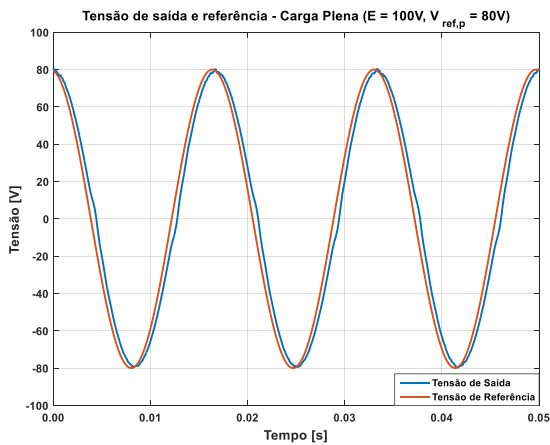
Foram avaliados três casos de operação, os quais serão mostrados a seguir, mantendo-se um índice de modulação em 0,8, observou-se o desempenho do controle para tensões de referência com amplitude em 80 V, 100 V e 120 V. Em cada caso aplicou-se ainda três situações de carga, carga plena, com 17,5 Ω na saída, carga reduzida, com 35 Ω na saída e carga nula, observando-se ainda a transição de carga de 17,5 Ω para 35 Ω , bem como a situação inversa.

A Figura 5.12 mostra a efetividade do controle no rastreamento das referências para uma condição de 100 V no barramento de c.c. e tensão de referência com pico de 80 V, em três condições de carga: carga plena, Figura 5.12a (tensão) e Figura 5.12b (corrente); carga reduzida, Figura 5.12c (tensão) e Figura 5.12d (corrente); circuito aberto, Figura 5.12e (tensão) e Figura 5.12f

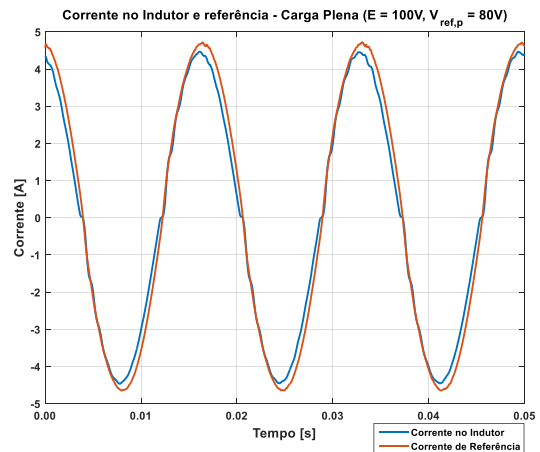
(corrente). Os dados exibidos na Figura 5.12 foram adquiridos pelo recurso de gravação do *software* ControlDesk. Na Figura 5.13 exibem-se os dados coletados pelo osciloscópio digital nas mesmas condições. Os ganhos dos controladores para operação nessa condição são mostrados na Tabela 5.2, nota-se que são os mesmos ganhos projetados para a condição simulada.

Tabela 5.2 – Ganhos dos controladores digitais na condição: $E = 100\text{ V}$, $V_{(ref,p)} = 80\text{ V}$

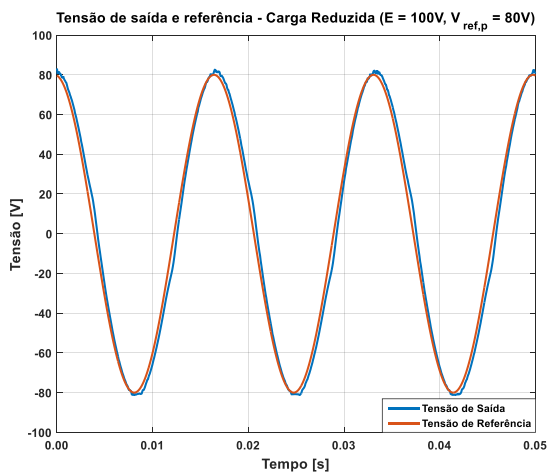
Controle Digital: $E = 100\text{ V}$, $V_{ref,p} = 80\text{ V}$	
Controlador de Corrente	
Ganho Proporcional (K_{pi})	0,066
Ganho Integral (K_{ii})	0
Controlador de Tensão	
Ganho Proporcional (K_{pv})	0,043
Ganho Integral (K_{iv})	138



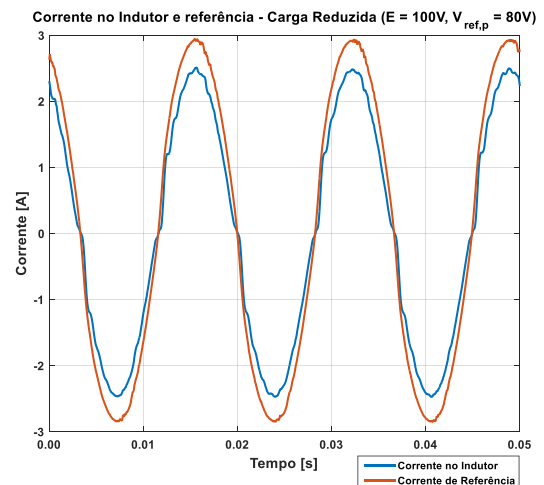
(a)



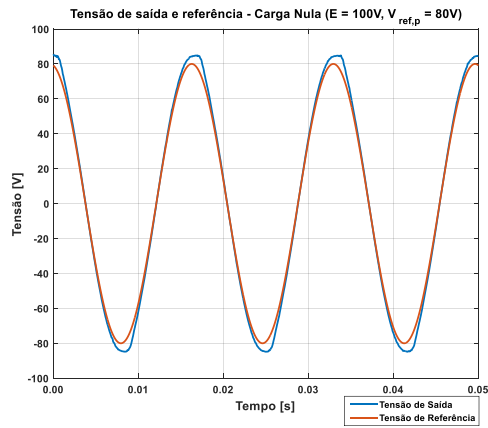
(b)



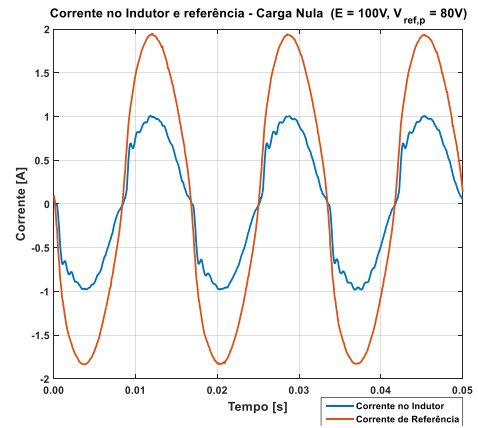
(c)



(d)

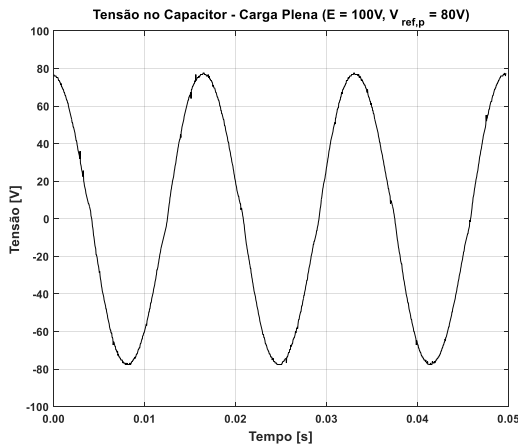


(e)

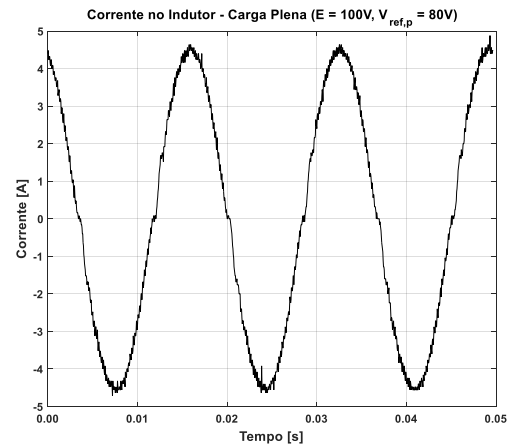


(f)

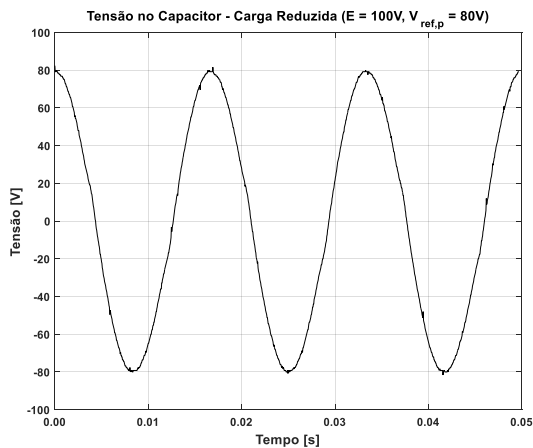
Figura 5.12 – Dados de referência e medição de tensão no capacitor: (a), (c), (e); e corrente no indutor: (b), (d), (f) coletados pelo *software* ControlDesk ($E = 100\text{ V}$, $V_{ref,p} = 80\text{ V}$)



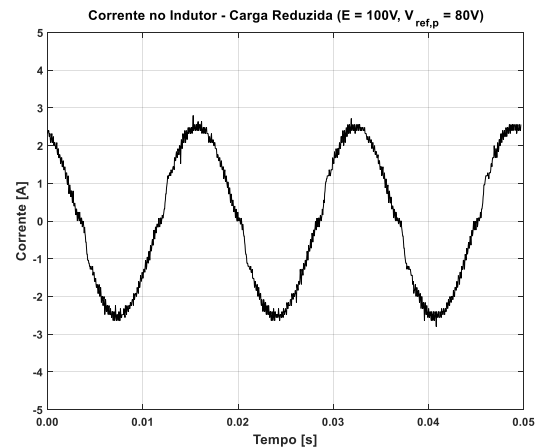
(a)



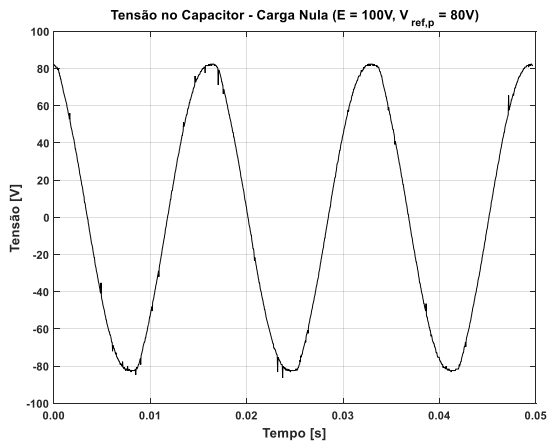
(b)



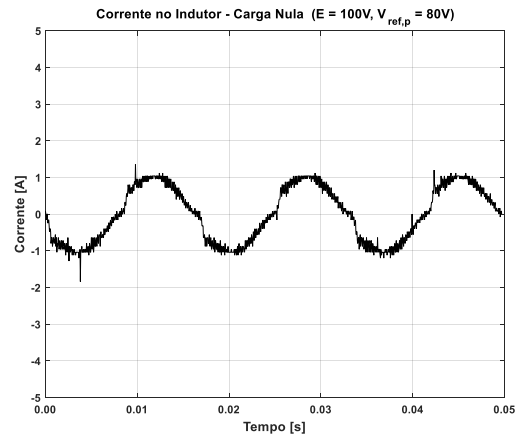
(c)



(d)



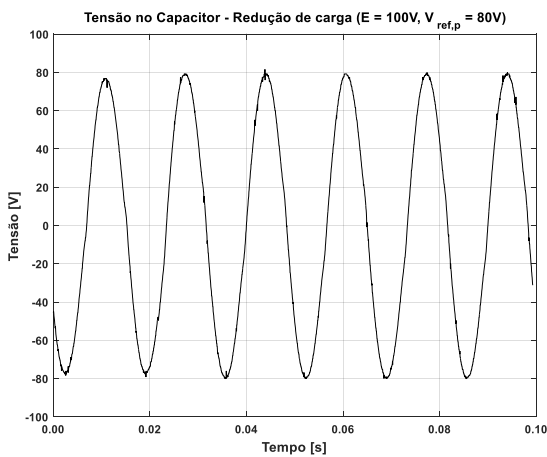
(e)



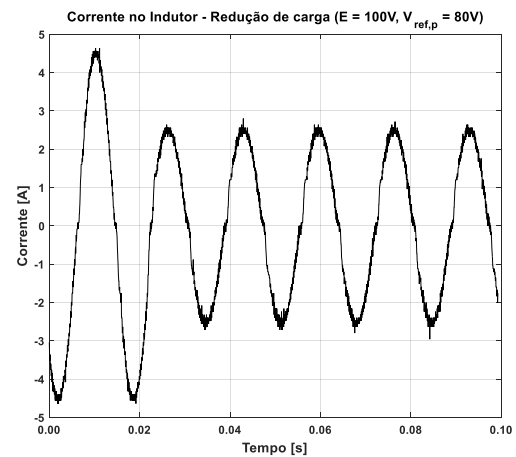
(f)

Figura 5.13 – Tensão no capacitor: (a), (c), (e); e corrente no indutor: (b), (d), (f) medidos pelo Osciloscópio Digital ($E = 100\text{ V}$, $V_{ref,p} = 80\text{ V}$)

Nas curvas de regime permanente, exibidas tanto na Figura 5.12 e Figura 5.13, cujos dados foram coletados pelo ControlDesk e por Osciloscópio Digital respectivamente, nota-se que há um rastreamento razoável da referência, com pequeno erro de amplitude e fase, bem como uma distorção na passagem pelo zero, devido ao tempo morto do PWM. Nota-se que à medida que se varia a carga a regulação na tensão de saída é penalizada. Observando ainda o transitório de carga, Figura 5.14 e Figura 5.15, na retirada e acréscimo de carga, respectivamente, fica evidente uma atuação do controle quase que imediata, sem oscilações expressivas ou lentidão para regular à nova condição imposta.



(a)



(b)

Figura 5.14 – Desempenho do controle durante redução de carga na: a) tensão no capacitor; b) corrente no indutor ($E = 100\text{ V}$, $V_{ref,p} = 80\text{ V}$)

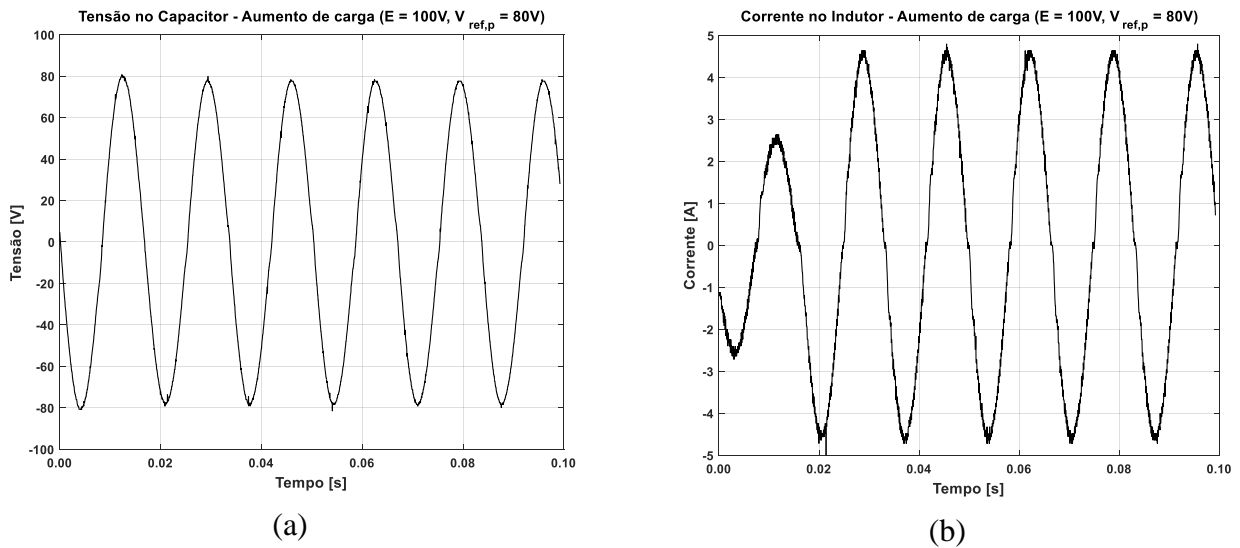
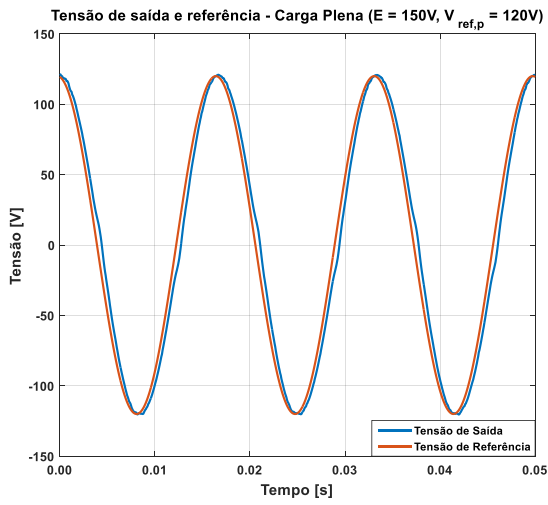


Figura 5.15 – Desempenho do controle durante aumento de carga na: a) tensão no capacitor; b) corrente no indutor ($E = 100\text{ V}$, $V_{ref,p} = 80\text{ V}$)

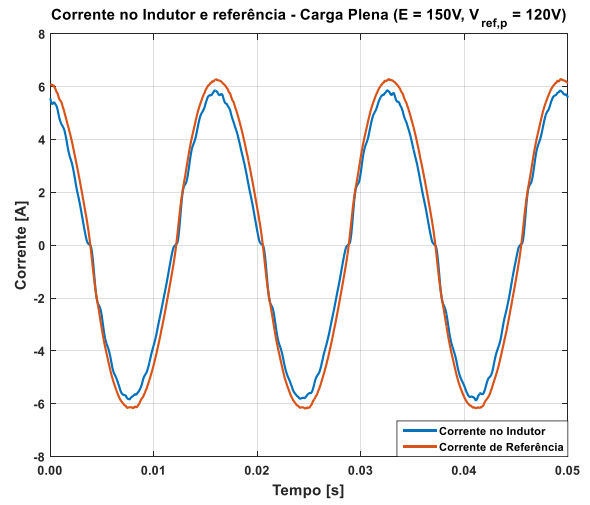
Em outra condição, onde se tem 150 V no barramento de c.c. e tensão de referência com pico em 120 V , nesse caso com o nível de tensão mais elevado a corrente extrapolava o limite do conversor analógico-digital, assim acresceu-se cerca de $4\ \Omega$ à carga anterior para que se obtivesse um nível de corrente compatível à medição pelo A/D do dSPACE. Avaliou-se o desempenho do controle nas três condições de carga: carga plena, Figura 5.16a (tensão) e Figura 5.16b (corrente); carga reduzida, Figura 5.16c (tensão) e Figura 5.16d (corrente); circuito aberto, Figura 5.16e (tensão) e Figura 5.16f (corrente). As formas de onda presentes na Figura 5.16 foram adquiridas através do *software* ControlDesk. Na Figura 5.17 são mostradas as curvas de tensão e corrente, no capacitor e indutor, respectivamente, utilizando osciloscópio digital nas condições equivalentes às da Figura 5.16. Os ganhos dos controladores digitais nesse ponto de operação são reunidos na Tabela 5.3. O desempenho do controle no rastreamento das referências nessa situação é bem similar se comparada ao anterior, notando que nessa, os ganhos dos controladores foram ajustados para o novo ponto de operação.

Tabela 5.3 – Ganhos dos controladores digitais na condição: $E = 150\text{ V}$, $V_{ref,p} = 120\text{ V}$

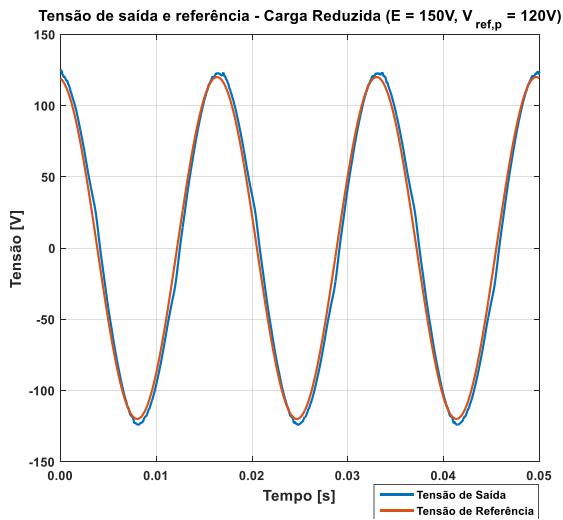
Controle Digital: $E = 150\text{ V}$, $V_{ref,p} = 120\text{ V}$	
Controlador de Corrente	
Ganho Proporcional (K_{pi})	0,044
Ganho Integral (K_{ii})	2
Controlador de Tensão	
Ganho Proporcional (K_{pv})	0,043
Ganho Integral (K_{iv})	138



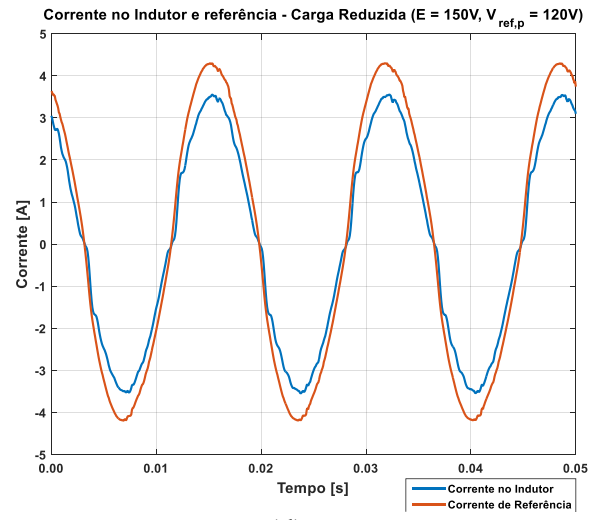
(a)



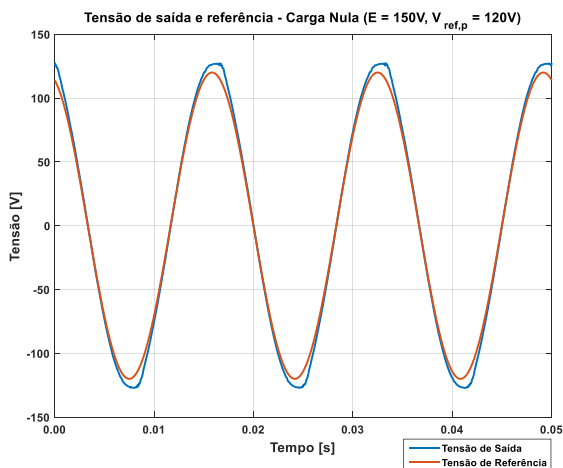
(b)



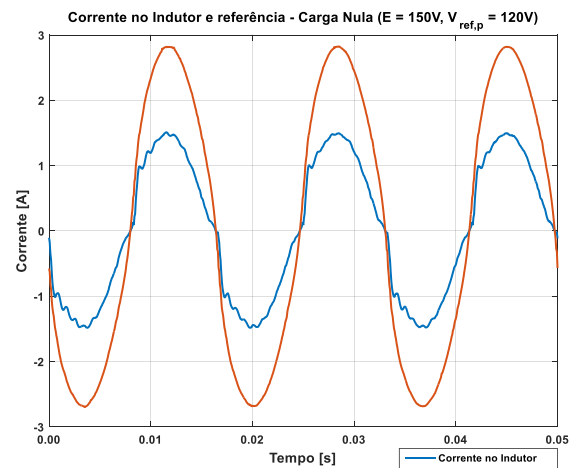
(c)



(d)

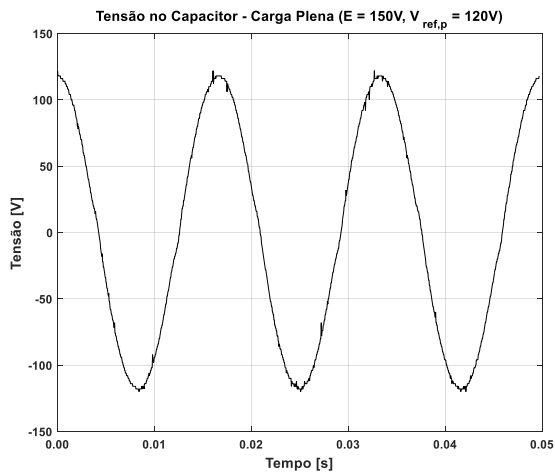


(e)

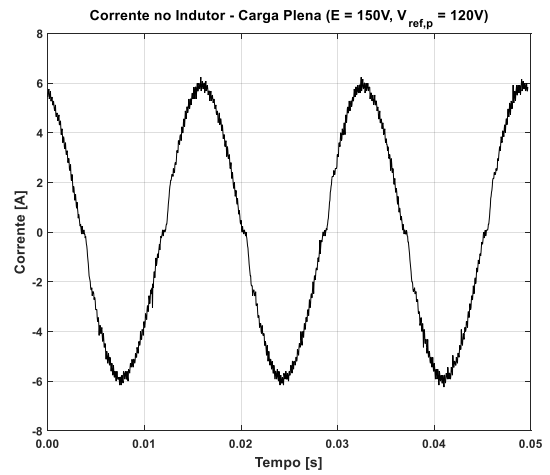


(f)

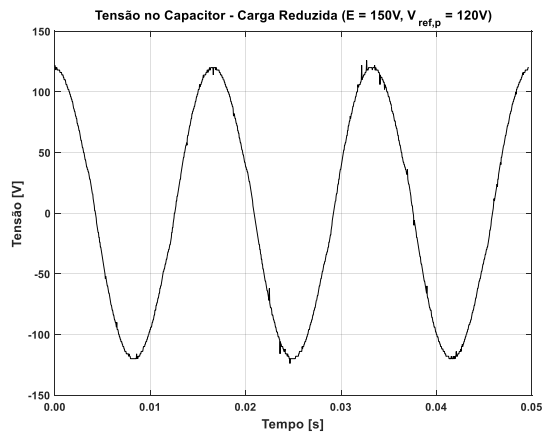
Figura 5.16 – Dados de referência e medição de tensão no capacitor: (a), (c), (e); e corrente no indutor: (b), (d), (f) coletados pelo *software* ControlDesk ($E = 150\text{ V}$, $V_{ref,p} = 120\text{ V}$)



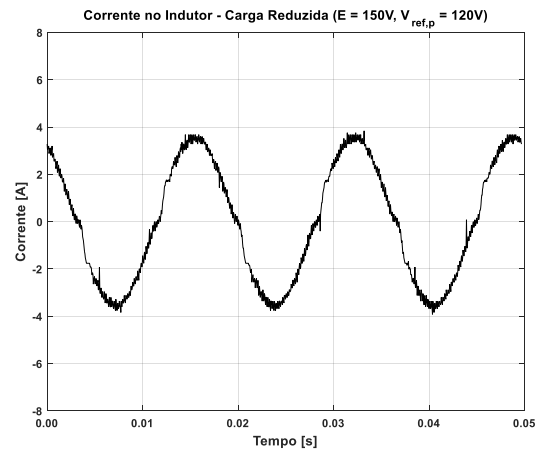
(a)



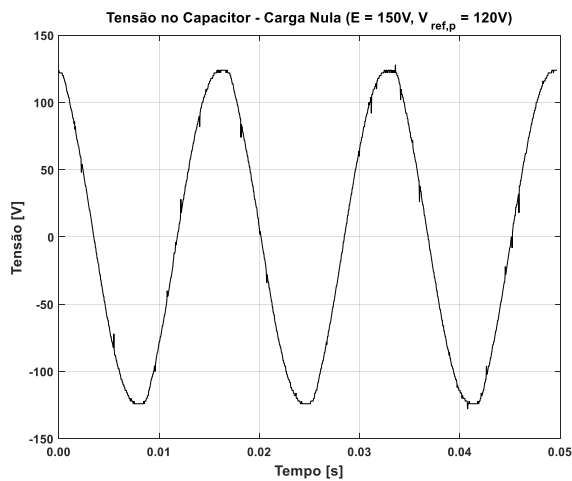
(b)



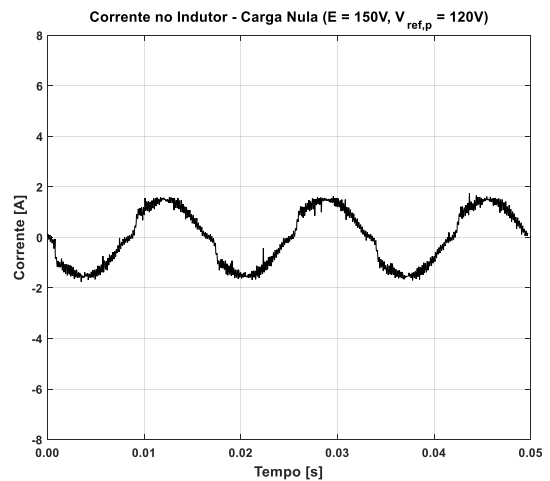
(c)



(d)



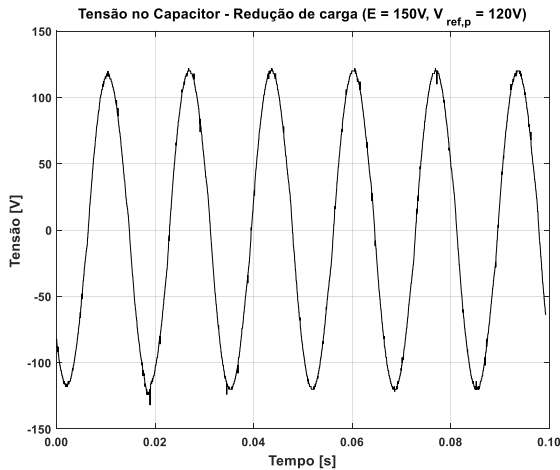
(e)



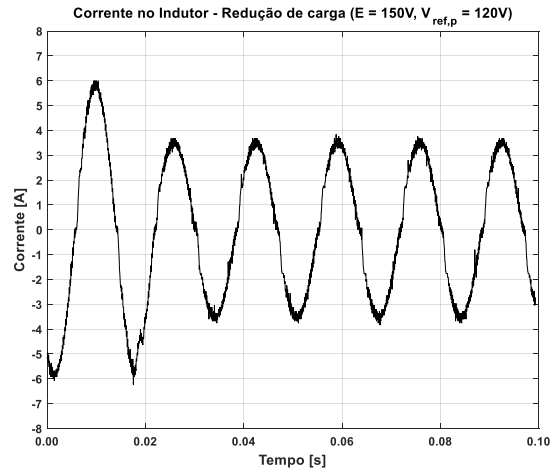
(f)

Figura 5.17 – Tensão no capacitor: (a), (c), (e); e corrente no indutor: (b), (d), (f) medidos pelo Osciloscópio Digital ($E = 150\text{ V}$, $V_{ref,p} = 120\text{ V}$)

Nessa nova condição, ajustado apenas o ganho proporcional da malha de corrente, notou-se um desempenho bem semelhante à demonstrada anteriormente, o controle peca no rastreamento em regime permanente nos aspectos de erro em amplitude e desvio de fase, como pode ser visto nas curvas presentes na Figura 5.16 e Figura 5.17. Avaliando ainda a perturbação na variação de carga, o controle é capaz de se ajustar à nova condição de forma rápida e estável, como ilustra as curvas de tensão e corrente na Figura 5.18 e Figura 5.19.

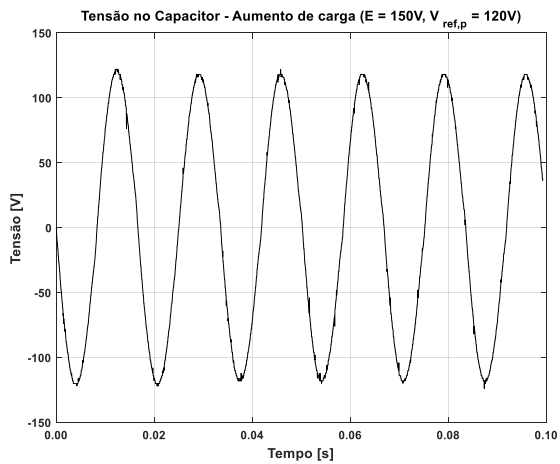


(a)

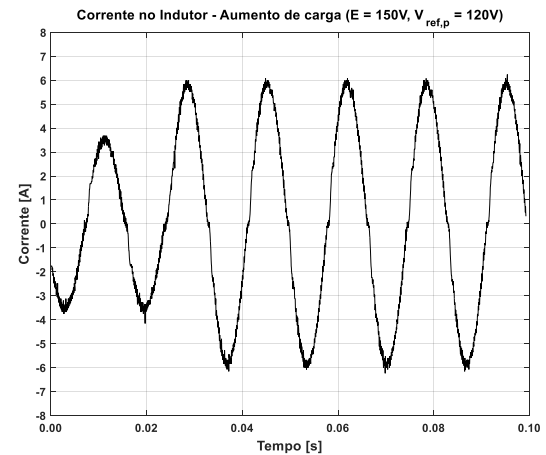


(b)

Figura 5.18 – Desempenho do controle durante redução de carga na: a) tensão no capacitor; b) corrente no indutor ($E = 150\text{ V}$, $V_{ref,p} = 120\text{ V}$)



(a)



(b)

Figura 5.19 – Desempenho do controle durante aumento de carga na: a) tensão no capacitor; b) corrente no indutor ($E = 150\text{ V}$, $V_{ref,p} = 120\text{ V}$)

5.3.2. Valores eficazes da Tensão e Corrente de Saída

De forma a verificar se o controle mantém a tensão eficaz de referência na saída, independente da carga presente na saída, observou-se seu valor calculado a partir das formas de onda adquiridas. A Tabela 5.4 apresenta o valor eficaz da corrente, nas diferentes condições avaliadas, para cada nível de carga na saída. O nível de corrente na condição de carga nula se deve à corrente que circula pelo filtro.

Tabela 5.4 – Nível eficaz de corrente na saída do inversor nas situações avaliadas

Carga	$E = 100 V$	$E = 125 V$	$E = 150 V$
	$V_{ref,p} = 80 V$	$V_{ref,p} = 100 V$	$V_{ref,p} = 120 V$
Plena	3,13 A	3,93 A	4,07 A
Reduzida	1,75 A	2,20 A	2,47 A
Nula	0,71 A	0,88 A	1,07 A

Observando a Tabela 5.5, na variação da carga plena para a reduzida nota-se uma pequena variação do valor eficaz da tensão de saída. Na mudança da carga plena para a carga nula, a maior variação se dá na condição de $E = 150 V$ e $V_{ref,p} = 120 V$, onde na carga plena obteve-se $V_{rms} = 85,0 V$ e na carga nula $V_{rms} = 90,3 V$. Nos demais casos a variação foi inferior a esta. O que mostra que o controle do inversor não é imune à variação de carga na saída.

Tabela 5.5 – Nível eficaz de tensão na saída do inversor nas situações avaliadas

Carga	$E = 100 V$	$E = 125 V$	$E = 150 V$
	$V_{ref,p} = 80 V$	$V_{ref,p} = 100 V$	$V_{ref,p} = 120 V$
Plena	56,1 V	70,2 V	85,0 V
Reduzida	57,9 V	72,3 V	87,1 V
Nula	60,3 V	75,3 V	90,3 V

5.3.3. Distorção Harmônica Total da Tensão de Saída

Calculou-se a distorção harmônica total, utilizando-se a Equação 2.4, a partir dos dados de tensão coletados pelo recurso do *software* ControlDesk. Os resultados obtidos, para cada condição de operação, são reunidos na Tabela 5.6. Como pode-se notar, mesmo em diversos pontos de operação e diferentes condições de carga, obtém-se sempre uma distorção harmônica inferior a 2,5 %. A máxima distorção harmônica encontrada é de 2,13 %, na condição de $E = 125 V, V_{ref,p} = 100 V$, com carga reduzida.

Tabela 5.6 – Distorção harmônica total da tensão de saída do inversor nas situações avaliadas

Carga	$E = 100V$	$E = 125V$	$E = 150V$
	$V_{ref,p} = 80V$	$V_{ref,p} = 100V$	$V_{ref,p} = 120V$
Plena (17,5 Ω)	1,95 %	1,94 %	2,10 %
Reduzida (35 Ω)	2,11 %	2,13 %	2,02 %
Nula	1,85 %	1,78 %	1,78 %

5.4. Conclusões

A utilização da plataforma dSPACE no controle do conversor estático se mostrou significativamente simples, onde necessitou-se apenas ajustar o modelo em MATLAB/Simulink desenvolvido previamente em simulação, incluindo os blocos relacionados às funcionalidades da ferramenta. A utilização do *software* Profiler proporcionou uma compreensão das temporizações de execução das tarefas, permitindo a verificação do algoritmo de controle implementado. O desenvolvimento do leiaute no *software* é de grande auxílio no ajuste dos parâmetros do modelo, o que facilita a execução do controle em tempo real, proporcionando o ajuste do ponto de operação em diversas condições diferentes, sem a necessidade de reinicialização de toda a montagem, por exemplo. A principal limitação no desempenho do controle está relacionada com o fato da amostragem ficar limitada à frequência de chaveamento, além do atraso de um período de amostragem na aquisição das leituras de tensão e corrente. Essa condição limita severamente a faixa de ganhos dos controladores.

6 CONCLUSÕES

O presente estudo demonstrou método para a estimativa das perdas de potência nos elementos de maior contribuição no detrimento da eficiência em equipamentos UPS *double conversion*: dispositivos semicondutores de potência e indutores de filtro. Desenvolveu-se revisão para caracterizar os dispositivos semicondutores, tanto elétrica quanto termicamente, além de avaliação das origens de perdas em indutor, ambos necessários como ponto de partida para a estimativa de perdas em tais elementos. Apresentou-se modelo dos conversores envolvidos na UPS, para auxiliar o desenvolvimento de simulações dos mesmos e caracterizar sua operação estimando-se as perdas nos elementos de interesse. Através da fundamentação elaborada, exibiram-se resultados obtidos a partir das simulações desenvolvidas, exemplificando os cálculos de perdas para uma dada UPS. A plataforma dSPACE e seus recursos são explicitados, direcionando sua aplicação no controle de um inversor ponte completa, montado experimentalmente.

Na análise comparativa das topologias de conversores, observou-se o perfil de rendimento global da UPS, caracterizada de acordo com a Tabela 3.2, em função da frequência de chaveamento, onde a topologia NPC1 se mostrou mais eficiente energeticamente em frequências mais elevadas. É importante ressaltar que o resultado encontrado no presente estudo, não indica que tal comportamento é determinístico para outros módulos de potência e/ou outras configurações de UPS. O que demonstra o privilégio de se trabalhar com ferramentas que auxiliem a obtenção de análises comparativas, de forma ágil e confiável, permitindo que, em uma dada condição, se determine qual a topologia mais adequada, em função dos módulos de potência que se tem disponíveis.

Fato é, que as topologias multiníveis, tanto a NPC1 quanto a NPC2, se comparadas com a dois níveis, acrescentam benefícios ao sistema de uma UPS, uma vez que são de rendimento superior, vide Figura 3.17, além de produzirem uma distorção harmônica significativamente inferior, evidenciado na seção 2.2.2, o que impacta na redução do custo dos elementos de filtro, como comprova as deduções no Apêndice A.2, reduzindo, conseqüentemente, as perdas nos elementos passivos de filtro, os indutores, como constatado pelas análises de simulação apresentadas na seção 3.5.1.

A ferramenta de cálculo de perdas em dispositivos semicondutores facilita e agiliza o cômputo das perdas associadas a esse elemento, o qual requer numerosos e detalhados parâmetros

de entrada. Visto que há uma grande variedade de curvas características diretamente ligadas às perdas no dispositivo e critérios de teste relacionados às mesmas. O *software* desenvolvido para este fim, apresentado no Apêndice A.1, permite a catalogação de inúmeros módulos de potência, em topologias diferentes, de forma simples e prática. Mostrando-se um recurso muito vantajoso, pelos mecanismos de avaliação de perdas em função de parâmetros do sistema, propiciando ao projetista avaliar diferentes condições de operação e seu impacto no rendimento da UPS.

Apresentou-se uma revisão completa da plataforma dSPACE, desde a instalação física do equipamento de prototipagem, até o uso e configurações dos *softwares* disponíveis, visando o melhor aproveitamento de suas funcionalidades, bem como a facilitação do seu uso em trabalhos futuros. Nesse estudo focou-se na sua utilização para o controle e comando de um inversor ponte completa, dentro de tal perspectiva, desenvolveu-se uma montagem experimental para realização de testes, a fim de avaliar o desempenho e funcionamento da plataforma dSPACE.

Os resultados experimentais exibidos na seção 5.3 demonstram o desempenho do controle do inversor ponte completa utilizando-se da plataforma dSPACE. O *software* ControlDesk é grande aliado na efetivação do controle e tempo real, facilitando a visualização dos sinais de interesse e edição das variáveis do sistema de controle, além de proporcionar o registro dos sinais monitorados. As formas de onda adquiridas, tanto pelo ControlDesk, quanto pelo osciloscópio digital, demonstraram certa limitação no desempenho do controle com relação ao rastreamento da referência, devido principalmente à frequência de amostragem e o atraso de um período na aquisição dos sinais pelo conversor analógico-digital.

Em síntese, a plataforma dSPACE se mostrou uma ferramenta de grande utilidade e simplicidade no controle do conversor, possibilitando o ajuste do controle em tempo real, a cada condição avaliada, uma vez familiarizados os *softwares* e seu princípio de funcionamento. É possível realizar testes em conversores com certa agilidade e avaliar seu desempenho através da aquisição dos sinais de interesse. Necessitando apenas do ajuste no condicionamento dos sinais para cada aplicação, uma vez que depende do nível dos sinais a serem monitorados.

6.1. Propostas de continuidade

A ferramenta de cálculo de perdas pode ainda ser enriquecida com outras funcionalidades como, por exemplo: a dependência da temperatura nas curvas características e opção de ser utilizado o circuito térmico em regime transitório, com recurso de aquisição da curva de impedância térmica e seu *fitting*, tanto dos dispositivos, quanto do dissipador, aproximando-a da Equação 2.14. Possibilitando não só uma estimativa mais fiel das perdas em um dado nível de potência, já que a temperatura é levada em conta, como também o desempenho térmico transiente dos dispositivos semicondutores. Existe também a necessidade de validação experimental do cálculo de perdas em conversores, cujo método mais comum empregado na literatura é o calorímetro, para atestar a qualidade do método, bem como identificar ajustes no mesmo. Nesse sentido, pode-se utilizar a plataforma dSPACE para o seu controle em uma condição conhecida, comparando os resultados dos cálculos com os obtidos experimentalmente pelo método de calorímetro.

A caracterização das origens das perdas presentes em indutores mostra sua dependência com os aspectos físicos do elemento: sua bobina de enrolamento e seu núcleo magnético. Em virtude disto, o método de projeto físico de indutores se fez necessário e foi elaborado, como deduzido pelo Apêndice A.3, com a finalidade de proporcionar parâmetros de entrada ao cálculo de perdas em indutores. O cálculo de perdas é dividido em duas origens principais: de enrolamento (baixa frequência) e núcleo (alta frequência). Como demonstrado nas análises da seção 3.5.1 as perdas no núcleo praticamente se mantém constantes com o aumento da frequência de chaveamento, em contrapartida as de enrolamento tem uma redução significativa, pelo menor volume de material. O que apresenta como vantagem a operação em frequências mais elevadas: a redução de perdas e volume do indutor de filtro. É importante avaliar experimentalmente o método de projeto de indutores, para uma verificação efetiva da sua qualidade ou da necessidade de ajuste. Permitindo também a validação do cálculo de perdas nesse elemento.

Se for considerada ainda a tecnologia de semicondutores baseados em Carbetto de Silício, mesmo na topologia dois níveis o rendimento é significativamente superior ao das três níveis NPC, baseadas em Silício somente. Esse tipo de material apresenta perdas de chaveamento significativamente reduzidas, permitindo operá-lo em frequência elevadas, reduzindo o peso dos elementos de filtro. Naturalmente, as topologias multiníveis podem também ser beneficiadas pela tecnologia de material, em certos módulos apenas os diodos em antiparalelo têm como composição SiC, em outros a chave, ou IGBT ou MOSFET, é também baseada em SiC. Indicando como

caminho natural para a melhoria da eficiência de equipamentos UPS, reduzindo as perdas nos conversores, ou ainda nos elementos de filtragem, uma vez que possibilita a operação em alta frequência sem detrimento expressivo na eficiência global do sistema. Uma avaliação experimental dos dispositivos com esse tipo de material é de grande interesse para que se possam atestar tais benefícios.

Tendo em vista as demais funcionalidades e recursos da plataforma dSPACE pode-se explorá-las, visando não só a aplicação em controle de conversores, onde o controle em modo retificador pode ainda ser estudado, como também em outras aplicações, como controle de máquinas elétricas, por exemplo, utilizando da base elaborada por este estudo. Para que se obtenha um melhor desempenho do controle do conversor, será necessário utilizar uma amostragem no dobro da frequência de chaveamento, o que reduziria ainda o impacto no atraso de um período na aquisição dos conversores A/D. Para isso o sinal de interrupção do PWM (sinal ST1PWM) deve estar associado a tal frequência, é preciso investigar, portanto, se essa condição pode ser satisfeita internamente, visto que o PWM escravo tem funcionalidades pré-programadas, ou se é necessário a utilização desse sinal em modo de entrada, fazendo-se uso de fonte externa para a interrupção.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] P. de T. P. Lopes, “Desenvolvimento de uma UPS trifásica/monofásica de 6kVA,” Universidade Federal de Minas Gerais, 2000.
- [2] “Commercial vs Industrial UPS Systems,” *Ametek Solidstate Controls - White Paper*. [Online]. Available: http://www.solidstatecontrolsinc.com/-/media/ameteksolidstatecontrols/documentation/white_papers/commercial_vs_industrial_ups.pdf?la=en. [Accessed: 12-Jul-2016].
- [3] H. Handlin and M. Szalkus, “Uninterruptible Power Supply (UPS) Efficiency A White Paper on ‘Why Energy Efficiency Numbers Add Up,’” 2014.
- [4] B. Fortenbury and M. Ton, “High performance buildings: Data centers uninterruptible power supplies (UPS),” 2005.
- [5] “High Efficiency UPS Systems for a Power Hungry World,” *Active Power - White Paper 114*, 2009. [Online]. Available: <http://www.activepower.com/wp-content/uploads/2014/09/WP114-High-Efficiency-UPS-Systems-for-a-Power-Hungry-World.pdf>. [Accessed: 12-Jul-2016].
- [6] R. H. Bishop, *Mechatronic System Control, Logic, and Data Acquisition*, 2nd ed. CRC Press, 2008.
- [7] T. B. Welch, C. H. G. Wright, and M. G. Morrow, *Real-Time Digital signal Processing from MATLAB to C with the TMS320C6x DSPs*, 2nd ed., vol. 1. CRC Press, 2015.
- [8] V. Avelar, “Making Large UPS Systems More Efficient,” *American Power Conversion - White Paper #108*, 2007. .
- [9] B. Bai and D. Chen, “Inverter IGBT loss analysis and calculation,” *Proc. IEEE Int. Conf. Ind. Technol.*, no. 3, pp. 563–569, 2013.
- [10] “IGBT Loss Calculation Using the Thermal Module,” *PowerSim Tech - PSIM Tutorial*, 2014. [Online]. Available: <https://powersimtech.com/drive/uploads/2016/03/Tutorial-IGBT-Loss-Calculation.pdf>. [Accessed: 12-Jul-2016].
- [11] Z. Zhou, M. S. Khanniche, P. Igic, S. T. Kong, M. Towers, and P. A. Mawby, “A fast power loss calculation method for long real time thermal simulation of IGBT modules for a three-

- phase inverter system,” *Int. J. Numer. Model. Electron. Networks, Devices Fields*, vol. 19, no. 1, pp. 33–46, 2006.
- [12] N. Rasmussen, “The Different Types of UPS Systems,” *Schneider Electric – Data Center Science Center - White Paper 1*, 2011. [Online]. Available: http://www.apcmedia.com/salestools/SADE-5TNM3Y/SADE-5TNM3Y_R7_EN.pdf?sdirect=true. [Accessed: 12-Jul-2016].
- [13] C. H. F. Félix, “Controle digital de uma UPS trifásica,” Universidade Federal de Minas Gerais, 2003.
- [14] A. P. L. Cota, R. C. Abrantes, P. C. Cortizo, R. A. S. Santana, and W. C. Padrão, “Comparison of three 3-phase converter topologies for UPS applications,” *2015 IEEE 13th Brazilian Power Electron. Conf. 1st South. Power Electron. Conf.*, no. iv, pp. 1–6, 2015.
- [15] M. Schweizer, T. Friedli, and J. W. Kolar, “Comparative Evaluation of Advanced 3-level Inverter / Converter Topologies against 2-level Systems,” Swiss Federal Institute of Technology Zurich.
- [16] Mathworks, “Generate pulses for PWM-controlled 2-level converter - Simulink.” [Online]. Available: <http://www.mathworks.com/help/physmod/sps/powersys/ref/pwmgenerator2level.html>. [Accessed: 12-Jul-2016].
- [17] Mathworks, “Generate pulses for PWM-controlled three-level converter - Simulink.” [Online]. Available: <http://www.mathworks.com/help/physmod/sps/powersys/ref/pwmgenerator3level.html>. [Accessed: 12-Jul-2016].
- [18] T. Prathiba and P. Renuga, “A comparative study of Total Harmonic Distortion in Multi level inverter topologies.,” *J. Inf. Eng. Appl.*, vol. 2, no. 3, pp. 26–37, 2012.
- [19] Mathworks, “Compute total harmonic distortion (THD) of signal - Simulink.” [Online]. Available: <http://www.mathworks.com/help/physmod/sps/powersys/ref/thd.html>. [Accessed: 12-Jul-2016].
- [20] A. Wintrich, N. Ulrich, T. Werner, and T. Reimann, *Application Manual Power Semiconductors*. Semikron, 2015.

- [21] A. Volke and M. Hornkamp, *IGBT Modules Technologies, Driver and Application*, 2nd ed. Infineon Technologies AG, 2012.
- [22] D. Graovac and M. Pürschel, *IGBT Power Losses Calculation Using the Data-Sheet Parameters*. Infineon Technologies AG, 2009.
- [23] I. T. AG, *AN2011-05 Industrial IGBT Modules Explanation of Technical Information*. Infineon Technologies AG, 2015.
- [24] “Power Semiconductor Devices.” [Online]. Available: <http://www.allaboutcircuits.com/technical-articles/a-review-on-power-semiconductor-devices/>. [Accessed: 12-Jul-2016].
- [25] “Switching Losses: Effects on Semiconductors.” [Online]. Available: <http://www.allaboutcircuits.com/technical-articles/switching-losses-effects-on-semiconductors/>. [Accessed: 12-Jul-2016].
- [26] M. Schweizer, T. Friedli, and J. W. Kolar, “Comparison and implementation of a 3-level NPC voltage link back-to-back converter with SiC and Si diodes,” *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*, pp. 1527–1533, 2010.
- [27] Infineon, “FF50R12RT4 Technische Information / Technical Information,” 2013.
- [28] M. März and P. Nance, “Thermal Modeling of Power Electronic Systems,” *Infineon Technol. AG Munich*, pp. 1–20, 2000.
- [29] A. F. Robertson and D. Gross, “An Electrical-Analog Method for Transient Heat-Flow Analysis,” *J. Res. Natl. Bur. Stand. (1934)*, vol. 61, no. 2, pp. 105–115, 1958.
- [30] Hitachi, “Thermal Equivalent Model of IGBT Modules,” 2015. [Online]. Available: http://www.hitachi-power-semiconductor-device.co.jp/product/igbt/pdf/thermal_model.pdf. [Accessed: 12-Jul-2016].
- [31] Semikron, “P16 Datasheet Heatsink,” pp. 8–11, 2005.
- [32] A. D. Rajapakse, A. M. Gole, and P. L. Wilson, “Electromagnetic transients simulation models for accurate representation of switching losses and thermal performance in power electronic systems,” *IEEE Trans. Power Deliv.*, vol. 20, no. 1, pp. 319–327, 2005.
- [33] F. M. F. Dos Santos, “Qualidade De Energia—Comparação Das Normas Iec 61000-3-2 E Ieee

- 519,” *Monografias.Poli.Ufrj.Br*, 2007.
- [34] T. L. de S. Teixeira, “Sistema de energia ininterrupto monofásico e simulador de carga eletrônico,” Universidade Federal de Minas Gerais, 2001.
- [35] F. A. Diório, “Estudo de um inversor pseudo-ressonante: uma aplicação em sistemas de energia ininterruptos,” Universidade Federal de Minas Gerais, 1995.
- [36] M. Liserre, F. Blaabjerg, and S. Hansen, “Design and Control of an LCL -Filter-Based Three-Phase Active Rectifier,” vol. 41, no. 5, pp. 1281–1291, 2005.
- [37] Vishay, “Film Capacitors,” *Gen. Tech. Inf.*, pp. 1–8, 2012.
- [38] S. A. D. Contreras, “Estudo da aplicação de transformadores intercelulares em inversores de tensão,” Universidade Federal de Minas Gerais, 2014.
- [39] C. R. Sullivan and R. Y. Zhang, “Simplified Design Method for Litz Wire,” *IEEE Appl. Power Electron. Spec. Conf. APEC Tutor.*, pp. 2667–2674, 2014.
- [40] J. Mühlethaler, J. Biela, J. W. Kolar, and a Ecklebe, “Improved Core Loss Calculation for Magnetic Components Employed in Power Electronic Systems Improved Core Loss Calculation for Magnetic Components Employed in Power Electronic Systems,” vol. 1, no. Apec, pp. 1729–1736, 2011.
- [41] Dartmouth College, “Software for Magnetics Design.” [Online]. Available: <https://engineering.dartmouth.edu/inductor/programs.shtml>. [Accessed: 12-Jul-2016].
- [42] C. W. T. MCLYMAN, *TRANSFORMER AND INDUCTOR DESIGN HANDBOOK*, 3rd ed. CRC Press, 2004.
- [43] A. Stabile, C. Boccaletti, and A. J. M. Cardoso, “A Power Loss Measurement Method Applied to Static Power Converters,” *Instrum. Meas. IEEE Trans.*, vol. 62, no. 2, pp. 344–352, 2013.
- [44] S. Buso and P. Mattavelli, *Digital Control in Power Electronics*, 1st ed. Morgan & Claypool, 2006.
- [45] S. Buso, “Digital control of switching mode power supplies,” pp. 1–74, 2011.
- [46] S. Jahn, M. Margraf, V. Habchi, and R. Jacob, “Qucs Technical Papers.” [Online]. Available:

<http://qucs.sourceforge.net/tech/technical.html>. [Accessed: 12-Jul-2016].

- [47] K. Ogata, “Discrete-time control systems.” 1987.
- [48] M. M. Stopa, “Controle do motor de indução por orientação de campo: uma implementação utilizando um conversor PWM reversível,” Universidade Federal de Minas Gerais, 1997.
- [49] Texas Instruments, “TMS320F240 DSP Controller,” 2002.
- [50] dSPACE, “DS1103 PPC Controller Board Hardware Installation and Configuration,” 2014.
- [51] dSPACE, “DS1103 PPC Controller Board Features,” 2010.
- [52] A. M. Hava, R. J. Kerkman, and T. a Lipo, “Simple Analytical and Graphical Methods for Carrier-Based PWM-VSI Drives,” *IEEE Trans. Power Electron.*, vol. 14, no. 1, pp. 49–61, 1999.
- [53] A. Ghaffari, “dSPACE and Real-Time Interface in Simulink,” vol. 12, 2012.
- [54] N. Quijano and K. Passino, “A Tutorial Introduction to Control Systems Development and Implementation with dSPACE,” 2015.
- [55] dSPACE, “dSPACE Profiler Guide,” 2015.
- [56] S. L. Graham, P. B. Kessler, and M. K. Mckusick, “gprof: a Call Graph Execution Profiler.”
- [57] dSPACE, “DS1103 PPC Controller Board RTI Reference,” 2010.
- [58] dSPACE, “dSPACE Release Quick Software Installation Guide,” 2014.
- [59] dSPACE, “dSPACE Release Software Installation and Management Guide,” 2014.
- [60] dSPACE, “ControlDesk Next Generation Basic Practices Guide,” 2014.
- [61] dSPACE, “ControlDesk Next Generation Advanced Practices Guide,” 2014.
- [62] dSPACE, “Directory listing of dSPACE FAQ documents.” [Online]. Available: <https://www.dspace.com/shared/support/faqpdf/>. [Accessed: 12-Jul-2016].
- [63] LEM, “Current Transducer LT 100-S / SP30.”
- [64] LEM, “Voltage Transducer LV 20-P,” 2013.
- [65] Texas Instruments, “LM7321x Single and LM7322x Dual Rail-to-Rail Input and Output \pm

- 15-V , High-Output Current and Unlimited Capacitive Load Operational Amplifier,” 2015.
- [66] Texas Instruments, “SN5407, SN5417, SN7407, SN7417 Hex Buffers / Drivers With Open-Collector High-Voltage Outputs,” 2004.
- [67] Magnetics, “Powder Cores,” 2015.
- [68] Magnetics, “Core Selector Charts,” pp. 3–5.
- [69] dSPACE, “MATLAB Compatibility - dSPACE.” [Online]. Available: <https://www.dspace.com/de/gmb/home/support/supvers/supverscompm/mlcomp.cfm>. [Accessed: 12-Jul-2016].
- [70] R. Mancini, “Op Amps for Everyone,” *Texas Instruments Des. Ref.*, no. August, pp. 279–280, 2002.

APÊNDICE A Cálculo de Perdas em UPS

A.1 Software de Cálculo de Perdas

Para automatização do cálculo de perdas, desenvolveu-se uma ferramenta computacional com objetivo de facilitar a aquisição e gerenciamento de dados dos dispositivos semicondutores adquiridos via *datasheet*, além de permitir uma rotinização e automatização dos cálculos de perdas para as três topologias de conversores em estudo em diferentes condições de operação. O *software* elaborado em MATLAB/Simulink possui duas abordagens diferentes, uma *on-line*, que simula e fornece o resultado de perda para uma dada condição e outra *off-line*, que calcula as perdas baseadas em resultados de simulações prévios.

Uma funcionalidade em comum que os *softwares* apresentam é a aquisição das curvas características de interesse via *datasheet*. Insere-se a imagem da curva, fornecendo os dados dos limites de eixo, para aquisição de pontos através do *mouse*, de maneira que o programa armazena as curvas para serem utilizadas em *look-up table* no seu mapeamento durante o cálculo numérico. Essa funcionalidade permite que seja armazenada uma espécie de biblioteca com diversos dispositivos diferentes, não sendo necessária uma nova aquisição das curvas a cada cálculo realizado. A Figura A.1.1 ilustra a tela de aquisição das curvas.

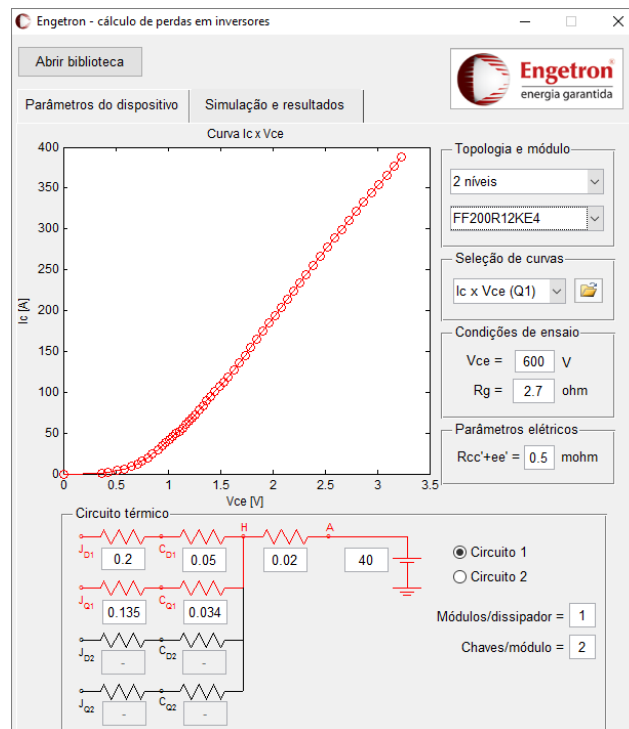


Figura A.1.1 – Tela de aquisição de dados dos dispositivos

Os passos para aquisição de uma curva é simples e intuitivo, auxiliado por janelas *pop-up* com instruções claras. Deve-se selecionar a imagem da respectiva curva a ser coletada, clicando-se no ícone de pasta na seção *Seleção de curvas*, escolhendo então a figura no diretório onde está armazenada. O primeiro passo é inserir os limites dos eixos (coordenadas x, y superior esquerda e inferior direita). Em seguida, coletam-se os pontos a partir de cliques como botão esquerdo do *mouse* no traço da curva, onde a tecla seta para cima (\uparrow) dá um *zoom in*, aproximando a curva e a tecla seta para baixo (\downarrow) dá um *zoom out*, afastando a curva. A finalização da aquisição se dá pelo clique com o botão direito do *mouse*. A Figura A.1.1 exemplifica a tela de aquisição das curvas. No registro dos dados dos dispositivos pode-se ainda cadastrar os dados de teste das curvas de chaveamento (tensão c.c. e resistor de *gate*), a resistência de contato $R_{cc,ee}$ (se houver), como também os dados de resistência térmica dos dispositivos. O *software*, em ambos os casos, só oferece a opção de avaliar termicamente o módulo por meio da abordagem em regime permanente, não sendo considerada a de regime transitório.

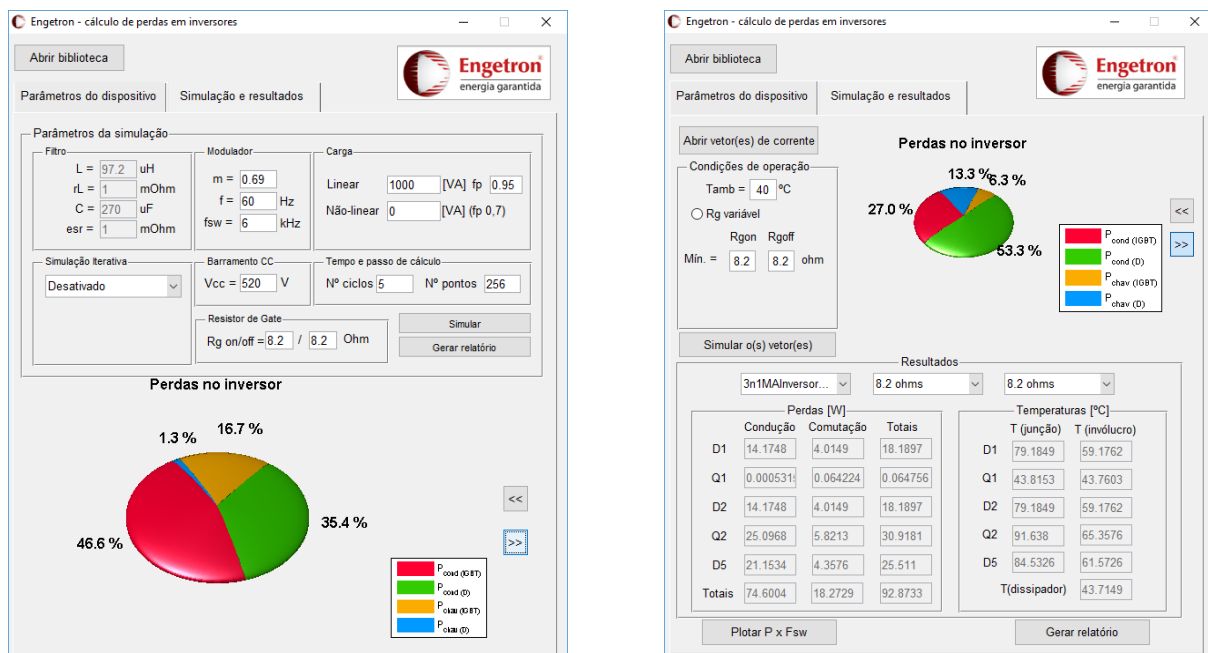


Figura A.1.2 – Tela para o cálculo de perdas nas abordagens: a) *on-line*; b) *off-line*

A abordagem *on-line* para o cálculo se dá por meio da simulação e cálculo de perdas simultâneos. Em outra aba, ilustrada pela Figura A.1.2a, insere-se dados para a simulação do conversor, como por exemplo: dados dos elementos de filtro, nível de carga (linear ou não linear), frequência de chaveamento, passo de cálculo, número de ciclos, entre outros. É possível que se varie a frequência de chaveamento e os resistores de *gate* para realização de cálculo iterativo. Após o cálculo são exibidos os resultados na tela, onde os mesmos podem ser salvos em arquivo formatado

*.txt. A abordagem *off-line* o usuário deve inserir no programa arquivos *.txt na aba seguinte, exibida na Figura A.1.2b, com dados do perfil de corrente em cada chave da topologia. Esses dados devem ser obtidos em simulações previamente realizadas, não sendo necessária sua realização a cada cálculo de perdas. Essa abordagem permite que se insiram diversos arquivos *.txt, com diversos perfis de corrente diferentes, de forma que o programa os avaliará iterativamente, podendo ainda, variarem-se os resistores de *gate*.

A.2 Projeto de Filtro LCL/LC

O circuito elétrico em questão para o dimensionamento dos elementos de filtro é ilustrado pela Figura A.2.1. No caso, a queda de tensão no indutor é a diferença entre a tensão modulada pelo PWM e a tensão no capacitor, a qual é assumida puramente senoidal.

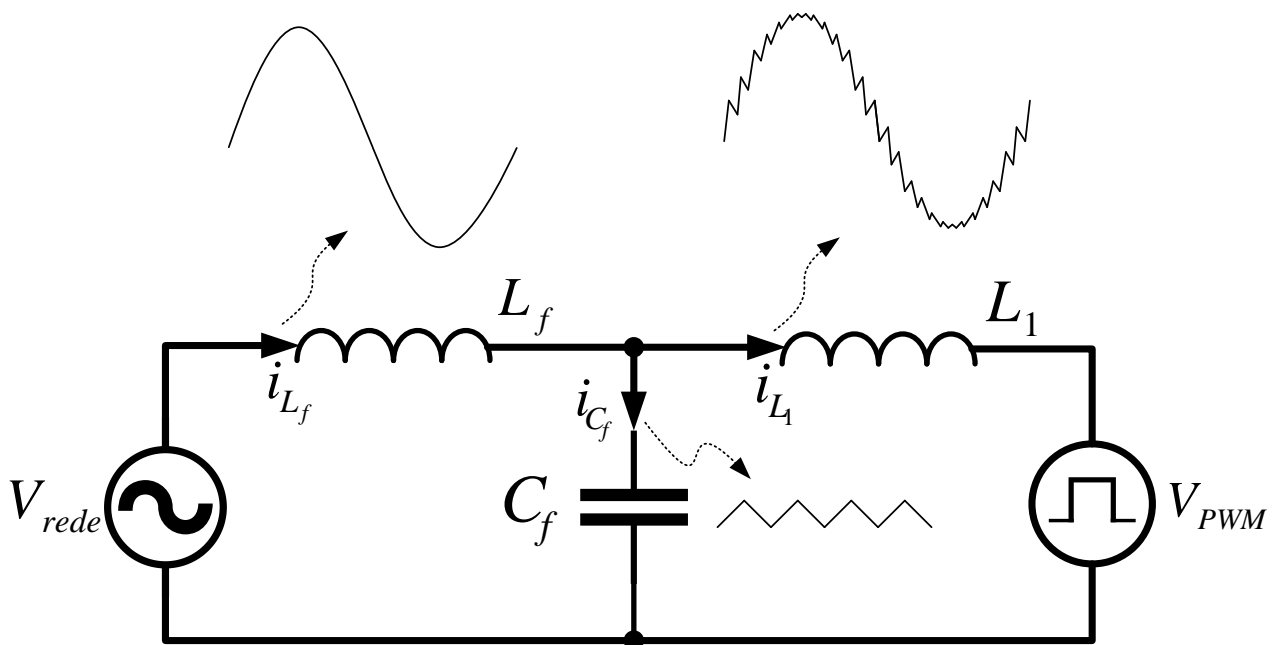


Figura A.2.1 – Ilustração do filtro LCL e as correntes em cada elemento

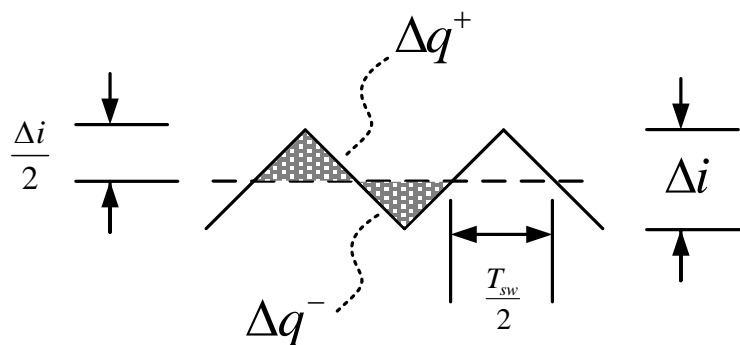


Figura A.2.2 – Detalhe da corrente no Capacitor

Da queda de tensão no indutor L1 tem-se:

<p>Para o caso dois níveis</p> $\frac{E}{2} - V_c = L \frac{\Delta_i}{t_1}$ $-\frac{E}{2} - V_c = L \frac{-\Delta_i}{t_2}$ $t_1 = \frac{L\Delta_i}{\frac{E}{2} - V_c}$ $t_2 = \frac{L\Delta_i}{\frac{E}{2} + V_c}$ $t_1 + t_2 = T_{sw}$ $T_{sw} = L\Delta_i \left(\frac{1}{\frac{E}{2} - V_c} + \frac{1}{\frac{E}{2} + V_c} \right)$ $\Delta_i = \frac{\left(\frac{E}{2}\right)^2 - V_c^2}{LEF_{sw}}$	<p>Para o caso três níveis NPC</p> $\frac{E}{2} - V_c = L \frac{\Delta_i}{t_1}$ $0 - V_c = L \left(-\frac{\Delta_i}{t_2} \right)$ $t_1 = L\Delta_i \left(\frac{2}{E - 2V_c} \right)$ $t_2 = \frac{L\Delta_i}{V_c}$ $t_1 + t_2 = T_{sw}$ $T_{sw} = L\Delta_i \left(\frac{1}{V_c} + \frac{2}{E - 2V_c} \right)$ $\Delta_i = \frac{1}{LF_{sw}} \frac{V_c E - 2V_c^2}{E}$
<p>Determinando V_c para a condição máxima de <i>ripple</i> de corrente Δi_{max}:</p>	
$\Delta i_{max} \rightarrow V_c = 0$ $\Delta i_{max} = \frac{E}{4LF_{sw}}$ $L = \frac{E}{4F_{sw}\Delta i_{max}}$	$\Delta i_{max} \rightarrow V_c = \frac{E}{4}$ $\Delta i_{max} = \frac{1}{LF_{sw}} \frac{E}{8}$ $L = \frac{E}{8F_{sw}\Delta i_{max}}$

As relações demonstradas colocam a indutância em função de parâmetros da UPS, o nível de tensão plena do barramento de c.c. e a frequência de chaveamento do modulador. Além ainda do critério de *ripple* de corrente máximo admissível no indutor.

A corrente de alta frequência filtrada pelo capacitor, mostrada na Figura A.2.1, é detalhada na Figura A.2.2, essa tem amplitude equivalente à metade do *ripple* de corrente no indutor. Pela conservação da energia, a carga acrescida ao capacitor (Δq^+) é equivalente à carga decrescida (Δq^-), de forma que as áreas da onda de corrente equivalem ao nível de carga, que é aproximada pela área de um triângulo, de dimensões mostradas na Figura A.2.2, altura equivalente à metade do *ripple* de corrente e base equivalente à metade do período de chaveamento.

Pela equação de área do triângulo, tem-se:
$\Delta q^+ = \frac{1}{2} \frac{\Delta i}{2} \frac{T_{sw}}{2}$ $\Delta q^+ = \Delta i \frac{T_{sw}}{8}$
Da definição de capacitância:
$C_f = \frac{\Delta q^+}{\Delta V}$ $C_f = \frac{\Delta i}{8F_{sw}\Delta V}$

Observa-se que a relação obtida relaciona a capacitância com a frequência de chaveamento do PWM, além do máximo *ripple* de corrente e tensão admissíveis, os quais, em geral, são assumidos como 20% e 1% respectivamente. Outros critérios podem ser adotados na determinação da capacitância, como, por exemplo, o de energia reativa do sistema [36].

A.3 Projeto Físico de Indutor

O projeto físico de indutor é realizado conforme manual do fabricante Magnetics [67], será apresentado o método utilizado no estudo para obtenção dos modelos físicos de indutores, a fim de estimar as perdas nos mesmos. Em todos os projetos desenvolvidos nesse estudo consideraram-se núcleos toroidais de material pó de ferro da fabricante Magnetics modelo *High Flux Toroids*.

O ponto de partida do projeto é determinar valor de indutância para a aplicação desejada, de acordo com as relações mostradas na Tabela 2.4. Em seguida é necessário avaliar o núcleo necessário, de acordo com o produto LI^2 , ou seja, o produto da indutância com o quadrado da corrente máxima no indutor. A partir do valor obtido consulta-se em tabela fornecida pelo fabricante [68], a correspondência do modelo de núcleo necessário à aplicação, a exemplo da Figura A.3.1.

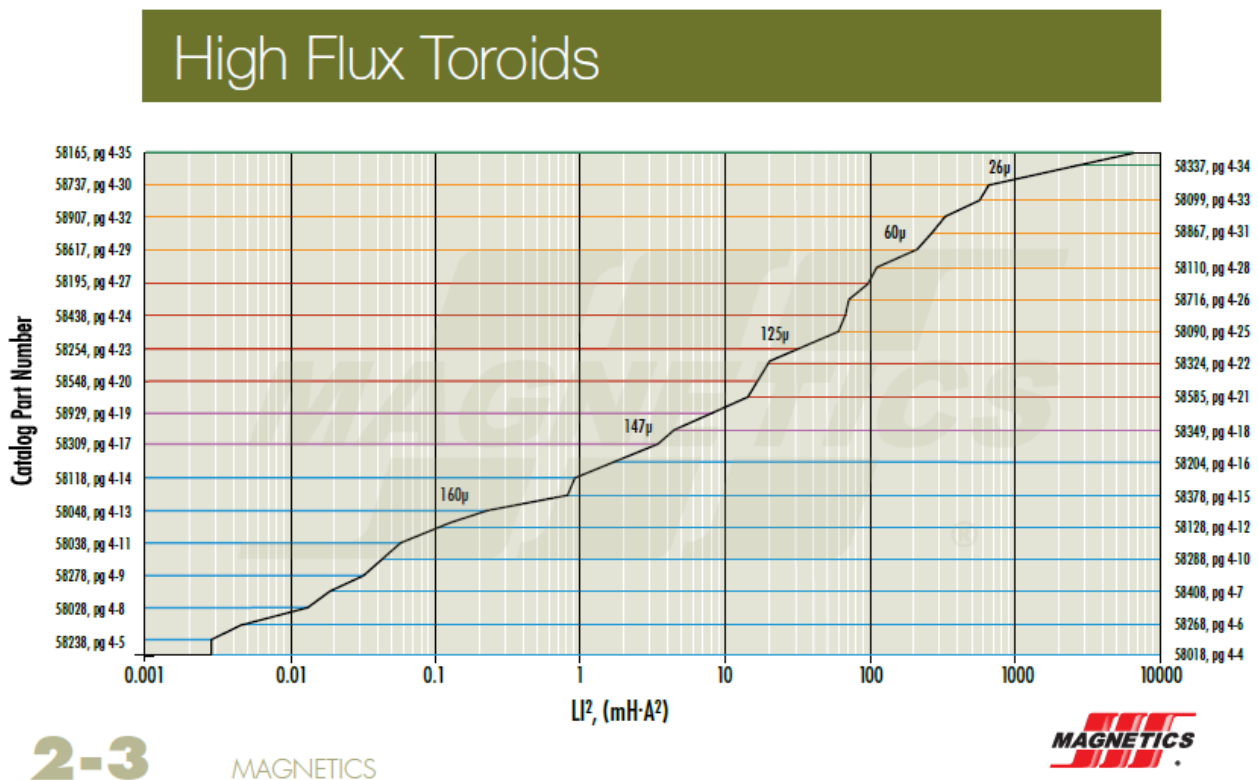


Figura A.3.1 – Tabela de escolha do núcleo fornecida pela fabricante Magnetics

Consultando-se o catálogo de núcleos do fabricante obtêm-se todas as dimensões do núcleo, além disso, o fabricante fornece dados das curvas características do material, em forma de equação. Determinado o núcleo e seus parâmetros, o próximo passo é a obtenção do número de espiras

necessário no núcleo, para determinação da indutância desejada. A Tabela A.3.1 reúne os dados de interesse fornecidos pelo fabricante. A Figura A.3.2 exemplifica o núcleo toroidal.

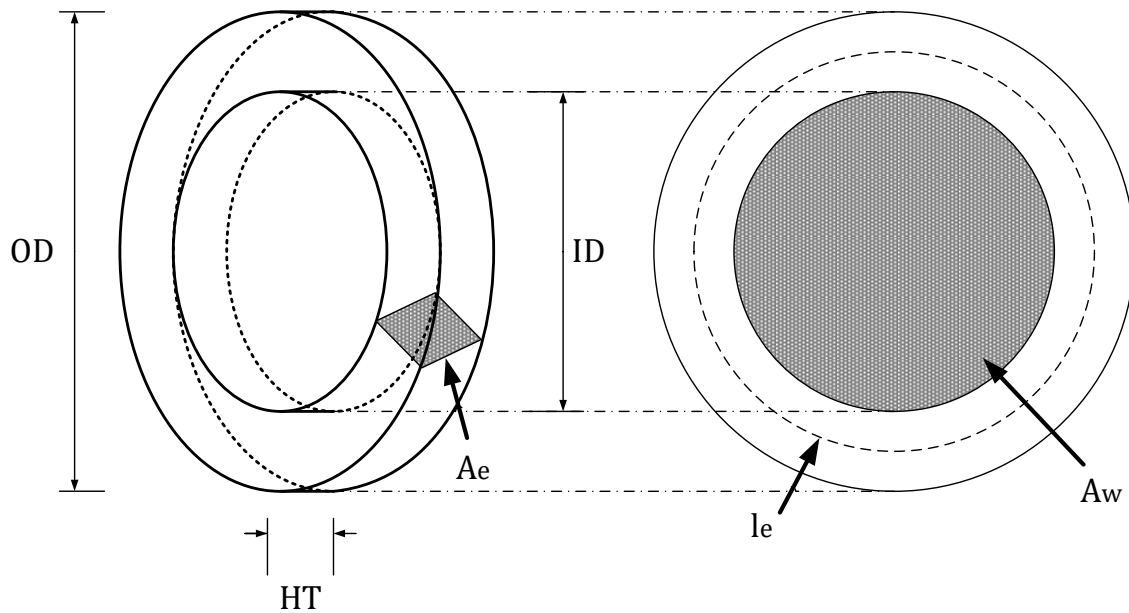


Figura A.3.2 – Diagrama de um núcleo toroidal

Tabela A.3.1 – Parâmetros do núcleo toroidal

Parâmetro	Símbolo	Unidade
Fator de Indutância	A_L	H/T^2
Comprimento do caminho magnético	l_e	m
Área de seção reta do núcleo	A_e	m^2
Área da janela do núcleo	A_w	m^2
Diâmetro Externo	OD	m
Diâmetro Interno	ID	m
Altura	HT	m

O número de espiras (N) é dado pela relação mostrada na Equação A.3.1, o mesmo depende da indutância (L) e do fator de indutância A_L dado em nH/T^2 , essa informação é fornecida pelo catálogo de núcleos, devendo-se observar ainda o pior caso de tolerância dado pelo fabricante. A partir do número de espiras (N) determinado, deve-se avaliar a polarização em AT/m , dada pela Equação A.3.2, onde l_e é o comprimento do caminho magnético no núcleo. Em seguida, determina-se o percentual de atenuação da permeabilidade inicial, para a polarização calculada, em função da curva de Permeabilidade x Polarização. Avalia-se a influência do percentual de atenuação multiplicando-o pelo fator de indutância (A_L), observando por meio da Equação A.3.1 o valor de indutância para tal condição. Caso haja uma divergência significativa, um novo valor do número de

espiras deve ser calculado, em função, dessa vez, do novo fator de indutância. Essa etapa deve ser repetida até que se obtenha um número de espiras, que apesar da atenuação da permeabilidade mantenha a indutância o mais próxima possível do valor desejado.

$$N = \sqrt{\frac{L}{A_L}} \quad \text{Equação A.3.1}$$

$$H = \frac{NI}{l_e} \quad \text{Equação A.3.2}$$

A informação do número de espiras é ponto de partida para definição das características do enrolamento, esse é projetado para minimizar os efeitos pelicular e proximidade pelo uso de fio de Litz. Considera-se que o enrolamento tem como material base cobre, cujas características físicas são mostradas na Tabela A.3.2. Para dimensionamento do fio necessário avalia-se a profundidade de penetração da corrente em função da frequência de chaveamento e as características do material condutor, como mostra a Equação A.3.3, onde μ_0 é a permeabilidade do vácuo e F_{sw} a frequência de chaveamento. O diâmetro mínimo do fio deve ser escolhido como o dobro da profundidade de penetração obtida, deve-se avaliar, portanto, o AWG do fio, que acomode o diâmetro calculado.

Tabela A.3.2 – Características Físicas do Cobre

Parâmetro	Símbolo	Unidade	Valor
Resistividade	ρ_{Cu}	Ωm	$1,678e^{-8}$
Permeabilidade Relativa	$\mu_{r,Cu}$	–	0,9999

$$\delta = \sqrt{\frac{\rho_{Cu}}{\pi F_{sw} \mu_0 \mu_{r,Cu}}} \quad \text{Equação A.3.3}$$

A próxima etapa no projeto do enrolamento é a definição do número de fios que o cabo de enrolamento possuirá. Adota-se um critério prático de densidade de corrente (J) em $3A/mm^2$, sendo assim, a área de cobre demandada é dada pela razão entre a corrente máxima no indutor (I) e a densidade de corrente (J). O número de fios (N_f) é definido, portanto, pela razão das áreas de cobre demandada pela área de cobre de um único fio (A_f), escolhe-se o valor inteiro superior do resultado obtido.

Uma restrição crítica no projeto físico do indutor é o fator de preenchimento da janela do núcleo, uma vez que a limitação de espaço determina a viabilidade de confecção do indutor. O critério prático e de recomendação do fabricante Magnetics é de uma faixa limite entre 30 a 45%, adota-se nesse estudo o limite do preenchimento da janela em 45%. O fator de preenchimento é

dado pelo percentual da razão entre a área de cobre, equivalente ao produto do número de espiras pela área de cada espira, e a área da janela (A_w). Se o projeto do indutor não respeitar o fator de preenchimento há duas opções: escolher um núcleo de maior de dimensão ou realizar associações de indutores em série. De qualquer maneira, o projeto deve ser repetido para adequação do critério.

Outra limitação restritiva no projeto físico de indutores é a temperatura de operação do componente. Seus componentes são projetados para operação segura em determinado limite térmico, como por exemplo: núcleo magnético; fios esmaltados; ou ainda, isolantes. A operação térmica é restringida à menor temperatura limite de um dos componentes. Há núcleos que permitem operação em até 200°C, os fios esmaltados em uma faixa de 155°C a 200°C. Os isolantes, por sua vez, tem limitação menor, tais como: plástico do carretel em 140°C ou fita de poliéster em 155°C. Sendo assim, no projeto real, deve-se avaliar qual o material restringe a operação térmica.

Para avaliar a temperatura final do indutor, faz-se uso da Equação A.3.5 [42], a qual determina a elevação de temperatura (T_r) do dispositivo para a perda calculada por área de superfície, Equação A.3.4. Caso a elevação de temperatura somada à temperatura ambiente de operação do indutor exceda o limite térmico de um dos seus materiais, deve-se rever o projeto do indutor escolhendo-se ou um núcleo maior, ou uma associação série.

$$\psi = \frac{P_{loss,L}}{A_s} \quad \text{Equação A.3.4}$$

$$T_r = 450(\psi)^{0,826} \quad \text{Equação A.3.5}$$

O projeto físico do indutor é relativamente simples devendo-se, apenas, obedecer aos critérios restritivos, bem como atentar-se às unidades de cada parâmetro, pois todas devem estar em concordância com o SI, sem negligenciar seus prefixos (mili - m , micro - μ , nano - n).

A.4 Cálculo de Perdas em Indutores

A seção 2.4.1 apresentou o equacionamento para o cálculo de perdas, esta seção descreverá de forma mais detalhada como o procedimento é realizado.

As perdas no enrolamento consideradas são apenas as por efeito joule, vide Equação 2.19. O nível de corrente eficaz no indutor é conhecido, sendo assim, basta apenas estimar-se o valor da resistência equivalente do enrolamento. Para determinar sua resistência equivalente, é necessário

que se determine as dimensões físicas do enrolamento, seu comprimento, área e resistividade do material.

O condutor de enrolamento, devido ao seu projeto, descrito na seção A.3, pode ser compreendido como um cabo, composto de diversos fios em paralelo. O comprimento do fio (l_f) é dado pelo produto do número de espiras pelo comprimento médio por espira (*Mean Length per Turn* – MLT), como mostra a Equação A.4.1, sua área (A_f) é dada pela relação de área de uma circunferência, onde o diâmetro é o AWG escolhido. Sua resistência equivalente (R_{coil}) é, portanto, a resistência de um único fio dividido pelo número de fios (N_f) que compõem o cabo, já que todos são assumidos idênticos, como mostra a Equação A.4.2.

$$l_f = N \cdot MLT \quad \text{Equação A.4.1}$$

$$R_{coil} = \frac{\rho_{Cu} l_f}{A_f} \cdot \frac{1}{N_f} \quad \text{Equação A.4.2}$$

Código A.4.1 – Parâmetros de entrada da função *coreloss1*

```
Ploss = coreloss1(tempo, fluxo, alfa, beta, k, 0);
```

A estimativa de perdas no núcleo é realizada por meio de algoritmo computacional desenvolvido em formato de função do MATLAB pela *Thayer School of Engineering at Dartmouth* [41]. Para utilizá-lo de maneira correta é preciso fornecer parâmetros de entrada corretamente, obtendo-os como descrito em seguida. A chamada da função *coreloss1* é exemplificada pelo Código A.4.1.

A função *coreloss1* depende de dois parâmetros fundamentais: a curva de densidade de fluxo no indutor, além dos coeficientes da Equação de Steinmetz (*alfa, beta, k*).

A densidade de fluxo no indutor é obtida pela relação mostrada na Equação 2.21, visto que depende da tensão no indutor, essa deve ser, portanto, mensurada. A Figura A.4.1a ilustra o perfil típico de tensão no indutor para um inversor dois níveis chaveado em 1.8 kHz e a Figura A.4.1b o perfil da curva de densidade de fluxo obtida pela integral mostrada na Equação 2.21. O parâmetro de entrada *tempo* representa o vetor de tempo da curva de fluxo, seus índices devem ser dados em segundo (s), o parâmetro *fluxo* representa o nível de densidade de fluxo ao longo da curva e deve

ser dado em Tesla (T). O algoritmo exige simetria na onda de densidade de fluxo, por esse motivo, o primeiro e último valores devem ser idênticos, o que, na maioria dos casos, deve ser ajustado manualmente.

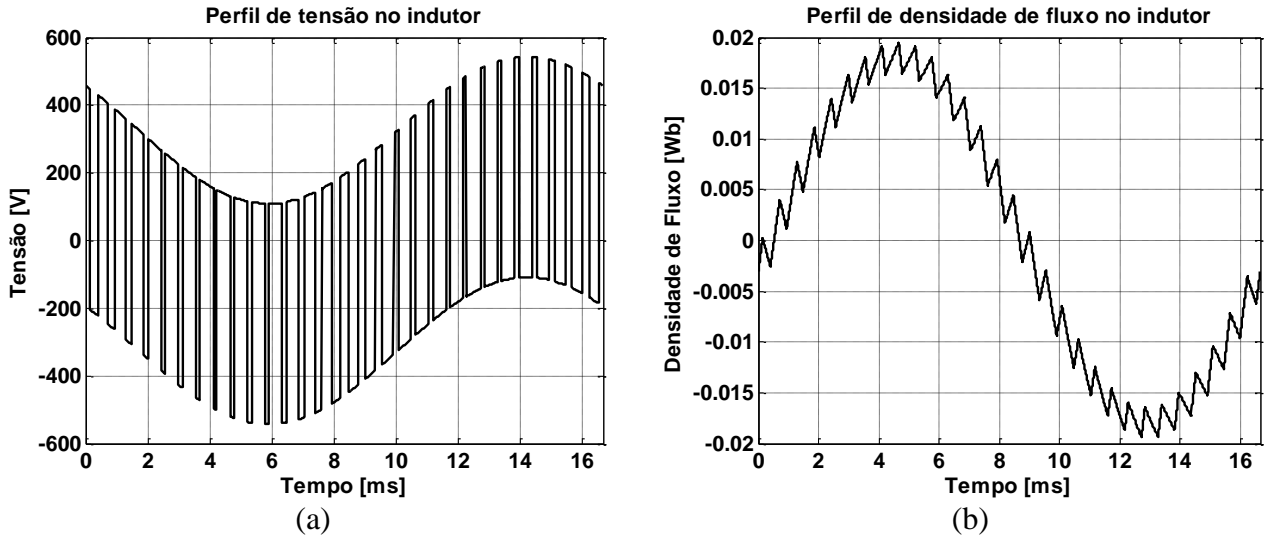


Figura A.4.1 – a) Perfil de tensão no indutor; b) Perfil de densidade de fluxo no indutor

Os coeficientes de Steinmetz (*alfa*, *beta*, *k*) se diferem dos coeficientes mostrados na Equação 2.20 (*a*, *b*, *c*) e devem ser modificados de acordo com as relações mostradas nas Equação A.4.3, Equação A.4.4 e Equação A.4.5.

$$alfa = c \quad \text{Equação A.4.3}$$

$$beta = b \quad \text{Equação A.4.4}$$

$$k = a(1e^{-3})^c \quad \text{Equação A.4.5}$$

O último parâmetro é um identificador para retorno, ou não, do resultado do cálculo e da exibição da curva de densidade de fluxo por tempo. O valor 1 ativa e 0 suprime o retorno da função.

Inseridos os parâmetros corretamente sua execução fornecerá o valor de perdas no núcleo (P_{Loss}) por unidade de volume (W/m^3), assim para obtenção do valor em perdas em W , basta multiplicá-lo pelo volume no núcleo.

APÊNDICE B Modelagem dos Conversores

B.1 Algoritmo de auxílio de projeto de controladores

A seguir é apresentado o código em MATLAB utilizado para auxílio do projeto dos controladores, o mesmo é seccionado pela sua extensão.

Código B.1 – Carregamento dos dados de entrada do conversor e função de transferência dos elementos de cada malha

```

%% Entrada de Dados com as características do conversor

f = 60;           % frequência fundamental
mf = 256;        % índice de modulação em freq.
Fsw = f*mf;      % freq. de chaveamento
Ts = 1/512/Fsw;  % Passo de cálculo

E = 100;         % Tensão no Barramento CC
Vtri = 0.5;      % Amplitude da triangular do PWM

Vref = 80;       % Pico da tensão de referência
Carga = 17.5;    % Carga na saída

% Projeto do Filtro LC
L1 = 2.3e-3;     % indutor L1
rL = 0e-3;       % resistência série de L1

Cf = 30e-6;      % Capacitor de filtro Cf

%% Funções de transferência dos elementos das malhas

Amostras = 1*mf; % Número de amostras no tempo discreto
Ts_d = 1/Amostras/f; % Taxa de amostragem no tempo discreto

s = tf('s');
z = tf('z', Ts_d);
w_bode = logspace(1,4.5,10e3); % Eixo de frequências (rad/s)

% Função de transferência do PI de corrente
Kpi_s = 1; Kii_s = 0;
PIi_z = Kpi_s + Kii_s*(Ts_d/2)*(z + 1)/(z - 1);

% Função de transferência do PI de tensão
Kpv_s = 1; Kiv_s = 0;
PIv_z = Kpv_s + Kiv_s*(Ts_d/2)*(z + 1)/(z - 1);

% Atraso puro de tempo
Atraso = Ts_d;
FT_atraso = exp(-Atraso*s);

% Função de transferência do PWM
GanhoPWM = E/Vtri; % Ganho do PWM
FT_PWM = GanhoPWM*((1 - exp(-Ts_d*s))/(Ts_d*s));

% Função de transferência da planta física: Filtro LC
PlantaL = 1/(L1*s + rL); % Indutor
PlantaC = 1/(Cf*s); % Capacitor

% Função de transferência da Carga
FT_Carga = 1/Carga; % Carga

```

Código B.2 – Carregamento do módulo e fase de cada elemento das malhas

```

%% Módulo e Fase das malhas de corrente e tensão
% Malha de corrente
% Malha Aberta
% Modulo = Mod_PiI + Mod_PWM + Mod_PlantaL + Mod_Atraso
% Fase   = Pha_PiI + Pha_PWM + Pha_PlantaL + Pha_Atraso

[num, den] = tfdata(PiI_z);
[Mod, Pha] = dbode(num, den, Ts_d, w_bode);    % Bode do PI discreto
Mod_PiIz = 20*log10(Mod(:));                 % Módulo do PI discreto
Pha_PiIz = Pha(:);                           % Fase do PI discreto

[Mod, Pha] = bode(FT_PWM, w_bode);           % Bode do PWM
Mod_PWM = 20*log10(Mod(:));                  % Módulo do PWM
Pha_PWM = Pha(:);                            % Fase do PWM

[Mod, Pha] = bode(PlantaL, w_bode);          % Bode do Indutor
Mod_PlantaL = 20*log10(Mod(:));              % Módulo do Indutor
Pha_PlantaL = Pha(:);                        % Fase do Indutor

[Mod, Pha] = bode(FT_atraso, w_bode);        % Bode do atraso
Mod_Atraso = 20*log10(Mod(:));               % Módulo do atraso
Pha_Atraso = Pha(:);                        % Fase do atraso

% Malha de tensão
% Malha Aberta
% Modulo = Mod_PiV + Mod_MalhaFi + Mod_PlantaC + Mod_Atraso
% Fase   = Pha_PiV + Pha_MalhaFi + Pha_PlantaC + Pha_Atraso

[num, den] = tfdata(PiV_z);
[Mod, Pha] = dbode(num, den, Ts_d, w_bode);    % Bode do PI discreto
Mod_PiVz = 20*log10(Mod(:));                 % Módulo do PI discreto
Pha_PiVz = Pha(:);                           % Fase do PI discreto

[Mod, Pha] = bode(PlantaC, w_bode);           % Bode do capacitor
Mod_PlantaC = 20*log10(Mod(:));               % Módulo do capacitor
Pha_PlantaC = Pha(:);                        % Fase do capacitor

% Saída do inversor: capacitor e carga
Num = 10.^(Mod_PlantaC/20).*exp(1i.*Pha_PlantaC*pi/180);
Den = 1 + 10.^(Mod_PlantaC/20).*exp(1i.*Pha_PlantaC*pi/180)*FT_Carga;

MalhaSaida = Num./Den;
Mod_Saida = 20*log10(abs(MalhaSaida));         % Módulo da saída
Pha_Saida = phase(MalhaSaida)*180/pi;         % Módulo da saída

```

Código B.3 – Projeto dos ganhos do controlador da malha de corrente

```

%% Projeto dos ganhos do controlador de corrente
% Ganhos do controlador (valor inicial)
Kpi_s = 1/GanhoPWM;
Kii_s = 0;

PIi_z = Kpi_s + Kii_s*(Ts_d/2)*(z + 1)/(z - 1);

[num, den] = tfdata(PIi_z);
[Mod, Pha] = dbode(num, den, Ts_d, w_bode); % Bode do PI discreto
Mod_PIiz = 20.*log10(Mod(:)); % Módulo do PI discreto
Pha_PIiz = Pha(:); % Fase do PI discreto

% Módulo e fase da malha de corrente aberta
Mod_MalhaAi = Mod_PIiz + Mod_PWM + Mod_PlantaL + Mod_Atraso;
Pha_MalhaAi = Pha_PIiz + Pha_PWM + Pha_PlantaL + Pha_Atraso;

% Definição da margem de fase desejada para a malha aberta de corrente
MFi = 58;
% Procura o índice, do vetor de fase, mais próximo à MF desejada
indice_MFi = min(find((abs(Pha_MalhaAi-(-180+MFi)) < 0.05)));
% Retorno da frequência, módulo e fase do índice encontrado
freq_MFi = w_bode(indice_MFi)/2/pi;
moddB_MFi = Mod_MalhaAi(indice_MFi);
fase_MFi = Pha_MalhaAi(indice_MFi);
% Retorno do valor a ser ajustado no ganho proporcional
10^((Mod_MalhaAi(indice_MFi))/20);

% Cálculo dos ganhos do controlador
% Kp é ajustado para a margem de fase escolhida
Kpi_s = 1/GanhoPWM/10^((Mod_MalhaAi(indice_MFi))/20)
% Ki é ajustado de acordo com a frequência relacionada à MF
% Kii_s = Kpi_s*w_bode(indice_MFi)

% Controlador de corrente projetado
PIi_z = Kpi_s + Kii_s*(Ts_d/2)*(z + 1)/(z - 1);

[num, den] = tfdata(PIi_z);
[Mod, Pha] = dbode(num, den, Ts_d, w_bode); % Bode do PI discreto
Mod_PIiz = 20.*log10(Mod(:)); % Módulo do PI discreto
Pha_PIiz = Pha(:); % Fase do PI discreto

% Módulo e fase da malha de corrente aberta
Mod_MalhaAi = Mod_PIiz + Mod_PWM + Mod_PlantaL + Mod_Atraso;
Pha_MalhaAi = Pha_PIiz + Pha_PWM + Pha_PlantaL + Pha_Atraso;

% Procura o índice, do vetor de fase, mais próximo à ganho 0dB
indice_MFi = min(find((abs(Mod_MalhaAi) < 0.01)));
% Retorno da frequência, módulo e fase do índice encontrado
freq_MFi = w_bode(indice_MFi)/2/pi;
moddB_MFi = Mod_MalhaAi(indice_MFi);
fase_MFi = Pha_MalhaAi(indice_MFi) + 180;

Num = 10.^(Mod_MalhaAi/20).*exp(1i.*Pha_MalhaAi*pi/180);
Den = 1 + 10.^(Mod_MalhaAi/20).*exp(1i.*Pha_MalhaAi*pi/180);

% Malha fechada de corrente
MalhaFi = Num./Den;
Mod_MalhaFi = 20*log10(abs(MalhaFi));
Pha_MalhaFi = phase(MalhaFi)*180/pi;

% Encontra o índice associado ao -3dB da malha fechada
indice_Fci = min(find((abs(Mod_MalhaFi+(3)) < 0.01)));
% Retorno da frequência de corte em Hz da malha de corrente
fc_I = w_bode(indice_Fci)/2/pi;
% Retorno do ganho e fase na frequência fundamental
indice_fi = min(find((abs(w_bode-(2*pi*f)) < 0.5)));
fase_fi = Pha_MalhaFi(indice_fi);
gain_fi = 10^(Mod_MalhaFi(indice_fi)/20);

```

Código B.4 – Projeto dos ganhos do controlador da malha de tensão

```

%% Projeto dos controladores da malha de tensão
% Ganhos do controlador (valor inicial)
Kpv_s = 1;
Kiv_s = 0;

% FT PI
PIv_z = Kpv_s + Kiv_s*(Ts_d/2)*(z + 1)/(z - 1);

[num, den] = tfdata(PIv_z);
[Mod, Pha] = dbode(num, den, Ts_d, w_bode); % Bode do PI discreto
Mod_PIVz = 20.*log10(Mod(:)); % Módulo do PI discreto
Pha_PIVz = Pha(:); % Fase do PI discreto

Mod_MalhaAv = Mod_PIVz + Mod_MalhaFi + Mod_PlantaC + Mod_Atraso;
Pha_MalhaAv = Pha_PIVz + Pha_MalhaFi + Pha_PlantaC + Pha_Atraso;

% Definição da margem de fase desejada para a malha aberta de tensão
MFv = 70;
% Procura o índice, do vetor de fase, mais próximo à MF desejada
indice_MFv = min(find((abs(Pha_MalhaAv-(-180+MFv)) < 0.05)));
% Retorno da frequência, módulo e fase do índice encontrado
freq_MFv = w_bode(indice_MFv)/2/pi;
moddB_MFv = Mod_MalhaAv(indice_MFv);
fase_MFv = Pha_MalhaAv(indice_MFv);
% Retorno do valor a ser ajustado no ganho proporcional
10^((Mod_MalhaAv(indice_MFv))/20);

% Cálculo dos ganhos do controlador
% Kp é ajustado para a margem de fase escolhida
Kpv_s = 1/10^((Mod_MalhaAv(indice_MFv))/20);
% Ki é ajustado de acordo com a frequência relacionada à MF
Kiv_s = Kpv_s*w_bode(indice_MFv);

% Controlador de tensão projetado
PIv_z = Kpv_s + Kiv_s*(Ts_d/2)*(z + 1)/(z - 1);

[num, den] = tfdata(PIv_z);
[Mod, Pha] = dbode(num, den, Ts_d, w_bode); % Bode do PI discreto
Mod_PIVz = 20.*log10(Mod(:)); % Módulo do PI discreto
Pha_PIVz = Pha(:); % Fase do PI discreto

Mod_MalhaAv = Mod_PIVz + Mod_MalhaFi + Mod_Saida + Mod_Atraso;
Pha_MalhaAv = Pha_PIVz + Pha_MalhaFi + Pha_Saida + Pha_Atraso;

% Procura o índice, do vetor de fase, mais próximo à ganho 0dB
indice_MFv = min(find((abs(Mod_MalhaAv)) < 0.01));
% Retorno da frequência, módulo e fase do índice encontrado
freq_MFv = w_bode(indice_MFv)/2/pi;
moddB_MFv = Mod_MalhaAv(indice_MFv);
fase_MFv = Pha_MalhaAv(indice_MFv) + 180;

Num = 10.^(Mod_MalhaAv/20).*exp(1i.*Pha_MalhaAv*pi/180);
Den = 1 + 10.^(Mod_MalhaAv/20).*exp(1i.*Pha_MalhaAv*pi/180);

% Malha fechada de tensão
MalhaFv = Num./Den;
Mod_MalhaFv = 20*log10(abs(MalhaFv));
Pha_MalhaFv = phase(MalhaFv)*180/pi;

% Encontra o índice associado ao -3dB da malha fechada
indice_Fcv = min(find((abs(Mod_MalhaFv+3)) < 0.05)));
% Retorno da frequência de corte em Hz da malha de tensão
fc_V = w_bode(indice_Fcv)/2/pi;
% Retorno do ganho e fase na frequência fundamental
indice_fv = min(find((abs(w_bode-(2*pi*f)) < 0.5)));
fase_fv = Pha_MalhaFv(indice_fv);
gain_fv = 10^(Mod_MalhaFv(indice_fv)/20);

```


B.2 Dedução da Modelagem na Operação Retificadora

A dedução para a modelagem do barramento de c.c. na operação retificadora é apresentada a seguir. Assumem-se condições ideais para a dedução. R se refere à carga e C à capacitância do barramento de c.c.. As grandezas com subscrito ϕ se referem à tensão e corrente de fase da rede elétrica e V_{cc} à tensão do barramento de c.c..

$V_{\phi} I_{\phi} = \frac{V_{CC}^2}{R} + V_{CC} C \frac{dV_{CC}}{dt}$	
<p>Para a modelagem de pequenos sinais, assumem-se pequenas variações nas tensões e correntes c.a. e c.c., sendo assim:</p>	
$(\bar{V}_{\phi} + \tilde{V}_{\phi})(\bar{I}_{\phi} + \tilde{I}_{\phi}) = \frac{(\bar{V}_{CC} + \tilde{V}_{CC})^2}{R} + (\bar{V}_{CC} + \tilde{V}_{CC}) C \frac{d(\bar{V}_{CC} + \tilde{V}_{CC})}{dt}$	
<p>Eliminando os produtos das pequenas variações:</p>	
$(\bar{V}_{\phi} \bar{I}_{\phi}) + (\bar{V}_{\phi} \tilde{I}_{\phi}) + (\tilde{V}_{\phi} \bar{I}_{\phi}) = \left(\frac{\bar{V}_{CC}^2}{R} \right) + \left(\frac{2\bar{V}_{CC} \tilde{V}_{CC}}{R} \right) + (\bar{V}_{CC} \tilde{V}_{CC} Cs)$	
<p>Associando as grandezas constantes e os de pequenas variações obtêm-se:</p>	
$(\bar{V}_{\phi} \bar{I}_{\phi}) = \left(\frac{\bar{V}_{CC}^2}{R} \right)$	$(\bar{V}_{\phi} \tilde{I}_{\phi}) + (\tilde{V}_{\phi} \bar{I}_{\phi}) = \left(\frac{2\bar{V}_{CC} \tilde{V}_{CC}}{R} \right) + (\bar{V}_{CC} \tilde{V}_{CC} Cs)$
<p>Para a condição de variação nula na tensão de entrada:</p>	<p>Para a condição de variação nula na corrente de entrada:</p>
$\left. \frac{\tilde{V}_{CC}}{\tilde{I}_{\phi}} \right _{\tilde{V}_{\phi}=0} = \frac{\bar{V}_{\phi}}{\bar{V}_{CC}} \cdot \frac{R}{RCs + 2}$	$\left. \frac{\tilde{V}_{CC}}{\tilde{V}_{\phi}} \right _{\tilde{I}_{\phi}=0} = \frac{\bar{I}_{\phi}}{\bar{V}_{CC}} \cdot \frac{R}{RCs + 2}$

A abordagem acima descrita se refere a um sistema monofásico. A mesma análise pode ser estendida para o sistema trifásico, utilizando-se da transformada dq0 para o desenvolvimento do raciocínio.

APÊNDICE C Plataforma dSPACE

C.1 Compatibilização com MATLAB

Uma das características principais da Plataforma dSPACE é sua integração com o *software* MATLAB/Simulink. Existe uma biblioteca específica da plataforma, que auxilia o acesso aos seus recursos por meio de blocos, os quais podem ser inseridos em modelos do MATLAB/Simulink. Porém, é necessário que se compatibilize o *software* MATLAB instalado no Microcomputador com a Plataforma dSPACE.

Efetiva-se a compatibilização pelo *software* dSPACE Installation Manager, o qual traz um resumo de todos os *softwares* relacionados ao dSPACE instalados na máquina, fornecendo detalhes da versão, local de instalação, entre outros. Esse gerenciador contém uma aba, chamada *MATLAB Integrations*, a qual reúne todas as versões do *software* instaladas no Microcomputador, conforme Figura C.1.1.

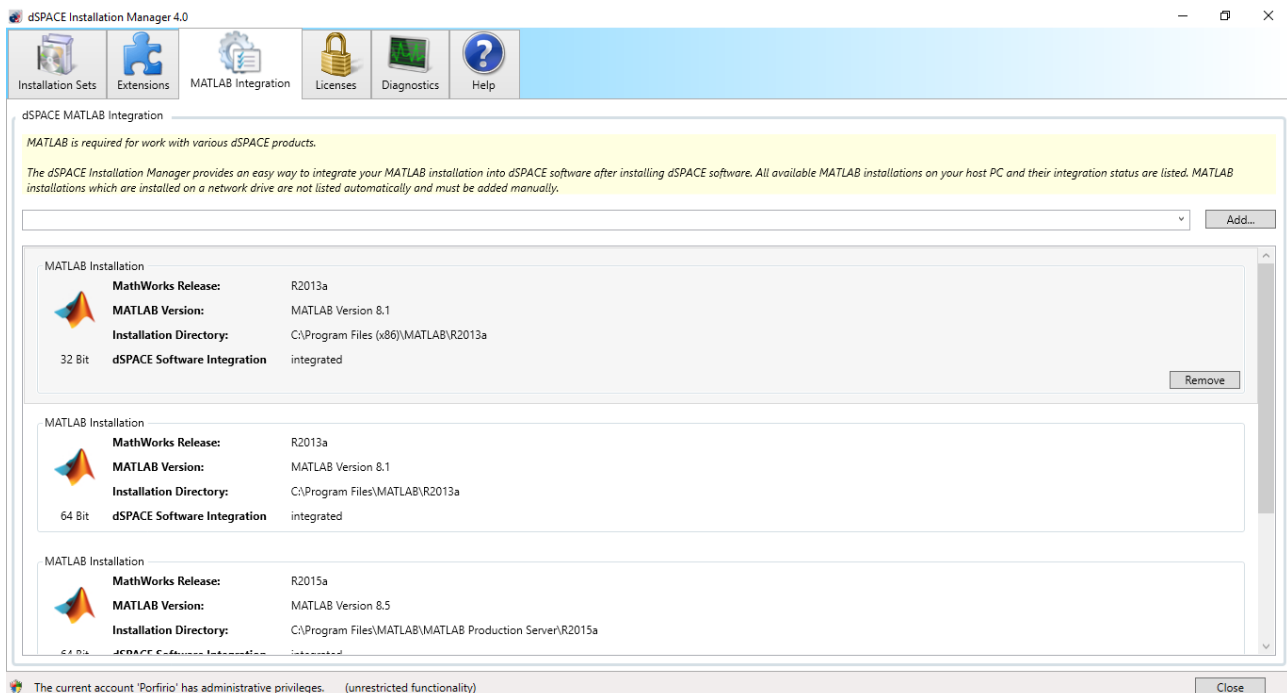


Figura C.1.1 – Aba *MATLAB Integrations*

É possível adicionar ou remover novas versões, a fim de definir qual (ou quais) dela será eleita para ser compatibilizada com a Plataforma dSPACE. Definidas as versões do MATLAB presentes no Microcomputador que serão compatibilizadas, deve-se, então, associá-las ao RCP (*Rapid Control Prototyping*) e HIL (*Hardware-in-the-loop*), na aba *Installation Sets*, expandindo a

seção *RCP and HIL*, assim, serão exibidas, à direita, as versões do MATLAB associadas. Como mostra a Figura C.1.2.

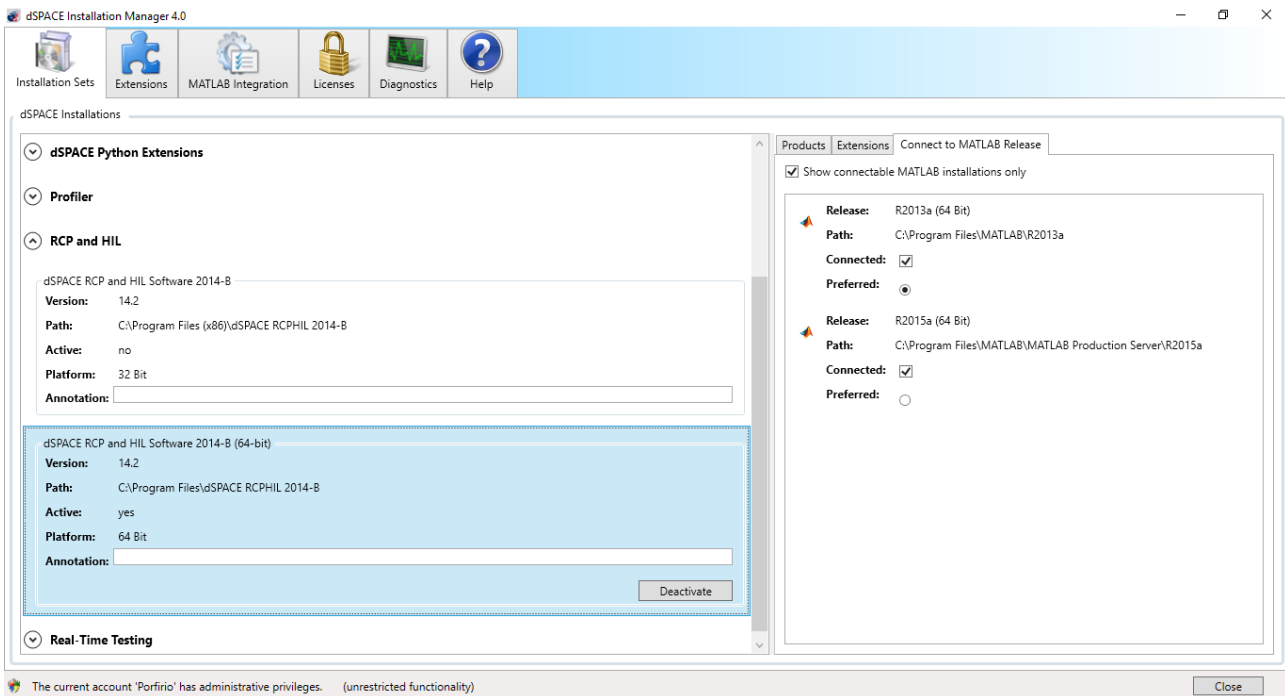


Figura C.1.2 – Efetivação da conexão da plataforma com o MATLAB

Marcando-se a opção *Connect*, na aba *Connect to MATLAB Release*, na próxima inicialização do MATLAB ele se integrará à plataforma automaticamente. É possível que se compatibilize versões do MATLAB em 32-bit ou 64-bit. As versões anuais compatíveis podem ser consultadas no site do fabricante [69].

C.2 Cálculo de Temporização das Tarefas

A fim de se obter a temporização demandada por cada tarefa, possibilitando a utilização do *software* dSPACE Profiler, é preciso que se façam algumas modificações no modelo elaborado em MATLAB/Simulink, com a lógica a ser implementada pela Plataforma dSPACE. A primeira etapa é dividir cada tarefa, por exemplo, a Conversão Analógico-Digital ou um determinado cálculo para malhas de controle, em blocos do tipo *Atomic Subsystem* como mostra Figura C.2.1.

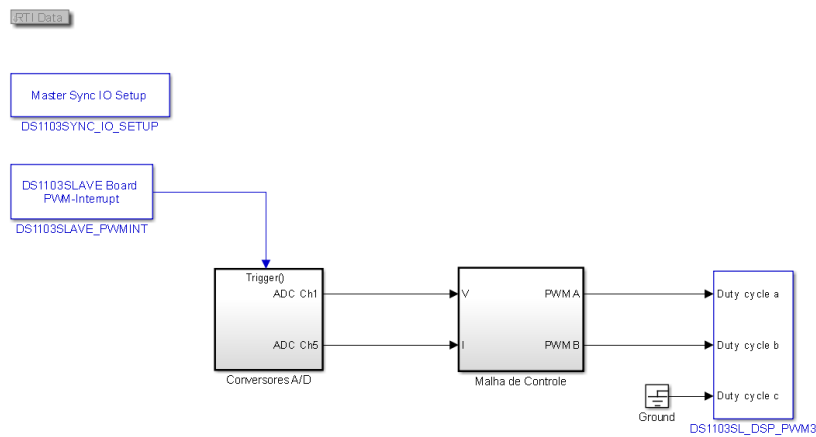


Figura C.2.1 – Diagrama em MATLAB/Simulink dividido em blocos do tipo *Atomic Subsystem*

Em cada tarefa, ou seja, em cada *Atomic Subsystem*, deve-se inserir interno a esse, um bloco chamado *System Outputs*, que pode ser obtido a partir da inserção da função *custcode* na linha de comando do MATLAB. A Figura C.2.2, exemplifica a parte interna de um *Atomic Subsystem* onde o *System Outputs* é inserido.

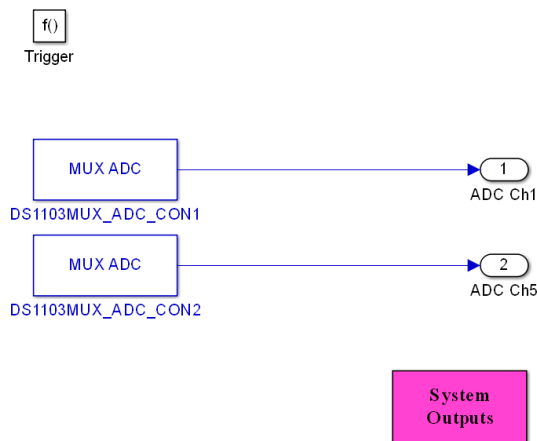


Figura C.2.2 – Exemplificação do *Atomic Subsystem* com o bloco *System Outputs* inserido

A segunda etapa consiste em incluir determinadas linhas de código no arquivo de compilação do usuário, chamado *PROJETO_usr.c*, cujo modelo é exibido no Código C.2.1, onde "PROJETO" equivale ao nome do modelo criado em MATLAB/Simulink. Esse arquivo é gerado, uma vez que o modelo é compilado pela função *rti_build('PROJETO')* na linha de comando do MATLAB. Em seguida, deve-se também inserir linhas de código dentro do bloco *System Outputs*, o qual fará referência ao código inserido no arquivo de compilação do usuário (*PROJETO_usr.c*). Dessa forma, ao se, novamente, compilar o modelo através da função *rti_build* cada tarefa será monitorada, estimando-se sua duração, e identificada conforme desejo do usuário. Maiores detalhes a respeito dos códigos de compilação são mostrados a seguir.

Código C.2.1 – Modelo de código do arquivo de edição do usuário

```

/*****

Include file PROJETO_usr.c:

Definition of functions for user-defined initialization,
system I/O, and background process code.

RTI1103 7.3 (02-Nov-2014)
Thu Mar 31 16:11:20 2016

(c) Copyright 2014, dSPACE GmbH. All rights reserved. Brand names
or product names are trademarks or registered trademarks of their
respective companies or organizations.

*****/

/* ===== */
/* ===== Define file version macro. Never change this value. ===== */
/* ===== */
#define USER_CODE_FILE_VERSION 5
/* ===== */

/* Insert #include directives for header files here. */

#if defined(_INLINE)
# define __INLINE static inline
#else
# define __INLINE static
#endif

static void usr_initialize(void)
{
}

__INLINE void usr_sample_input(void)
{
}

__INLINE void usr_input(void)
{
}

__INLINE void usr_output(void)
{
}

static void usr_terminate(void)
{
}

static void usr_background(void)
{
}

#undef __INLINE

/***** [EOF] *****/

```

O arquivo *PROJETO_usr.c* deve ser editado na função *usr_initialize*, com as linhas de código descrita no Código C.2.2, onde o evento, cuja estimativa de tempo será calculada, é definido com o nome de identificação "TAREFA", o número 101 está relacionado com o início do evento com identificador "TS", o número 102, por sua vez, está relacionado com o término do evento e tem identificador "TE".

Código C.2.2 – Linhas de código a serem inseridas na função *usr_initialize*

```

unsigned int display_id1;
/* define a line labelled "TAREFA". This line will show up in the
Profiler */
display_id1 = elog_define_display("TAREFA");
/* describe a start event, with the name "TS" */
elog_describe_event(101, display_id1, ELOG_CTRL_BLOCK_START |
ELOG_CTRL_BLOCK_STATIC , 0, 0, "TS");
/* describe a stop/end event, with the name "TE" */
elog_describe_event(102, display_id1, ELOG_CTRL_BLOCK_END |
ELOG_CTRL_BLOCK_STATIC , 0, 0, "TE");
    
```

Em seguida, no bloco *System Outputs*, cuja janela de edição é exibida na Figura C.2.3, deve-se incluir as linhas de código presentes em Código C.2.3, na lacuna *System Outputs Function Execution Code* e as linhas de código presentes em Código C.2.4, na lacuna *System Outputs Function Exit Code*.

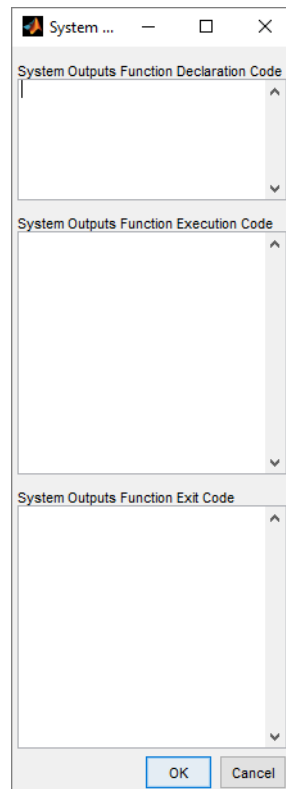


Figura C.2.3 – Janela de edição do *System Outputs*

Código C.2.3 – Linha de código para o *System Outputs Function Execution Code* do bloco *System Outputs*

```
elog_data_type event_data;
event_data.high = 0;
event_data.low = 0;
/* write the start event, assigned to category 17 */
ELOG_ENTRY_SET(101 | ELOG_CAT_17 , &event_data);
```

Código C.2.4 – Linha de código para o *System Outputs Function Exit Code* do bloco *System Outputs*

```
/* write the stop/finish event, assigned to category 17 */
ELOG_ENTRY_SET(102 | ELOG_CAT_17 , &event_data);
```

C.3 Registro da Plataforma via ControlDesk

Antes de iniciar o desenvolvimento de projetos voltados para o controle em tempo real, deve-se registrar a plataforma para que o *software* a reconheça e se estabeleça a comunicação com o *Host PC*. O processo é bem simples e requer poucas etapas. Considera-se que toda a Plataforma dSPACE está devidamente instalada, conectada ao Microcomputador e alimentada, como elucidado na seção *Composição e instalação da plataforma dSPACE*.

O registro é feito pela aba superior *Platforms*, clicando-se no botão *Register Platform*, como mostra a Figura C.3.1, o qual chama uma janela com um menu para registro, exibida na Figura C.3.2, nela escolhe-se o modelo da plataforma (no caso DS1103) e seleciona-se o tipo de conexão adotada (se via BUS (cabo de fibra óptica) ou NET (cabo Ethernet)) e o endereço definido na Placa DS1103 (o mesmo referido na seção 4.2.1 como *Base Address*, cujos possíveis endereços são resumidos na Tabela 4.1).

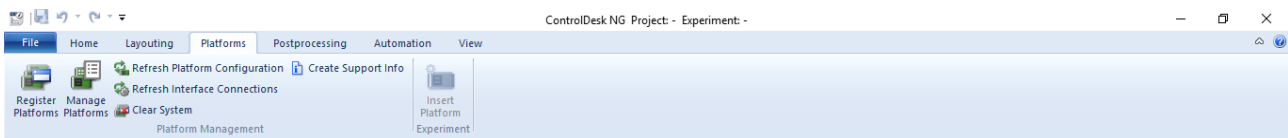


Figura C.3.1 – Aba superior *Platforms*

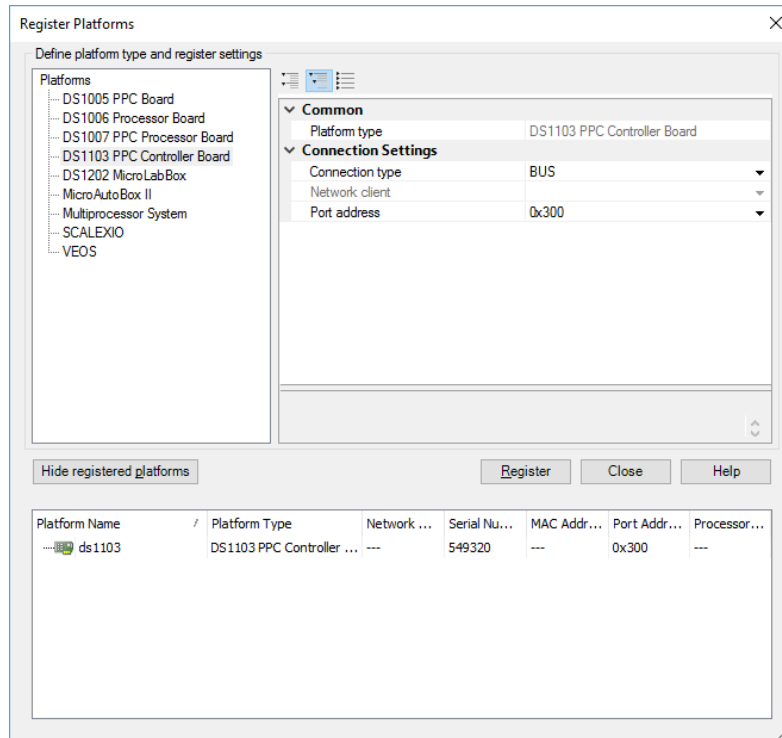


Figura C.3.2 – Menu de registro da Plataforma dSPACE

Finalizada a entrada dos dados, deve-se clicar no botão *Register*. Caso todas as conexões e dados estiverem corretos, a plataforma será registrada. Sua efetivação é observada tanto na lista do próprio menu ou na aba inferior *Platform/Device*, Figura C.3.3. Uma vez registrada a plataforma, na próxima abertura do *software* o registro é automaticamente realizado.

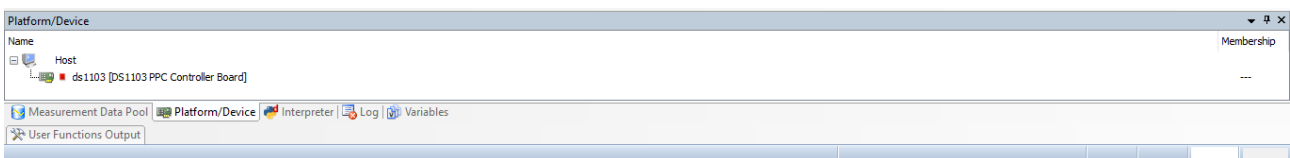


Figura C.3.3 – Confirmação do registro da Plataforma dSPACE na aba *Platform/Device*

C.4 *Triggering* do ControlDesk

Para a visualização engatilhada (*Triggered*) na ferramenta *Plotter* é necessário que se associe dois *Triggers* à mesma: um *Start Trigger* e um *Stop Trigger*. À esquerda, na aba *Measurement Configuration*, expandindo-se o menu *Triggers*, tem-se acesso aos três tipos de *Trigger* disponíveis: *Trigger* de duração (*Duration Trigger*), *Trigger* contador de amostras (*Sample Count Trigger*) e *Trigger* da plataforma (*Platform Trigger*). A Figura C.4.1 ilustra o menu.

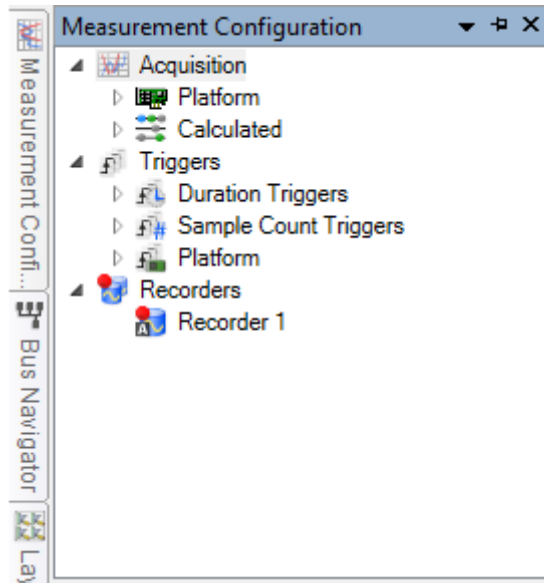
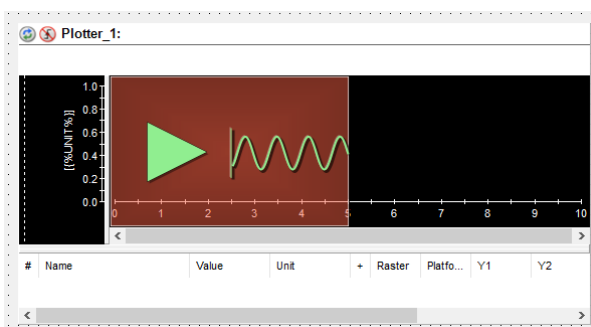
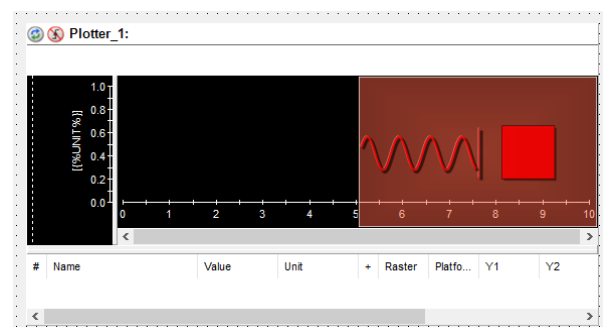


Figura C.4.1 – Menu *Triggers*

O primeiro está associado à janela temporal de varredura da medição, ou melhor, representará a dimensão do eixo de tempo das abscissas. É possível que se crie diversos *Duration Triggers*, cada qual com valor a ser definido pelo usuário, esse tipo de Trigger é usado como *Stop Trigger* simplesmente clicando e arrastando-o para a ferramenta *Plotter*. O segundo, *Sample Count Trigger*, atua de forma análoga ao anterior, porém, esse, por sua vez, relaciona-se com o número de amostras a serem exibidas. Já o último, é quem engatilha de fato a janela de varredura da medição, esse é utilizado como *Start Trigger*, clicando-o e arrastando-o ao *Plotter*. A Figura C.4.2 ilustra a aparência da ferramenta *Plotter*, ao associar-se um *Start Trigger*, Figura C.4.2a, e um *Stop Trigger*, Figura C.4.2b.



(a)



(b)

Figura C.4.2 – Associação do Plotter ao: a) Start Trigger; b) Stop Trigger

Dois ajustes podem ser feitos no *Start Trigger*, um deles é a decimação (*downsampling*), o que na prática representará o fator de redução de amostras a serem coletadas e exibidas, o outro se trata da variável a ser mapeada. Deve-se escolher uma das variáveis, pela aba inferior *Variables*, a

ser monitorada no *Plotter*, clicando-a e arrastando-a para a tabela *Variable Mappings*. A Figura C.4.3 ilustra a seção de ajuste do *Start Trigger*.

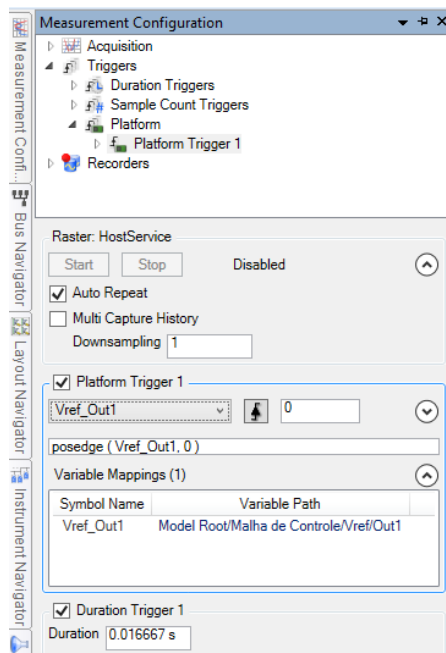


Figura C.4.3 – Ajuste dos parâmetros do *Start Trigger*

Ajustando-se adequadamente os parâmetros dos *Triggers* disponíveis, possibilita-se a aquisição de dados do ControlDesk no modo *Triggered*.

C.5 Registro de Dados via ControlDesk

Quando a aquisição de dados no ControlDesk está em modo engatilhado (*Triggered*), essa é feita de acordo com a dimensão da janela de varredura da medição, que é definida pelo *Duration Trigger* ou *Sample Count Trigger*. Iniciada uma aquisição de dados, essa é interrompida para seu processamento e então iniciada novamente. Isso significa que, se o registro de dados for realizado nessa condição, ocorrerá uma coleta de dados, equivalente à dimensão da janela de varredura. Porém, ocasionará uma lacuna nos mesmos, devido à pausa na aquisição e processamento dos dados, antes do início do próximo registro.

Ciente disso, para que o registro seja uniforme, prevenindo lacunas na coleta de dados, deve-se configurar uma aquisição de dados em modo contínuo (*Continuous Mode*), onde todos os *Triggers* configurados no *software* são desabilitados. Na aba lateral esquerda *Measurement Configuration*, encontra-se o menu *Acquisition*, ao expandi-lo deve-se clicar no item *Platform* com o botão direito e escolher o Modo Contínuo para habilitá-lo, vide Figura C.5.1.

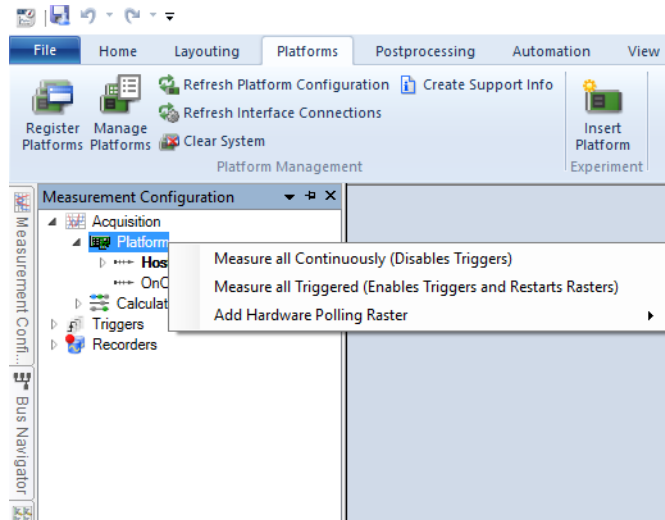


Figura C.5.1 – Aba *Measurement Configuration*

Ainda nessa aba, observa-se também o menu *Recorders*, nele é possível criar uma espécie de registrador, elegendo quais variáveis do sistema serão capturadas, geralmente, um *Recorder* padrão é criado automaticamente com algumas variáveis do sistema. Acessando as propriedades do *Recorder*, pode-se definir a duração do registro em segundos, quantas vezes o registro será repetido, como também em qual formato de arquivo se deseja exportá-lo. A Figura C.5.2 exibe o menu e a aba de propriedades do *Recorder*. Configurado o recorder, pode-se iniciar o registro a qualquer instante, clicando-se no botão *Play*. Encerrada a captura dos dados, o *software* fornece a opção de salvar os dados nas extensões pré-definidas, encolhendo-se o local desejado.

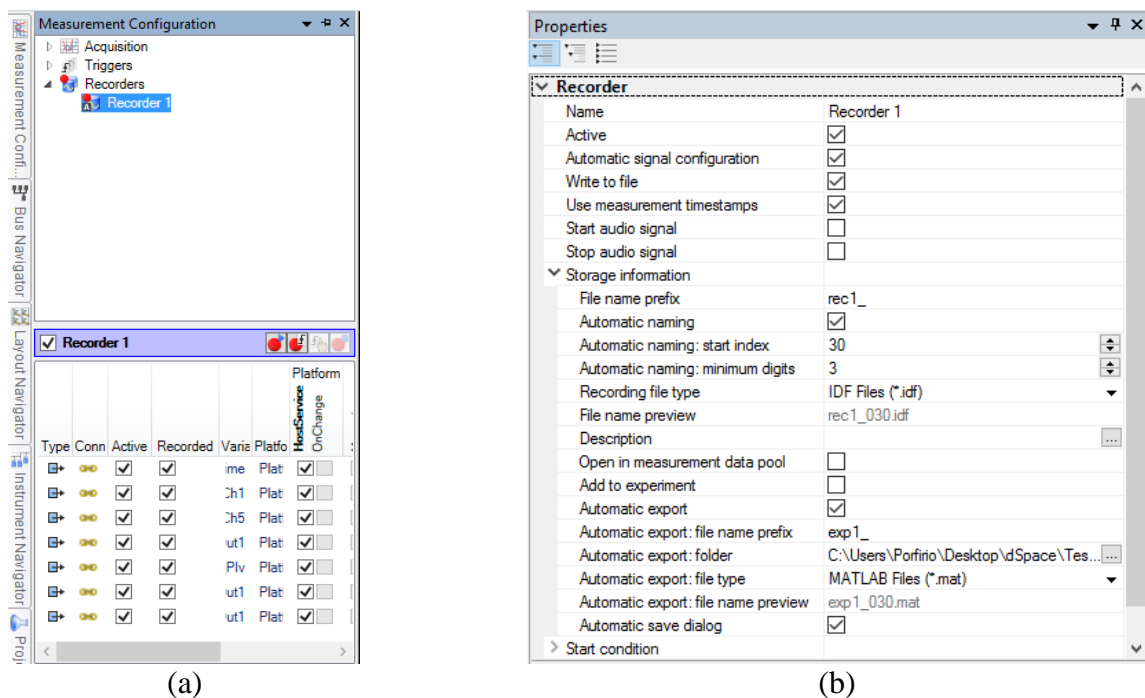


Figura C.5.2 – *Recorder*: a) Menu; b) Aba de Propriedades

APÊNDICE D Montagem Experimental

D.1 Placa de Condicionamento

Foi projetada e confeccionada uma placa de circuito impresso, ilustrada pela Figura D.1.1, com objetivo de condicionar sinais analógicos, provenientes de sensores de tensão e corrente, enviados à Plataforma dSPACE e de sinais digitais de PWM, provenientes da Plataforma dSPACE, enviados aos *gate-drivers* para comando das chaves de um determinado conversor. O circuito de condicionamento foi pensado para capacitar o condicionamento de sinais de um conversor trifásico dois níveis. Por essa razão, o número máximo de sinais analógicos a ser condicionado é de oito, visando o condicionamento de: três sinais de tensão alternada (fases a, b, c); três sinais de corrente alternada (fases a, b, c); e dois sinais de tensão contínua (barramento de c.c.). Já o condicionamento de sinais digitais se relacionam com os comandos PWM das seis chaves de um conversor dois níveis, além dos sinais de *reset* e falta de controle do *gate-driver*.

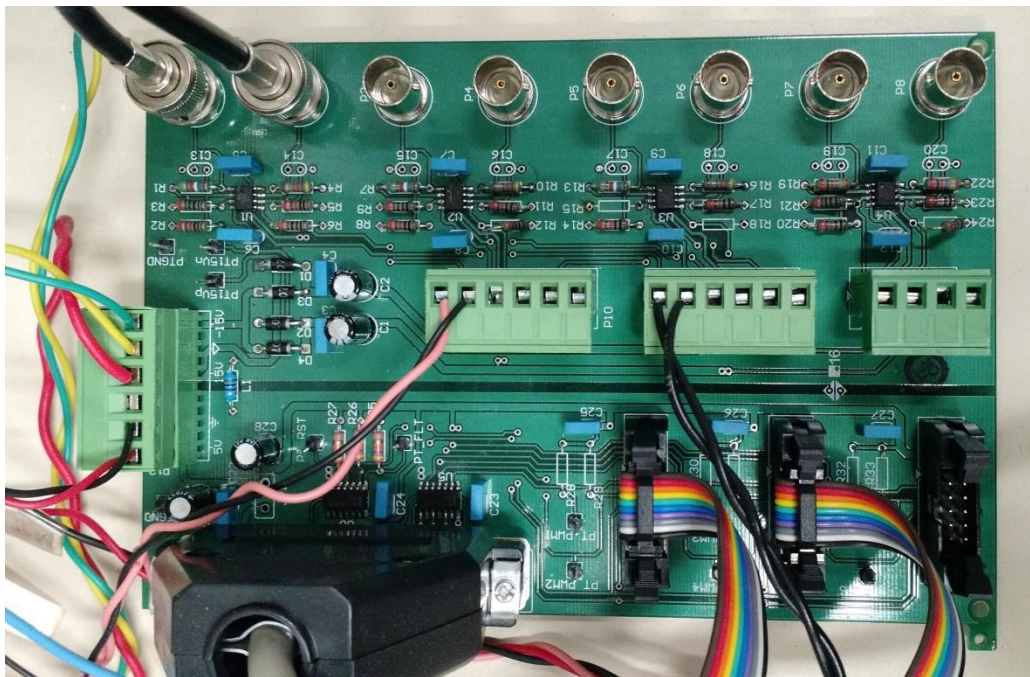


Figura D.1.1 – Placa de condicionamento desenvolvida

Como mostra a Figura D.1.1 há uma divisão física entre o condicionamento dos sinais digitais e o dos sinais analógicos. Os sinais digitais são condicionados por meio de *buffer* com coletor aberto, modelo SN7477 e resistores de *pull-up* para o nível de +5 V. A conexão dos sinais digitais entre a placa de condicionamento e a plataforma dSPACE é feita por um conector tipo D-SUB 37 pinos, os sinais são enviados aos *gate-drivers* por meio de conectores *header* com ejetor. O

circuito de condicionamento dos sinais analógicos é realizado por meio de amplificador operacional, sua configuração e ganho devem ser projetados especificamente para aplicação desejada, na seção D.2, a seguir, é exemplificado o projeto para a aplicação nesse trabalho. A transmissão dos sinais condicionados à plataforma dSPACE é realizada por meio de cabos coaxiais com conectores BNC.

A alimentação do circuito de condicionamento é em tensão contínua simétrica, foi incluída uma ponte a diodos na entrada, de modo que a inversão dos níveis de alimentação positivo e negativo no conector de entrada não danifique os componentes nela inseridos. Uma fonte auxiliar em +5V também é necessária para alimentação do condicionamento digital e para o nível de tensão dos resistores de *pull-up*. Essa pode ser inserida externamente no conector AKZ de entrada, ou pela alimentação proveniente da Plataforma dSPACE por meio do Conector D-SUB 37 pinos. Nessa situação, o *jumper JP1* deve ser ajustado apropriadamente.

D.2 Projeto do Circuito de Condicionamento

O circuito de condicionamento analógico é realizado por amplificadores do tipo *rail-to-rail*. Nesse estudo utilizou-se o modelo LM7322 [65], na configuração não inversora, considerando-se que os sinais a serem condicionados sejam provenientes de sensores Efeito Hall. Outras configurações de condicionamento podem ser empregadas, dependendo do tipo de sensor a ser utilizado. Nesse caso, deve-se avaliar qual a configuração de amplificador mais adequada, recomenda-se a leitura e consulta em [70]. Os circuitos de medição de tensão e corrente são mostrados na Figura 5.4a e Figura 5.4b, respectivamente. Consideram-se, no presente caso, os sensores adotados na montagem experimental: LV-20P [64] (tensão) e LT 100-S [63] (corrente).

O sensor de tensão, LV-20P, demanda um resistor de primário, o qual é escolhido para que, de acordo com o nível de tensão a ser medido, obtenha-se a corrente nominal no sensor. No circuito de medição, em questão, escolheu-se uma associação de resistores equivalente a $16,09\text{ k}\Omega$ ($22\text{ k}\Omega // 120\text{ k}\Omega // 120\text{ k}\Omega$), de forma que em uma tensão eficaz de aproximadamente 160 V , tem-se uma corrente eficaz no sensor de cerca de 10 mA , valor próximo do nominal. A relação de transformação do sensor é 2500:1000. Sendo assim, o sinal de saída do sensor é de 25 mA_{rms} . Devido ao elevado nível de tensão sobre o resistor de primário, deve-se escolhê-lo para garantir a potência dissipada no mesmo.

A alimentação do sensor é definida entre $\pm 15 V$, de acordo com a faixa proposta pelo *datasheet*, escolhe-se um resistor de medição equivalente a 100Ω . O sinal em corrente fornecido pelo sensor é projetado para $25 mA_{rms}$, assim, na entrada do amplificador, vide Figura D.2.1, tem-se uma tensão eficaz de $2,5 V$. Sabe-se que o conversor analógico-digital da Plataforma dSPACE tem limite em $\pm 10 V$, por isso um ganho equivalente à razão entre o máximo do A/D e o pico do sinal de entrada deve-se atingido (2,8). O ganho relacionado a um amplificador não inversor é dado pela relação em Equação D.2.1. Escolhendo R_g em $10 k\Omega$, para um ganho de 2,8, R_f é escolhido de valor $16,9 k\Omega$, dessa maneira o ganho efetivo é de 2,7, valor próximo do desejado.

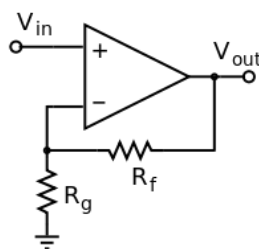


Figura D.2.1 – Amplificador Operacional em configuração não inversora

$$G_{AmpOp} = \frac{R_g + R_f}{R_g} \quad \text{Equação D.2.1}$$

O sensor de corrente não demanda resistor de primário, uma vez que o cabo, cuja corrente que se deseja medir, passa pelo sensor, como indica a Figura 5.4b, de maneira que o sensor possa sentir a corrente passada no cabo, por meio de indução. Como o sensor de corrente adotado, LT 100-S, tem corrente nominal em $100 A$, para aproximar de tal valor nominal, fazem-se dez voltas com o cabo, proporcionando ao sensor, que esse sinta dez vezes a corrente que flui pelo cabo. Por esse motivo, no circuito concebido experimentalmente, a corrente é limitada em $10 A$ de pico, para que se tenha uma folga, adota-se um máximo em $7 A$ de pico. A alimentação do sensor de corrente é a mesma do sensor de tensão, $\pm 15 V$, entre a faixa de resistores de medição possíveis pelo *datasheet*, define-se em 100Ω .

A relação de transformação do sensor é de 1:1000, na condição de $7 A$ de pico (considerando as dez voltas do cabo, $70 A$), tem-se um sinal de corrente na saída em $70 mA$ de pico. Assim, o valor eficaz do sinal em tensão no resistor de medição é $7 V$ de pico. O ganho necessário para a excursão completa do A/D ($\pm 10 V$) é de 1,4, aproximadamente. Definindo o resistor R_g em $10 k\Omega$, o resistor R_f que aproxima o ganho ideal é de $4,12 k\Omega$, obtendo um ganho final de aproximadamente 1,4.