

UNIVERSIDADE FEDERAL DE MINAS GERAIS
Escola de Engenharia
Programa de Pós-Graduação em Engenharia Elétrica

Magno Otton Schneider

**Estudo e projeto de conversores de alto
rendimento para interface de uma
microrrede híbrida**

Belo Horizonte

2023

Magno Otton Schneider

Estudo e projeto de conversores de alto rendimento para interface de uma microrrede híbrida

Dissertação de Mestrado submetida à Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em Engenharia Elétrica da Escola de Engenharia da Universidade Federal de Minas Gerais, como requisito para obtenção do Título de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Thiago Ribeiro de Oliveira

Co-orientador: Prof. Dr. Eduardo Vicente Moreira

Belo Horizonte

2023

S359e Schneider, Magno Otton.
Estudo e projeto de conversores de alto rendimento para interface de
uma microrrede híbrida [recurso eletrônico] / . - 2023.
1 recurso online (121 f. : il., color.) : pdf.

Orientador: Thiago Ribeiro de Oliveira.
Coorientador: Eduardo Vicente Moreira.

Dissertação (mestrado) - Universidade Federal de Minas Gerais,
Escola de Engenharia.

Bibliografia: f. 118-121.
Exigências do sistema: Adobe Acrobat Reader.

1. Engenharia elétrica - Teses. 2. Conversores de corrente elétrica -
Teses. 3. Transistores de potência - Teses. 4. Energia renovável - Teses.
I. Oliveira, Thiago Ribeiro de. II. Moreira, Eduardo Vicente.
III. Universidade Federal de Minas Gerais. Escola de Engenharia.
IV Título.

CDU: 621.3(043)

Schneider, Magno Otton.

Orientador: Thiago Ribeiro de Oliveira.
Coorientador: Eduardo Vicente Moreira.

Bibliografia: f. 118-121.
Exigências do sistema: Adobe Acrobat Reader.

CDU: 621.3(043)



UNIVERSIDADE FEDERAL DE MINAS GERAIS
ESCOLA DE ENGENHARIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

FOLHA DE APROVAÇÃO

"ESTUDO E PROJETO DE CONVERSORES DE ALTO RENDIMENTO PARA INTERFACE DE UMA MICRORREDE HÍBRIDA"

MÁGNO OTTON SCHNEIDER

Dissertação de Mestrado submetida à Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em Engenharia Elétrica da Escola de Engenharia da Universidade Federal de Minas Gerais, como requisito para obtenção do grau de Mestre em Engenharia Elétrica. Aprovada em 26 de setembro de 2023. Por:

Prof. Dr. Thiago Ribeiro de Oliveira
(UFMG) - Orientador

Prof. Dr. Eduardo Moreira Vicente
(UFSJ) - Coorientador

Prof. Dr. Gabriel Azevedo Fogli
(UFMG)

Prof. Dr. Lenin Martins Ferreira Moraes
(UFMG)

Prof. Dr. Waner Wodson Aparecido Gonçalves Silva
(UNIFEI - Campus Itabira)



Documento assinado eletronicamente por **Thiago Ribeiro de Oliveira, Professor do Magistério Superior**, em 26/09/2023, às 15:06, conforme horário oficial de Brasília, com fundamento no art. 5º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



Documento assinado eletronicamente por **Waner Wodson Aparecido Gonçalves Silva, Usuário Externo**, em 27/09/2023, às 13:27, conforme horário oficial de Brasília, com fundamento no art. 5º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



Documento assinado eletronicamente por **Lenin Martins Ferreira Moraes, Professor do Magistério Superior**, em 27/09/2023, às 13:42, conforme horário oficial de Brasília, com fundamento no art. 5º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



Documento assinado eletronicamente por **Gabriel Azevedo Fogli, Professor do Magistério Superior**, em 27/09/2023, às 13:47, conforme horário oficial de Brasília, com fundamento no art. 5º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



Documento assinado eletronicamente por **Eduardo Moreira Vicente, Usuário Externo**, em 03/10/2023, às 09:42, conforme horário oficial de Brasília, com fundamento no art. 5º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



A autenticidade deste documento pode ser conferida no site https://sei.ufmg.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0, informando o código verificador **2651180** e o código CRC **D5E1A751**.

Dedico este trabalho ao Filho (in memoriam) por ter me acompanhado nos últimos 2 anos.

Agradecimentos

Em primeiro lugar, sou extremamente grato à minha família pelo apoio incondicional ao longo de toda a minha jornada acadêmica. Gostaria de agradecer, em especial, à minha esposa Tânia, por sua paciência e compreensão nos momentos de dificuldade. Também gostaria de agradecer à minha mãe, Maria Ângela, pelo incentivo constante e pela educação que me proporcionou.

Aos professores e mestres da UFMG e UFSJ, que são minhas referências profissionais e pessoais, em especial aos meus orientadores Thiago e Eduardo Moreira, por suas excelentes conversas, paciência e orientações valiosas ao longo dos últimos anos. Agradeço ainda aos professores Gabriel Fogli, Lenin e Waner pelas colaborações para melhorar ainda mais a qualidade deste trabalho, principalmente pela humildade e forma de transmitir o conhecimento.

Aos amigos e colegas de laboratório Vítor, Israel, João, Aurean e Pedro, pelas conversas, troca de ideias e ajuda que me possibilitaram melhorar este trabalho. A todos que, de alguma forma, contribuíram para que eu chegasse até aqui, meu sincero agradecimento!

À Engetron, pelo apoio financeiro em projeto de pesquisa realizado durante o período do mestrado.

Este trabalho foi realizado com o apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES) por meio do Programa de Excelência Acadêmica (PROEX).

Feliz aquele que transfere o que sabe e aprende o que ensina. - Cora Carolina

Resumo

Com o crescimento das fontes de energia renovável e a adoção de microrredes para gerenciamento de energia, os conversores de interface se tornaram fundamentais para conectar essas estruturas à rede elétrica. A eficiência desses conversores é um fator-chave para viabilizar a implementação de microrredes. Nesse contexto, este trabalho tem como objetivo estudar e projetar um conversor bidirecional c.a./c.c. de 10kW para a interface de uma microrrede híbrida. O projeto do conversor consiste em sintetizar uma tensão de saída de $380V_{cc}$ a partir de uma fonte monofásica de $220V_{rms}$ c.a. utilizando um conversor de dois estágios. Para isso, foram avaliadas 384 combinações de topologias e configurações de transistores de potência (Si IGBTs e SiC MOSFETs), considerando tanto custo quanto eficiência na busca pelo projeto ótimo. As perdas dos interruptores de potência foram estimadas através de simulação usando o módulo térmico do PSIM, enquanto os indutores foram projetados através de uma rotina no MATLAB que calcula o projeto ótimo visando baixas perdas. Para aprimorar a eficiência do conversor, conduziu-se um estudo abrangente para avaliar o impacto da variação dos parâmetros de projeto na curva de rendimento. Com o intuito de selecionar o conversor mais adequado, foram escolhidos candidatos a partir do limite de Pareto e realizado um estudo minucioso das perdas considerando aplicação em curvas de carga típicas residencial/comercial.

Palavras-chave: Conversores c.a./c.c. Microrredes. SiC MOSFETs. IGBTs. Eficiência.

Abstract

With the growth of renewable energy sources and the adoption of microgrids for energy management, interface converters have become fundamental to connect these structures to the power grid. The efficiency of these converters is a key factor in making microgrids implementation viable. In this context, this work aims to study and design a bidirectional AC/DC converter of 10kW for the interface of a hybrid microgrid. The converter project consists of synthesizing a 380V DC output voltage from a single-phase 220V AC source using a two-stage converter. For this purpose, 384 combinations of power transistor topologies and configurations (Si IGBTs and SiC MOSFETs) were evaluated, considering both cost and efficiency in the search for the optimal design. The power switch losses were determined using the thermal module of PSIM, while the inductors were designed with a routine in MATLAB that calculates the optimal design for low losses. To improve the converter's efficiency, a comprehensive study was carried out to assess the impact of varying the design parameters on the performance curve. In order to select the most suitable converter, candidates were chosen from the Pareto limit and a detailed study of losses was carried out considering application to typical residential/commercial load curves.

Keywords: AC-DC converters. Microgrids. SiC MOSFETs. IGBTs. Efficiency.

Lista de Ilustrações

Figura 1 – Comparações entre matriz elétrica de 2002 e 2022.	17
Figura 2 – GCs, GDs e sistemas isolados	18
Figura 3 – Microrrede c.a.	20
Figura 4 – Microrrede híbrida	21
Figura 5 – Configuração dos conversores de interface da microrrede híbrida proposta.	21
Figura 6 – Comparação das características de operação entre as tecnologias Si, SiC e GaN.	27
Figura 7 – Cenário de aplicação de tecnologias.	31
Figura 8 – Topologia dos conversores estudados.	31
Figura 9 – Topologias c.a.-c.c. bidirecionais comuns na literatura.	32
Figura 10 – Topologias c.c.-c.c. bidirecionais comuns na literatura.	33
Figura 11 – Diagrama de blocos dos métodos de modulação PWM para o conversor.	34
Figura 12 – Variação da indutância L com f_{sw} para <i>ripple</i> de 1%.	36
Figura 13 – Topologia adotada para projeto do filtro LCL.	37
Figura 14 – Variação do indutor L_1 com a frequência de chaveamento e <i>ripple</i> de corrente.	39
Figura 15 – Relação entre r e o <i>ripple</i> das correntes dos indutores L_1 e L_2	40
Figura 16 – Diagrama de Bode do filtro LCL para diversos valores de R_f	41
Figura 17 – Formas de ondas das corrente dos indutores baseado em [1].	42
Figura 18 – Formas de ondas das corrente dos indutores baseado em [2].	45
Figura 19 – Variação do <i>ripple</i> da tensão do BI com a variação da capacitância.	49
Figura 20 – Limites de operação do banco de capacitores proposto.	51
Figura 21 – Disposição dos sensores no conversor proposto	52
Figura 22 – Diagrama de blocos do sistema de controle do conversor proposto.	53
Figura 23 – Desempenho dos controladores propostos.	55
Figura 24 – Curva V_{DS} vs I_{DS} para diversos valores de V_{gate} e $T_j = 175^\circ C$	59
Figura 25 – Formas de onda para <i>Hard-Switching</i> no SiC MOSFET C3M0021120k.	59
Figura 26 – Variação da distribuição da corrente com a frequência em um condutor.	61
Figura 27 – Variação da resistência do condutor AWG 19 com a frequência.	63
Figura 28 – Metodologia para projeto ótimo de indutores.	65

Figura 29 – Curva I_{DS} vs V_{DS} do SiC C3M0021120K para diferentes tensões de acionamento.	68
Figura 30 – Curva I_{DS} vs SW_{losses} do SiC C3M0021120K.	68
Figura 31 – Curva R_G vs SW_{losses} do SiC C3M0021120K.	69
Figura 32 – Capacitâncias parasitas de entrada do gate.	69
Figura 33 – Curva R_G vs SW_{time} do SiC C3M0021120K.	70
Figura 34 – Configurações para inserção do resistor de gate.	72
Figura 35 – Configuração 34a) para 2xSiC C3M0021120K em paralelo.	73
Figura 36 – Corrente do <i>gate driver</i> na configuração da Figura 35.	73
Figura 37 – Rendimento da topologia NPC no primeiro estágio.	79
Figura 38 – Rendimento da topologia Full-Bridge no primeiro estágio.	80
Figura 39 – Rendimento da topologia Half-Bridge no segundo estágio.	82
Figura 40 – Rendimento da topologia Full-Bridge no segundo estágio.	83
Figura 41 – Rendimento da topologia HBE no segundo estágio.	84
Figura 42 – Rendimento da topologia SNPC no segundo estágio.	86
Figura 43 – Núcleo 0077337A7 kool Mu <i>Magnetics</i>	89
Figura 44 – Perdas dos indutores para todas as topologias, exceto HBE.	89
Figura 45 – Perdas dos indutores da topologia HBE.	90
Figura 46 – Rendimento das combinações de topologias para 1xIGBT@60A.	90
Figura 47 – Rendimento das combinações de topologias para 2xIGBT@30A.	91
Figura 48 – Rendimento das combinações de topologias para 2xIGBT@60A.	92
Figura 49 – Rendimento das combinações de topologias para 1xSiC@60A.	93
Figura 50 – Rendimento das combinações de topologias para 2xSiC@30A.	93
Figura 51 – Rendimento das combinações de topologias para 2xSiC@60A.	94
Figura 52 – Limite de Pareto considerando custo e rendimento.	96
Figura 53 – Curva de eficiência dos conversores selecionados em 52.	97
Figura 54 – Eficiência individual de cada projeto.	98
Figura 55 – Custo individual de cada projeto.	99
Figura 56 – Impacto da variação da frequência de chaveamento na curva de rendimento do conversor.	100
Figura 57 – Impacto da variação da frequência de chaveamento na eficiência média do conversor.	100
Figura 58 – Perdas do conversor 1 com variação da frequência de chaveamento.	101
Figura 59 – Impacto da variação de tensão do Elo c.c. na curva de rendimento do conversor.	102
Figura 60 – Perdas do conversor em plena carga para vários valores de tensão do Elo c.c.	103
Figura 61 – Impacto da tensão variável na curva de rendimento do conversor.	103
Figura 62 – Impacto da temperatura de projeto na curva de rendimento do conversor.	104

Figura 63 – Eficiência média do conversor de acordo com a temperatura de projeto.	105
Figura 64 – Eficiência do conversor de acordo com o projeto do filtro LCL.	105
Figura 65 – Eficiência do conversor de acordo com o projeto do filtro LCL.	106
Figura 66 – Curva de carga típica residencial.	108
Figura 67 – Curva de carga típica comercial.	108
Figura 68 – Comparação entre projeto ótimo nominal e orientado por curva de carga residencial 100%.	109
Figura 69 – Comparação entre projeto ótimo nominal e orientado por curva de carga residencial 40%.	109
Figura 70 – Comparação entre projeto ótimo nominal e orientado por curva de carga comercial 100%.	110
Figura 71 – Comparação entre projeto ótimo nominal e orientado por curva de carga comercial 40%.	110
Figura 72 – Eficiência típica de conversores em aplicação residencial.	111
Figura 73 – Perda mensal de conversores em aplicação residencial.	111
Figura 74 – Eficiência típica de conversores em aplicação comercial.	112
Figura 75 – Perda mensal de conversores em aplicação comercial.	112

Lista de Tabelas

Tabela 1 – Parâmetros iniciais de projeto.	26
Tabela 2 – Comparação das tecnologias de Interruptores de potência - Semicondutores discretos.	29
Tabela 3 – Ripple de corrente e indutância requerida conforme método de modulação para conversores de dois níveis.	35
Tabela 4 – Níveis de Harmônicos conforme IEEE 1547	35
Tabela 5 – Projeto do filtro LCL	41
Tabela 6 – Projeto do filtro LCL	45
Tabela 7 – Condições de cálculo do filtro LC de saída do conversor c.c./c.c.	47
Tabela 8 – Resumo dos controladores	54
Tabela 9 – Perdas dos capacitores utilizados no conversor	67
Tabela 10 – Perdas do conversor para as configurações de gate driver	74
Tabela 11 – Interruptores utilizados nas simulações	77
Tabela 12 – Combinações de simulações	77
Tabela 13 – Custo (em \$) dos componentes do conversor sem os transistores.	78
Tabela 14 – Eficiência média das curvas da topologia NPC.	81
Tabela 15 – Eficiência média das curvas da topologia FB.	81
Tabela 16 – Eficiência média das curvas da topologia HB.	87
Tabela 17 – Eficiência média das curvas da topologia FB.	87
Tabela 18 – Eficiência média das curvas da topologia HBE.	88
Tabela 19 – Eficiência média das curvas da topologia SNPC.	88
Tabela 20 – Perdas em carga nominal dos filtros de acordo com a topologia	88
Tabela 21 – Conversores ótimos considerando cada curva de carga.	113

Lista de Abreviaturas e Siglas

ANEEL	Agência Nacional de Energia Elétrica
EPE	Empresa de Pesquisa Energética
FB	<i>Full-Bridge</i>
GC	Geração Centralizada
GD	Geração Distribuída
HB	<i>Half-Bridge</i>
HBE	<i>Half-Bridge</i> Entrelaçado
IGBT	Transistor Bipolar de Porta Isolada (do inglês <i>Insulated-Gate Bipolar Transistor</i>)
MOSFET	Transistor de Efeito de Campo Metal-Oxido-Semicondutor (do inglês <i>Metal Oxide Semiconductor Field Effect Transistor</i>)
ONS	Operador Nacional do Sistema Elétrico
PCB	Placa de Circuito Impresso (do inglês <i>Printed Circuit Board</i>)
PIB	Produto Interno Bruto
SiC	Carbeto de Silício (do inglês <i>Silicon Carbide</i>)
WBG	Semicondutor de Banda Larga (do inglês <i>Wide Band Gap</i>)

Sumário

1	Introdução	16
1.1	Contextualização	16
1.1.1	Energia elétrica no Brasil	16
1.1.2	Sistema elétrico brasileiro	17
1.1.3	Microrredes de Energia ($\mu G's$)	19
1.2	Conversores de interface - Estado da arte	20
1.3	Objetivo	22
1.3.1	Objetivos Específicos	22
1.4	Contribuições do trabalho	23
1.5	Organização do trabalho	23
2	Conversores monofásicos para sistemas de distribuição c.c.	25
2.1	Premissas de projeto e condições de contorno	25
2.2	Semicondutores de potência	26
2.2.1	IGBT S_i	28
2.2.2	MOSFET SiC	28
2.2.3	Comparação entre as tecnologias de transistores	29
2.3	Topologias do conversor de interface c.a./c.c.	30
2.3.1	Topologia do Primeiro Estágio (Conversor c.a./c.c.)	32
2.3.2	Topologia do Segundo Estágio (Conversor c.c./c.c.)	33
2.3.3	Métodos de modulação para o conversor de interface baseado em PWM	34
2.4	Filtro EMI	35
2.4.1	Filtro L	36
2.4.2	Filtro LCL	37
2.4.2.1	Projeto de Filtro LCL baseado em [1]	38
2.4.2.2	Projeto de Filtro LCL baseado em [2]	41
2.4.3	Projetos de filtros LCL considerados	46
2.5	Filtro LC de saída	46
2.5.1	Projetos de filtro LC considerados	47
2.6	Barramento intermediário ou elo c.c.	48
2.6.1	Dimensionamento do capacitor ótimo	50
2.7	Controle do conversor	52
2.8	Conclusões do capítulo	55
3	Estudo de perdas nos componentes do conversor	57
3.1	Semicondutores	57
3.1.1	Perdas de condução	57

3.1.2	Perdas de chaveamento	58
3.2	Perdas nos indutores	60
3.2.1	Perdas no cobre	60
3.2.2	Perdas no núcleo	63
3.2.3	Metodologia de cálculo de perdas	64
3.3	Perdas nos capacitores, gate driver e PCB	64
3.3.1	Perdas nos capacitores	64
3.3.2	Perdas no <i>gate driver</i>	67
3.3.3	Perdas na PCB	74
3.4	Conclusão do capítulo	75
4	Estudo de caso - Resultados de simulação	76
4.1	Metodologia e Organização das simulações	76
4.2	Primeiro estágio	77
4.2.1	NPC - <i>Neutral Point Clamped</i>	77
4.2.2	Full-Bridge	78
4.2.3	Análise dos resultados	80
4.3	Segundo estágio	81
4.3.1	Half-Bridge	81
4.3.2	Full-Bridge	83
4.3.3	Half-Bridge Entrelaçado	84
4.3.4	SNPC - <i>Simplified Neutral Point Clamped</i>	85
4.3.5	Análise dos resultados	85
4.4	Perdas nos filtros	87
4.5	Conversor completo	89
4.6	Projeto ótimo considerando eficiência e custo	94
4.6.1	Limite de Pareto	94
4.6.2	Escolha do conversor e justificativa	97
4.7	Influência de parâmetros de projeto no rendimento do conversor	98
4.7.1	Variação da frequência de chaveamento	98
4.7.2	Variação da tensão do BI	101
4.7.3	Variação do projeto térmico	103
4.7.4	Variação do projeto do filtro LCL	104
4.7.5	Variação do projeto do filtro LC	106
4.8	Proposta de metodologia de projeto ótimo orientado por curva de carga	107
4.9	Conclusão do capítulo	113
5	Conclusão	115
	Referências	118

Capítulo 1

Introdução

Este trabalho de mestrado tem como objetivo apresentar um estudo e projeto de conversores monofásicos de alta eficiência para a interface de uma microrrede híbrida destinada ao fornecimento de energia a edifícios residenciais e comerciais. Para isso, serão investigados parâmetros que influenciam no rendimento desses conversores, tais como: *(i)* topologia; *(ii)* tecnologia dos interruptores de potência; *(iii)* tensão do elo c.c.; *(iv)* frequência de chaveamento; *(v)* projeto dos filtros; e *(vi)* projeto térmico.

No capítulo a seguir, serão abordados os conceitos de microrredes de energia, conversores de interface e eficiência, bem como o cenário atual do sistema elétrico brasileiro. Por fim, serão apresentados os objetivos, as contribuições e a organização do texto.

1.1 Contextualização

1.1.1 Energia elétrica no Brasil

O desenvolvimento econômico de um país depende, dentre diversos fatores, do consumo de energia. Essa relação entre a variação do Produto Interno Bruto (PIB) e o consumo de energia é tratada como um indicador de desenvolvimento econômico e tem vínculo direto com a qualidade de vida da sociedade, que é determinada pelo consumo de bens tecnológicos (automóveis, aparelhos eletrônicos e eletrodomésticos) e também pelo nível de atividade do país (indústria, comércio e serviços) [3].

Dentre as formas de energia, a elétrica vem se tornando cada vez mais explorada e requisitada em virtude do aumento de carga impulsionado pelo desenvolvimento econômico, eletrificação de produtos e processos, e pela busca por desenvolvimento sustentável e fontes de energia com baixa emissão de carbono [4]. De acordo com o Operador Nacional do Sistema Elétrico (ONS), o consumo de energia aumentou em aproximadamente 84% nos últimos 20 anos (2001-2021) [5], enquanto que, no mesmo período, houve uma redução de cerca de 27% da participação do petróleo e seus derivados dentre todas as formas de

energia do Brasil [6]. Além disso, conforme estudos e projeções realizados pela Empresa de Pesquisa Energética (EPE), o Brasil deverá aumentar seu PIB em média 3,1% ao ano até 2050 em um cenário de expansão, o que significará uma demanda de energia elétrica 3,3 vezes maior em comparação com 2015 [4].

Além do cenário de expansão do consumo de energia elétrica, a composição da Matriz Energética também vem sofrendo alterações ao longo dos anos, principalmente após o episódio de apagão vivenciado em 2001 pela seca severa e elevada dependência de energia hidráulica [7]. Desde então, a matriz brasileira tem se tornado cada vez mais diversificada, com destaque para as fontes intermitentes como eólica e solar, que vem em um crescimento exponencial nos últimos 20 anos. A Figura 1 apresenta uma comparação entre as matrizes energéticas de 2002 e 2022.

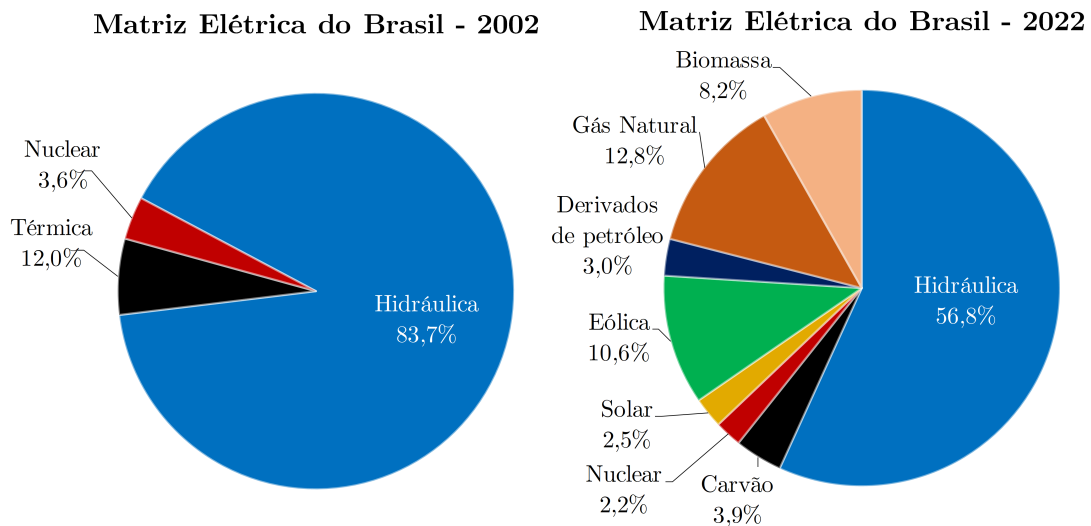


Figura 1 – Comparações entre matriz elétrica de 2002 e 2022.

Fonte: Adaptado de [7] e [8].

Mesmo com a diversificação da matriz elétrica atual, secas severas ainda podem afetar a rede de maneira significativa, como ocorreu em 2021, considerada a pior seca desde 1940 [9] e ainda segundo o ONS, os reservatórios mais relevantes atingiram a média de 10% de sua capacidade em novembro deste mesmo ano, o que gerou alerta de colapso do sistema elétrico [5]. Essa situação de crise hídrica vem gerando investimentos cada vez maiores em energia solar e eólica, que deve aumentar ainda mais com o domínio da tecnologia e redução de custos de produção, o que a longo prazo deve tornar o sistema elétrico brasileiro altamente intermitente.

1.1.2 Sistema elétrico brasileiro

Nesse cenário de significativo aumento de carga, diversos desafios tecnológicos, ambientais, sociais e econômicos devem surgir como consequência. Dentre eles, o desafio da forma de transmissão dessa energia é amplamente discutido, principalmente pelo

aumento da inserção de fontes intermitentes de geração de energia [4] e ainda pela elevada dependência de recursos hídricos, que é agravada com as secas cada vez mais frequentes devido às mudanças climáticas [10], conforme constatado pela mudança da matriz elétrica apresentado na Figura 1.

Ainda de acordo com [4], a Geração Centralizada (GC), que diz respeito ao fluxo unidirecional de energia onde poucas unidades geradoras produzem grandes blocos que energia que são levados via rede de alta tensão aos centros consumidores, deverá ser responsável por cerca de 70% da geração de energia, o que significa um aumento de 2,5 vezes em comparação com 2015. Já a Geração Distribuída (GD), onde a energia produzida é consumida no local ou em áreas próximas, deverá corresponder aos 30% restantes [4], o que colabora ainda mais com a discussão sobre a melhor de forma de gerar, transmitir e gerenciar essa energia. A Figura 2 apresenta um esquemático com a representação de GCs, GDs e sistemas isolados.

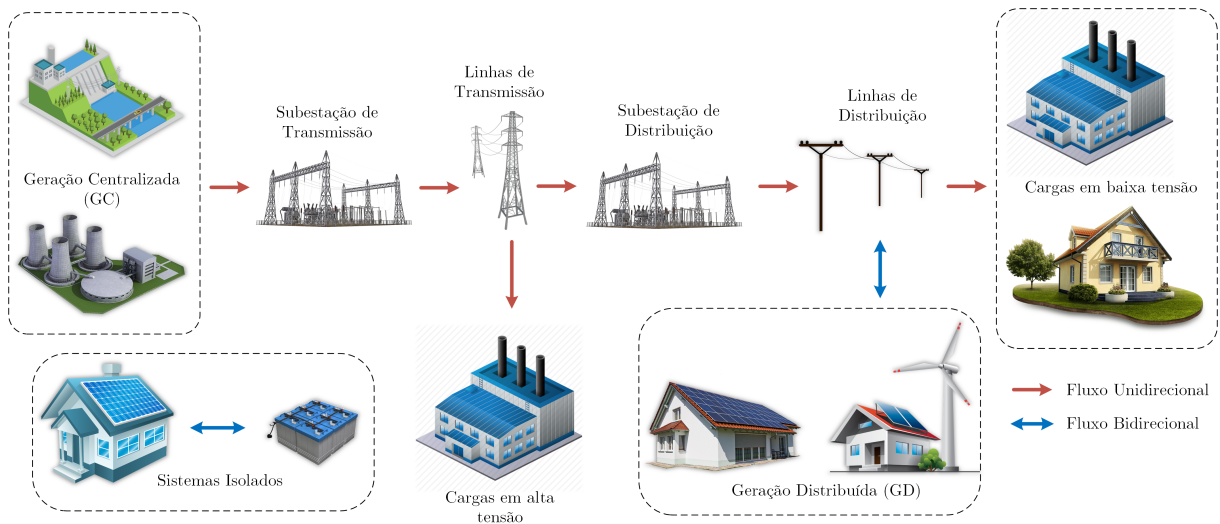


Figura 2 – GCs, GDs e sistemas isolados

Fonte: De autoria própria

Em função do que foi apresentado e motivados por preocupações ambientais e suas consequências, como a aceleração do aquecimento global pelo aumento da emissão de gases do efeito estufa, a comunidade científica e autoridades pelo mundo estão realizando um grande esforço em pesquisas de métodos alternativos de geração de energia, principalmente fontes renováveis [11]. Tais alternativas renováveis ganharam força com o surgimento em pequena escala de sistemas solar e eólico, fazendo que a geração tenha a característica de GD, acarretando em alguns desafios a serem enfrentados, uma vez que o sistema elétrico atual não foi desenvolvido para lidar com fluxo bidirecional.

Apesar dos diversos benefícios como: (i) Ambientalmente sustentável; (ii) Redução de perdas; (iii) Rápida instalação e comissionamento; (iv) Mitigação de investimentos e; (v) Redução do custo de geração de energia; sabe-se que seus picos de geração não correspondem

ao pico de consumo do sistema elétrico. Além disso, existem algumas desvantagens das GD's como: (i) Problemas de operação, proteção e controle do sistema devido ao fluxo bidirecional; (ii) Alteração do nível de curto-circuito da rede; (iii) Problemas de flutuação de tensão e potência devido ao caráter intermitente de geração e; (iv) Possíveis problemas de qualidade de energia devido a inserção de harmônicos [12]. Para contornar os problemas citados definiu-se o conceito de microrredes de energia, que foi criado para lidar de maneira eficiente com GDs, carga e armazenamento de energia local.

1.1.3 Microrredes de Energia (μG 's)

Microrredes são a representação do sistema elétrico em pequena escala, que agrega diversas soluções para melhorar o fluxo de energia nas redes de distribuição. Para ser considerada como tal, deve possuir variedade de geração local, sistema(s) de armazenamento de energia, cargas locais, deve ser capaz de controlar o fluxo de potência entre as GD's (*power sharing*), controlar o fluxo de potencia com a rede de distribuição (*single-controllable entity*) e operar tanto no modo ilhado quanto conectado [13].

No contexto das μG 's, há três formas principais de estrutura, sendo: (i) μG c.a., (ii) μG c.c. e (iii) μG híbrida. Pelo sistema elétrico ser historicamente em corrente alternada, a μG c.a. tem sido amplamente estudada e implementada, uma vez que é possível acoplar todos os elementos característicos de uma microrrede com poucas modificações [11, 12, 13]. A arquitetura da microrrede c.a. possui diversas vantagens como: (i) facilidade de alteração da tensão de operação via transformador; (ii) elevada capacidade de gestão de falhas, uma vez que possui diversos equipamentos de monitoramento e proteção; (iii) diversas soluções de equipamentos e produtos para a rede c.a. que podem ser utilizados e; (iv) experiência técnica por parte dos profissionais da área na atuação em sistemas de corrente alternada. Porém, possui alguns inconvenientes, como: (i) necessidade de sincronização das GD's; (ii) menor aproveitamento do cabeamento devido ao fluxo de potência reativa e; (iii) mais perdas quando comparado a um sistema c.c. equivalente pela adição de conversores c.a./c.c. de interface entre a microrrede e os equipamentos [11]. A topologia básica de uma microrrede c.a. é apresentada na Figura 3.

Entretanto, devido ao grande uso de cargas eletrônicas, que intrinsecamente são circuitos em corrente contínua, da elevada penetração de unidades de GD e de sistemas de baterias baseadas em c.c., μG 's c.c. estão sendo cada vez mais estudadas e implementadas devido aos benefícios dessa estrutura. Dentre eles, citam-se: (i) possibilidade de aumentar a eficiência do sistema com a redução do uso de conversores c.a./c.c. presentes em equipamentos e; (ii) melhor aproveitamento de cabeamento pela não circulação de potência reativa. Todavia, seu custo de implementação ainda é muito elevado e, juntamente com a pouca quantidade de normas e a escassez de dispositivos c.c. para proteção e segurança da instalação, dificultam sua adoção em larga escala [13], [11]. Como forma de

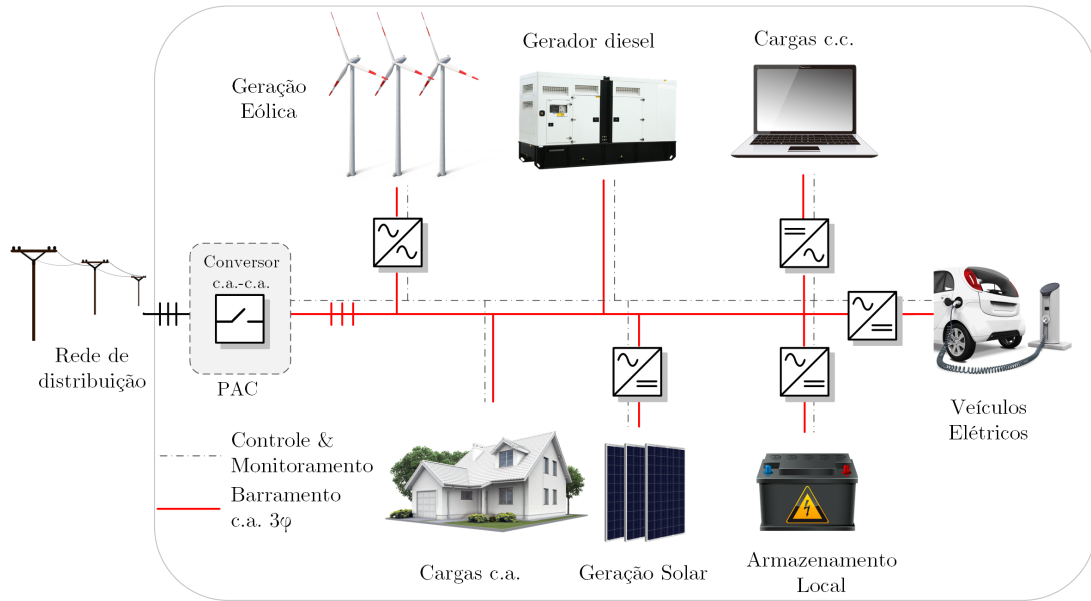


Figura 3 – Microrrede c.a.

Fonte: De autoria própria.

contornar uma parte dessas dificuldades e também reduzir o custo geral do sistema, surgiu o conceito de μG híbrida, que mescla os benefícios de ambas as estruturas de μG 's [11]. A Figura 4 apresenta uma topologia possível de uma microrrede híbrida.

A ideia da utilização de uma μG híbrida é contornar os problemas de custo da μG c.c. e também da menor eficiência da μG c.a.. Sabe-se ainda que num contexto residencial/comercial as cargas locais não são puramente c.a. ou c.c., o que justifica um sistema que seja otimizado para ambos, como apresentado em [14], o tornando mais eficiente.

1.2 Conversores de interface - Estado da arte

Se tratando de microrrede híbrida, o foco será no conversor de interface c.a./c.c., equipamento no qual é investigado o ganho de eficiência em aplicações residencial/comercial de baixa potência (até 10kW). Isso se deve ao fato dos equipamentos c.c. serem projetados com um conversor interno c.a./c.c. dimensionado para sua carga nominal, que serão retirados em detrimento da inserção desse conversor de interface. Como a potência desse conversor deve atender ao menos o pico de carga, a sua curva de eficiência deve possuir alto rendimento em uma ampla faixa para justificar a mudança. Para isso, investigou-se na literatura trabalhos mais recentes e também relevantes no que diz respeito ao projeto desse conversor visando aplicação em microrrede.

Em [11] é feita uma análise e classificação das topologias de microrredes híbridas, na qual estabelecem-se as configurações dos conversores de interface e realiza-se uma

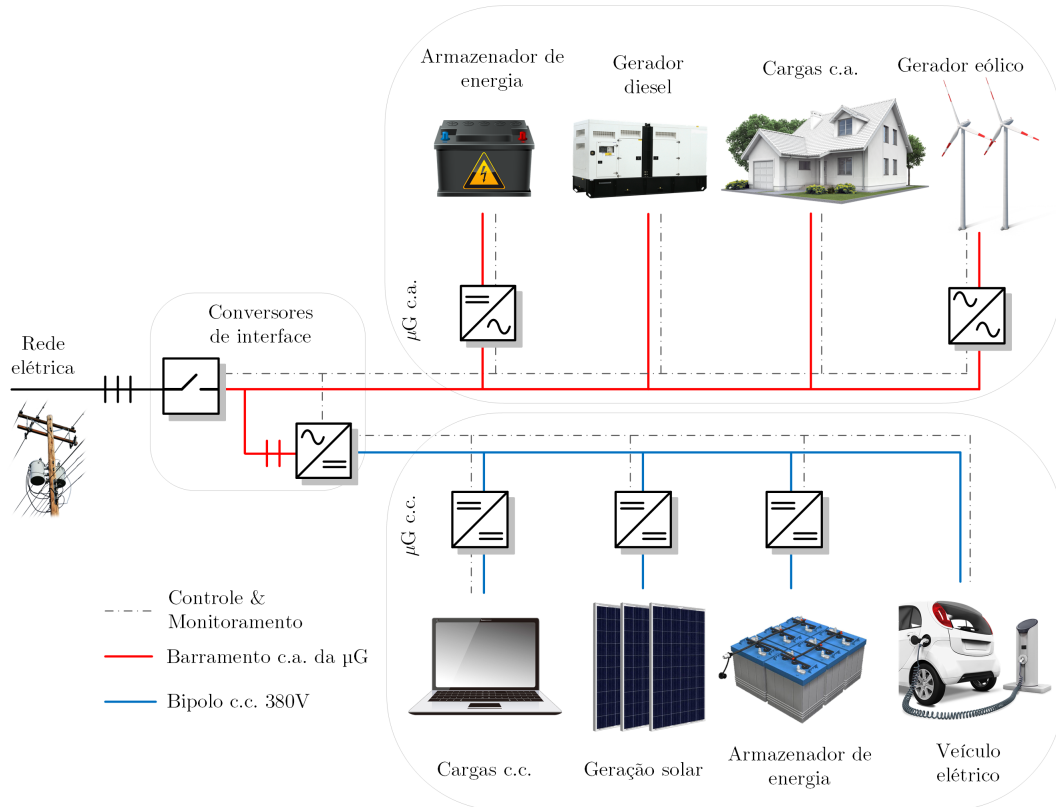


Figura 4 – Microrrede híbrida

Fonte: De autoria própria.

discussão relevante levando em conta a isolação, volume, custo, manutenção, confiabilidade, escalabilidade, modularidade, controlabilidade e gerenciamento de faltas. Após avaliação do estudo, optou-se pela utilização da configuração de microrrede completamente isolada, que apesar do maior volume devido ao uso de um transformador, seu sistema possui baixa manutenção, baixo custo e boa controlabilidade e gerenciamento de faltas, o que deve ser a configuração mais utilizada no Brasil visando consumidores residenciais/comerciais. A Figura 5 apresenta a configuração dos conversores de interface da microrrede utilizada.

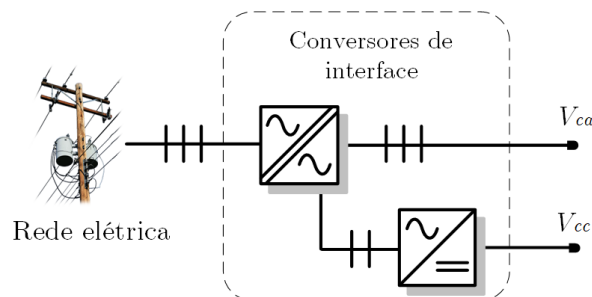


Figura 5 – Configuração dos conversores de interface da microrrede híbrida proposta.

Fonte: Baseado em [11].

Como é possível observar na Figura 5, apenas o conversor c.a./c.a. é isolado, o que impõem algumas limitações à microrrede, como ser necessário que o conversor c.c./c.c. seja

carga do conversor c.a./c.a. para que o sistema seja completamente isolado. Além disso, a potência do conversor c.a./c.a. deve ser maior para suportar a carga dos conversores a jusante. Por outro lado, a rede c.a. da microrrede é fixada pela rede elétrica em modo de operação normal, além do baixo custo do sistema, uma vez que o transformador é externo ao conversor, facilitando manutenções e a proteção da microrrede [11].

Essa configuração então torna possível o projeto de um conversor c.a./c.c. sem transformador, o que reduz o custo de projeto e possibilita aumento da densidade de potência, além de permitir explorar topologias clássicas. Em [15] por exemplo, o conversor projetado possui topologia *Full-Bridge* usando MOSFET's de Carbeto de Silício, atingindo rendimento máximo na ordem de 97% e com elevado rendimento em ampla faixa de carga. Entretanto, apenas uma topologia e chave foram utilizadas para análise, o que limita as possibilidades de projeto. Já em [16] e [17], apesar de mais modelos de chaves e topologias serem consideradas, não foi analisada a característica bidirecional do conversor, além de poucas combinações serem utilizadas, o que reduz o leque de possibilidades. Por fim, [18] apresenta apenas uma topologia para esse conversor, além dos problemas citados para os demais trabalhos.

Apesar dos trabalhos acima citados realizarem o projeto de conversores visando eficiência e densidade de potência, pouco ou nada se falou sobre o impacto do custo do conversor, o que mostra uma lacuna a ser explorada juntamente com os demais aspectos desses trabalhos, como o impacto da variação de parâmetros de projeto na curva de eficiência do conversor. Nesse sentido, o conversor de interface entre o sistema c.a. e c.c. deve ser projetado para ser eficiente levando em consideração as várias possibilidades de chaves, topologias e custo, além de possuir uma curva mais plana de eficiência em relação à carga, denominada "flat", o que permite elevada eficiência em ampla faixa de operação.

1.3 Objetivo

Considerando o contexto apresentado, o qual fornece as questões e desafios relacionados a projetos de conversores e com a intenção de dar continuidade com os estudos desenvolvidos pelo Grupo de Eletrônica de Potência (GEP) da UFMG sobre eficiência de conversores de interface de microrredes, este trabalho tem o objetivo de aprofundar no estudo sobre eficiência de conversores bidirecionais c.a./c.c. de interface de microrredes híbridas. Para isso, o trabalho explora o projeto completo de um conversor bidirecional monofásico de 10kW com curva *flat* de eficiência.

1.3.1 Objetivos Específicos

- Caracterizar as principais topologias de conversores sem transformador com essa finalidade;

- Realizar estudo de rendimento das principais topologias caracterizadas;
- Realizar o projeto ótimo levando em consideração custo e rendimento através de análises do Limite de Pareto;
- Avaliar a influência de parâmetros de projeto na curva de eficiência do conversor ótimo escolhido, contendo: *i*) frequência de chaveamento, *ii*) temperatura de projeto térmico, *iii*) tensão do elo c.c. e, *iv*) projeto dos filtros;

1.4 Contribuições do trabalho

Como contribuições deste trabalho, citam-se os artigos aceitos e/ou publicados em Congresso e/ou revista.

- **Schneider, M.O.**, de Oliveira, T.R. & Vicente, E.M. Evaluation of single-phase interlinking converter topologies for hybrid AC/DC microgrids considering efficiency and cost. Electr Eng (2023). <https://doi.org/10.1007/s00202-023-01917-0>
- **Schneider, M.O.**, de Oliveira, T.R. & Vicente, E.M. High efficiency single-phase AC/DC converter for DC distribution systems (Aceito para publicação no Induscon)
- **Schneider, M.O.**, Araújo, V.H.V., de Oliveira, T.R., Morais, L.M.F. & Fogli, G.A. Modified Opposition Method validation and analysis for characterization of silicon transistors (Aceito para publicação no COBEP)

1.5 Organização do trabalho

O capítulo 2 deste trabalho apresentará o projeto de conversores monofásicos para interface de microrredes, discutindo as tecnologias de chaves empregadas, o projeto dos filtros, as topologias propostas com base na revisão de literatura, o projeto do banco de capacitores do elo-c.c. e a estrutura de controle do conversor.

No capítulo 3, serão abordadas as perdas dos componentes do conversor, como transistores, indutores dos filtros, banco de capacitores, *gate driver* e perdas nas placas de circuito impresso (PCB).

O capítulo 4 apresentará os resultados computacionais deste trabalho, incluindo uma análise das topologias propostas e suas combinações, além do projeto ótimo de conversores de interface considerando custo e rendimento. Será realizada também uma comparação dos projetos em um ambiente residencial e comercial para avaliação de perdas e eficiência.

Por fim, o capítulo 5 concluirá o trabalho com as principais discussões e resultados obtidos durante o mestrado, bem como as perspectivas de trabalhos futuros e melhorias a serem realizadas.

Capítulo 2

Conversores monofásicos para sistemas de distribuição c.c.

Neste capítulo serão apresentados os principais conceitos referente ao projeto de conversores monofásicos para sistemas de distribuição c.c.. Para isso, serão abordadas as principais tecnologias de interruptores de potência e topologias para essa aplicação, bem como as ferramentas para os projetos dos filtros e do sistema de controle do conversor.

2.1 Premissas de projeto e condições de contorno

A escolha de diversos parâmetros de projeto como frequência de chaveamento, modelo e tecnologia de interruptores, tecnologia de capacitores, *gate drive*, dentre outros é normalmente muito complexa. A escolha de um parâmetro afeta diretamente em todos os demais aspectos do projeto, mesmo que indiretamente, sendo essas escolhas de influência variável. Mesmo em projetos multi-objetivos como [19] e [20] onde são analisados diversos parâmetros para o projeto ótimo de conversores, algumas limitações são impostas para viabilizar o uso da ferramenta. Este trabalho também é afetado pelos mesmos motivos, uma vez que diversas escolhas se dão pela experiência do projetista, da disponibilidade de componentes no mercado, dos parâmetros de desempenho desejáveis (parâmetros esses que podem ser subjetivos), do tempo de execução do trabalho, bem como do orçamento disponível para execução da pesquisa.

Para a escolha da frequência de chaveamento foram levados em consideração alguns critérios, como: *i*) Eficiência geral do sistema; *ii*) Análise de trabalhos que utilizam IGBTs e SiC MOSFET e; *iii*) Forma de comparar IGBTs e MOSFETs de maneira justa.

Se tratando de conversores de baixa potência para aplicação residencial/comercial, alguns fabricantes costumam utilizar frequências de chaveamento entre 2,5 kHz a 15 kHz a depender do modelo do conversor utilizado e também de critérios como ruído acústico de origem eletromagnética e perdas por aquecimento. Esses valores de frequência são utilizados

para evitar perdas de chaveamento, o que mostra que apesar de ser algo relevante, os fabricantes ainda não estão visando de maneira efetiva alta densidade de potência em conversores de pequeno porte para aplicações residenciais/comerciais, onde o objetivo principal é o aumento do rendimento com baixo custo.

Sabe-se também que interruptores de Carbetto de Silício (SiC) possuem vantagens em relação à IGBT's em altas frequências, o que possibilita manter um elevado rendimento em aplicações que visam alta densidade de potência, mas também pode ser aplicado em frequências de chaveamento menores com ótimo desempenho. Trabalhos como [16] mostram que ao comparar as mesmas chaves em 20kHz e 40kHz, houve pouca redução de perdas nos SiCs e significativa redução das perdas em IGBTs, justificando o uso de SiCs em maiores frequências de chaveamento e também confirmando o melhor desempenho de IGBTs em médias frequências (10kHz-50kHz). Para este trabalho, visando eficiência geral do sistema, baixo custo e analisando as tendências atuais dos fabricantes de conversores e de trabalhos referência na área, será usado frequência de chaveamento fixa em 15,36kHz, selecionado de forma a permitir uma comparação justa de chaves com tecnologias diferentes.

Ademais, a tensão do elo c.c. será variável para determinar a escolha do projeto ótimo do banco de capacitores do conversor proposto e os filtros são projetados inicialmente para 20% de *ripple* de corrente no filtro de entrada e 10% para o filtro de saída, valor esse sugerido por [16] e [18]. Após a escolha do conversor ótimo, um estudo levando em consideração variação da frequência, tensão do elo c.c., do projeto térmico e filtros será realizado para avaliar a influência da variação de tais parâmetros na curva de rendimento do conversor. A Tabela 1 apresenta os parâmetros de projeto do conversor, sendo que, como a ser apresentado em seções posteriores, a estrutura considerada é de um conversor c.a./c.c. de dois estágios com um elo c.c. e filtro na conexão c.a. e filtro na conexão c.c..

Tabela 1 – Parâmetros iniciais de projeto.

Parâmetro	Valor
Tensão da rede c.a. (V_g)	220 V_{RMS}
Potência nominal do conversor (P_n)	10 kW
Frequência de chaveamento (f_{sw})	15,36 kHz
Tensão do elo c.c. (V_{BI})	450-600 Vcc
Tensão de saída (V_{out})	380 Vcc
Temperatura de junção (T_j)	175 °C
<i>Ripple</i> filtro c.a.	20%
<i>Ripple</i> filtro c.c.	10%

Fonte: De autoria própria.

2.2 Semicondutores de potência

A capacidade de conduzir eletricidade é intrínseco de cada material e esse ramo de estudo é chamado de propriedades elétricas da matéria. Podem ser divididos em materiais

isolantes, condutores ou semicondutores, onde para isso é analisado a quantidade de elétrons livres e a energia necessária para um elétron sair da banda de valência para a banda de condução.

Historicamente, o silício foi o mais utilizado como semicondutor por diversos motivos, mas principalmente pela abundância e facilidade no manuseio. Além disso, suas propriedades elétricas são favoráveis para a fabricação de diversas tecnologias de interruptores eletrônicos (Transistores). Entretanto, com o surgimento da tecnologia de semicondutores banda larga (WBG - do inglês *Wide Band Gap*), algumas limitações do Si vem sendo superadas, impulsionado principalmente pelo Carbetto do Silício (*SiC*) e Nitreto de Gálio (*GaN*). A Figura 6 apresenta uma comparação simples das principais características de operação das três principais tecnologias de chaves atualmente, sendo Si, SiC e GaN [21].

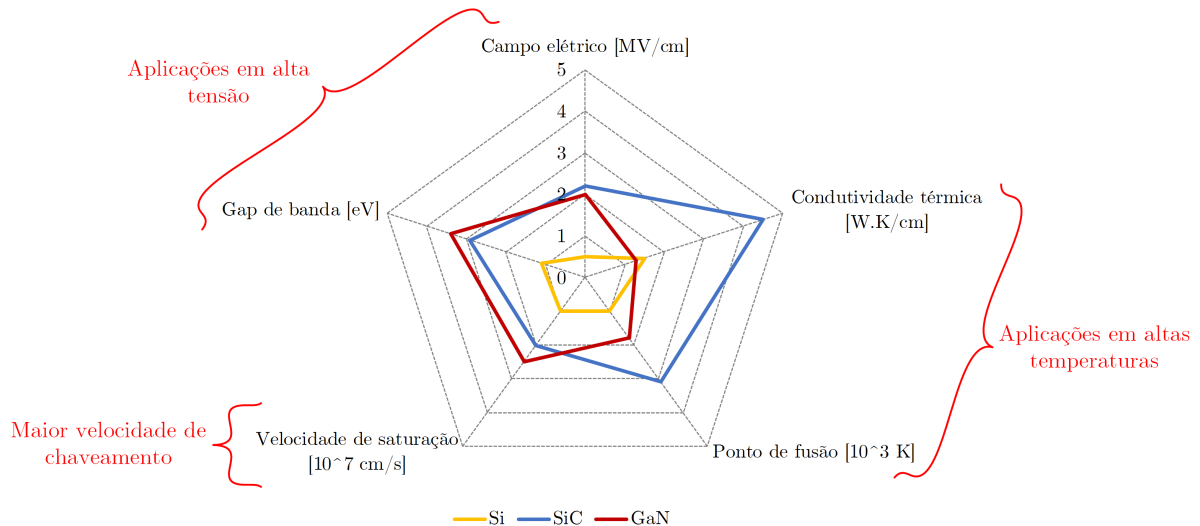


Figura 6 – Comparação das características de operação entre as tecnologias Si, SiC e GaN.

Fonte: Adaptado de [21].

Dentre as tecnologias de interruptores de potência, o IGBT (do inglês *Insulated Gate Bipolar Transistor*) tornou-se a mais utilizada para a fabricação de conversores de pequena e média potência (centenas de kW) e tem entrado até mesmo na classe de MW, impulsionado principalmente pelo setor solar, que vem crescendo exponencialmente nos últimos 20 anos [22].

No entanto, com o surgimento da tecnologia WBG, *SiC* MOSFET's têm se tornado cada vez mais populares devido aos ganhos introduzidos pela tecnologia, sendo os principais: (i) Possibilidade de trabalhar com maior frequência de chaveamento devido às baixas perdas de comutação; (ii) Possibilidade de aumentar a eficiência global do conversor; (iii) Possibilidade do aumento da densidade de potência do conversor; (iv) Redução do tamanho físico do sistema devido ao menor uso de dissipadores de calor (devido às menores perdas) e; (v) Possibilidade de trabalhar com topologias mais simples, uma vez que muitas

topologias são utilizadas visando menos perdas em IGBT's.

2.2.1 IGBT Si

O IGBT é uma tecnologia de transistor de potência que alia a alta impedância de entrada dos MOSFET's com a capacidade de chaveamento e condução de corrente dos BJT's (do inglês - *Bipolar Junction Transistor*). Com o passar dos anos desde a sua invenção na década de 80, a tecnologia vem passando por diversas melhorias que possibilitaram a popularização do seu uso. O IGBT consiste em quatro camadas alternadas (PNPN) que são controladas por uma estrutura de porta do tipo metal-óxido-semicondutor (MOS), portanto, seu acionamento é muito semelhante ao que é realizado nos MOSFET's, entretanto, a resposta das chaves são diferentes, o que resulta em comportamentos e perdas distintas [23].

Devido à construção do IGBT, quando este é acionado, a característica apresentada pelos terminais coletor e emissor pode ser modelada como uma fonte de tensão, que varia conforme o nível de corrente que por ela passa. Essa queda de tensão em seus terminais (V_{CE}) é menor que na tecnologia MOSFET, o que permite menores perdas de condução, visto que no caso dos MOSFET's a característica entre dreno e fonte é modelada como uma resistência ($R_{ds(on)}$). Já em relação ao chaveamento, há perdas no instante de mudança de estado da chave (liga e desliga), sendo este último maior devido ao efeito calda, onde cargas acumuladas no IGBT demoram para serem recombinadas, gerando um efeito de amortecimento da corrente por mais tempo [23].

2.2.2 MOSFET SiC

A tecnologia Si MOSFET é a mais comum do mercado, sendo mais utilizada para fontes chaveadas de baixa potência. Já o SiC MOSFET é muito utilizado para sistemas de alto rendimento e alta densidade de potência e tem sido cada vez mais popularizado devido à diversas vantagens em relação ao Si MOSFET e também com a redução do custo pelo melhor domínio do processo de fabricação. Conforme apresentado na Figura 6, a tecnologia SiC é superior à tecnologia Si em todos os aspectos apresentados, como maior tensão de operação, maior condutividade térmica e maior velocidade de chaveamento [24], [25].

Como consequência do melhor rendimento e também por menor tempo de mercado, a tecnologia SiC ainda é mais cara que Si principalmente pelo processo de obtenção do SiC, na qual Carbono e Sílica são combinados em alta temperatura ($>1.200\text{ }^{\circ}\text{C}$) para obtenção do SiC 12%, com dureza semelhante ao diamante e ainda com grande percentual de falhas, o que acaba aumentando o valor do componente devido ao alto custo energético do processo [26]. Esse processo se tornou viável em 2011 quando o fabricante Cree (Wolfspeed)

introduziu o primeiro SiC MOSFET comercial, modelo CMF20120D [27], [25].

2.2.3 Comparação entre as tecnologias de transistores

Optar por uma tecnologia em detrimento de outra traz consigo tanto benefícios quanto desvantagens, e essa escolha frequentemente não é de natureza simples ou direta, sendo necessário, não apenas avaliar diversos parâmetros de desempenho, mas também o custo da chave e os benefícios do uso da tecnologia. Nesse sentido, primeiramente deve-se comparar alguns parâmetros de desempenho das chaves para avaliar se a aplicação desta é ou não viável. A Tabela 2 apresenta uma comparação qualitativa simples levando em consideração parâmetros de desempenho das tecnologias mais comuns de transistores de potência. É válido ressaltar que BJT's e Si MOSFET's geralmente não são utilizados para a construção de conversores de alta potência pelos parâmetros de desempenho apresentados e/ou pelas suas características de operação.

Tabela 2 – Comparação das tecnologias de Interruptores de potência - Semicondutores discretos.

Característica do dispositivo	BJT	MOSFET Si	IGBT	MOSFET SiC
Classe de tensão	Alta* <1.2 kV	Alta* <1 kV	Muito alta <5 kV	Muito Alta <3.3 kV
Classe de corrente	Alta* <500 A	Muito Alta* <700 A	Muito Alta <800 A	Alta <250 A
Impedância de entrada	Baixo	Alto	Alto	Alto
Impedância de saída	Baixo	Médio	Baixo	Médio
Velocidade de comutação	Lento (μ s)	Rápido (ns)	Médio	Rápido (ns)
Perdas de condução	Baixo	Média	Baixo	Médio
Perdas de chaveamento	Alta	Baixo	Médio	Baixo
Tipo de comando	Corrente	Tensão	Tensão	Tensão
Potência do comando	Muito Alta	Baixa	Baixa	Baixa
Complexidade do comando	Média/Alta	Baixa	Baixa	Baixa
Densidade de corrente	Média	Média	Muito Alta	Alta
Custo	Baixo	Médio	Alto	Muito Alto

Fonte: Adaptado de [23], [24], [28] e [29].

É importante ressaltar que apesar das tecnologias BJT e MOSFET Si possuírem

classe de tensão e corrente altas, não é comum a simultaneidade dessas duas classes, isto é, quando encontra-se um MOSFET Si ou BJT de tensão elevada, a sua corrente é baixa e vice-versa*. No caso dos MOSFET's isso se deve ao fato de ser necessário aumentar a resistividade do canal de dreno para permitir o aumento da classe de tensão, que por se tratar de uma região ôhmica, também limita a capacidade de condução do canal. Caso também fosse possível conduzir elevada corrente, por ter resistência elevada, muita potência seria dissipada levando o dispositivo a ser muito ineficiente. Já no caso dos BJT's, quando aumenta-se a classe de corrente, pela relação de ganho com a base, torna-se necessário um sistema com elevada potência para promover o controle do semicondutor, que torna o sistema complexo e ineficiente, pois quando a classe de tensão do BJT aumenta, a relação de ganho do transistor diminui significativamente [23].

Já no caso dos IGBT's, é possível encontrar dispositivos de classe muito alta de tensão com capacidade de condução de corrente elevada em comparação com as demais tecnologias. Apesar de ser possível encontrar dispositivos com elevada capacidade de bloqueio de tensão e alta capacidade de condução de corrente, os MOSFET's SiC ainda continuam com limitações perante IGBT's. Entretanto, essa diferença se reduz ao passo que a tecnologia SiC vem amadurecendo e também conforme o mercado vai absorvendo a tecnologia para diversas aplicações visando eficiência e aumento da densidade de potência. A Figura 7 apresenta uma estimativa do cenário atual da aplicação de chaves e sua respectiva classe de potência e frequência. Nota-se, portanto, que quanto maior a frequência de chaveamento, menor a potência da aplicação.

2.3 Topologias do conversor de interface c.a./c.c.

De maneira geral, é comum na literatura o uso de topologias de conversores c.a./c.c. bidirecionais já consolidadas, isto é, bastante explorada tanto no meio acadêmico, como pelos fabricantes do mercado. Dessa forma, dentre os tipos de conversores utilizados para aplicação em μG 's para fins residencial/comercial, há possibilidade de utilização de conversores de um ou dois estágios, sendo esse último mais utilizado. Isso ocorre em função do custo e problemas de desempenho dos conversores de estágio único, uma vez que, para manter o *ripple* da tensão do barramento c.c. baixo, é necessário um valor muito elevado de capacitância, tornando o conversor volumoso, pesado e normalmente mais caro quando comparado com conversores de duplo estágio. Ademais, como a grande maioria dos conversores de estágio único são baseados em conversores Boost, não há proteção intrínseca contra curto-circuitos do lado c.c. [13]. Portanto, este trabalho irá apresentar apenas um estudo das topologias de conversores bidirecionais monofásicos de duplo estágio, conforme apresentado na Figura 8.

Por ser um conversor de dois estágios, o primeiro estágio é um conversor c.a./c.c. e o segundo estágio um conversor c.c./c.c., intermediados por um elo c.c. ou barramento

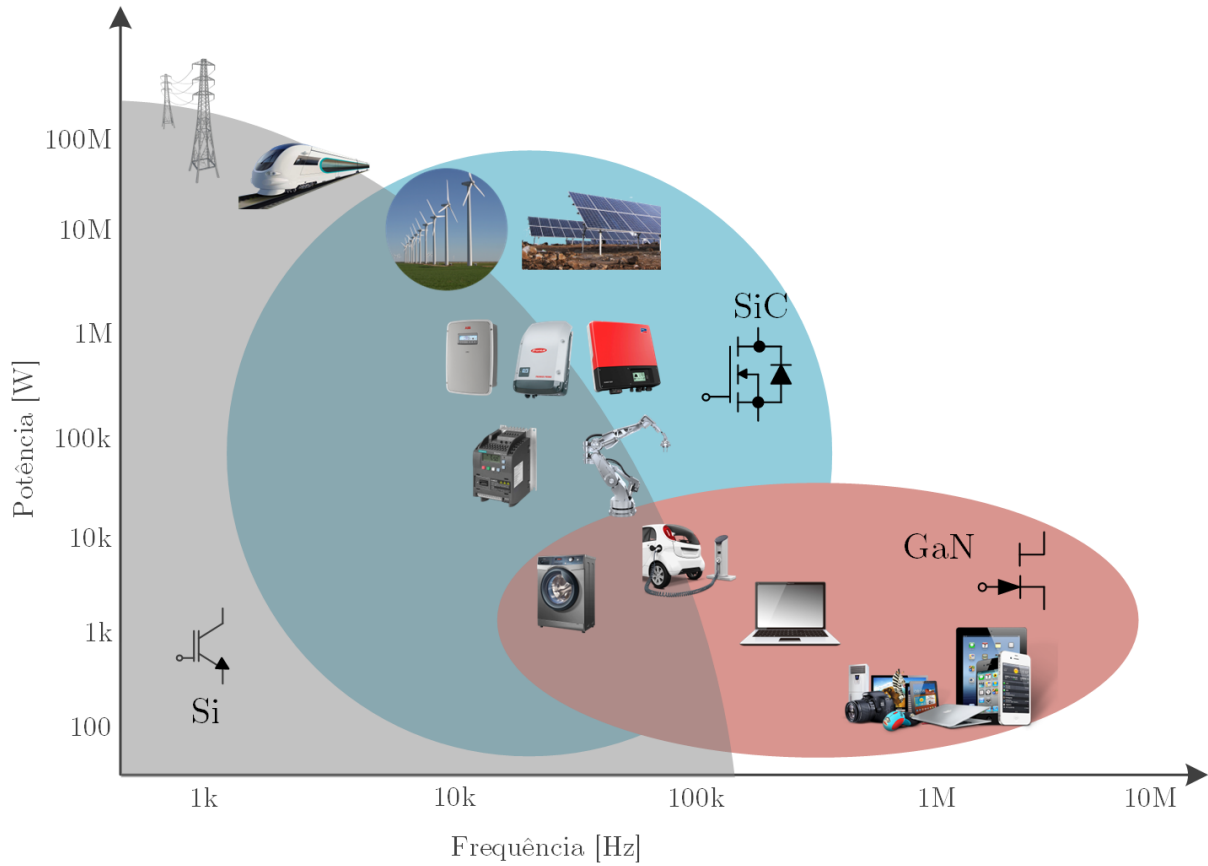


Figura 7 – Cenário de aplicação de tecnologias.

Fonte: Adaptado de [30].

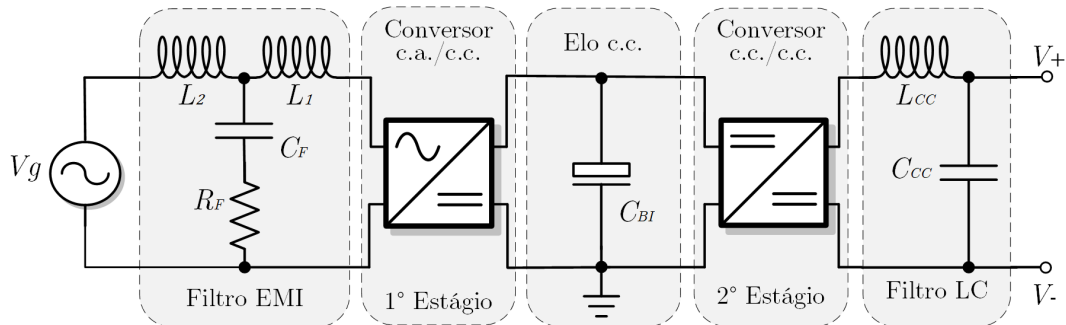


Figura 8 – Topologia dos conversores estudados.

Fonte: De autoria própria.

intermediário (BI). Além disso, tanto na entrada quanto na saída do conversor há filtros para adequar a qualidade da energia entregue à carga e também à rede elétrica.

Analisando apenas o quesito eficiência, tema central deste trabalho, topologias de estágio único em geral são mais eficientes pois apresentam menos chaves e também não há conversores em série [13]. Entretanto, apesar de mais eficientes, a falta de proteção do lado c.c. e a necessidade de um banco de capacitores elevado para reduzir o *ripple* provocado pela retificação da tensão senoidal da rede fazem que seja necessário a aplicação de um

segundo estágio, que deve ser o mais eficiente possível.

2.3.1 Topologia do Primeiro Estágio (Conversor c.a./c.c.)

O primeiro estágio é responsável por converter a tensão senoidal da rede c.a. em c.c. para o barramento intermediário. A Figura 9 apresenta as topologias utilizadas neste trabalho, topologias estas baseadas em [16, 17, 18, 31]. Algumas considerações foram tomadas para essa escolha onde foram desconsideradas as topologias *Full-bridge* modificadas, como HERIC, H5, FB-DCBP, H6, FB cascata, FB *single leg clamped*, dentre outras, pois estas, ou não possuem a característica bidirecional ou adicionam chaves com a intenção de reduzir corrente de fuga e tensão de modo comum [?], características não abordadas neste trabalho. A mesma consideração vale para a topologia NPC, onde nesse caso foi considerado apenas a célula básica NPC, desconsiderando as topologias capacitor flutuante, cNPC, aNPC, dentre outras. Todas essas simplificações foram feitas visando facilidade de projeto e controle, vantagem essa que foi possível com o advento de chaves com baixas perdas como SiC MOSFET's de terceira geração [32].

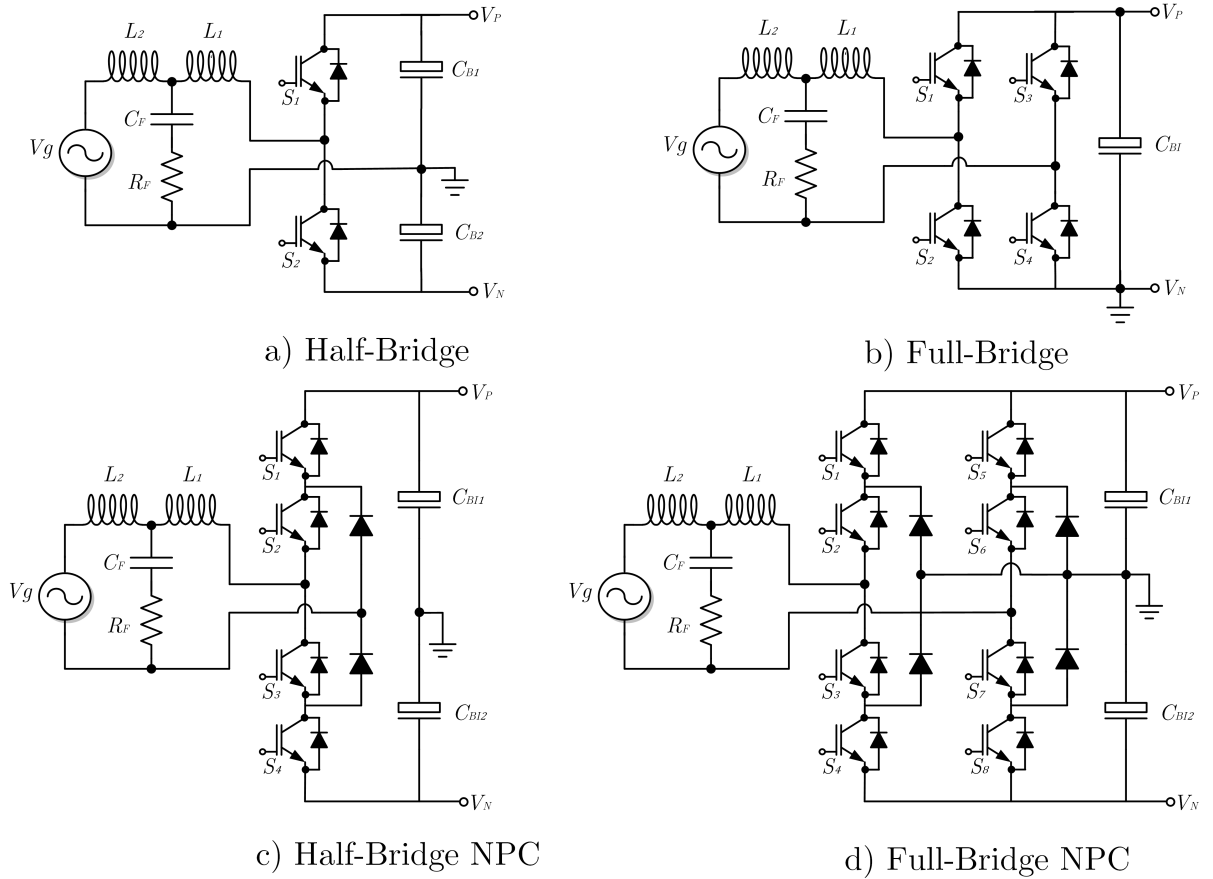


Figura 9 – Topologias c.a.-c.c. bidirecionais comuns na literatura.

Fonte: De autoria própria.

As topologias em meia ponte *Half-Bridge* e *Half-Bridge* NPC apresentadas na

Figura 9a e 9c conseguem sintetizar metade da tensão do elo c.c., o que para atingir os 311V de pico da tensão da rede (V_g), torna-se necessário o mínimo de 622V no barramento [18]. Entretanto, como a tensão do elo c.c. foi limitada ao intervalo de 450-600V, tais topologias tornam-se impróprias para tal aplicação. Vale ressaltar que caso a tensão da rede (V_g) fosse 127V, tais topologias poderiam ser utilizadas com a devida adequação do projeto do filtro e controle.

Diferente das topologias em meia ponte, topologias em ponte completa apresentadas na Figura 9b e 9d precisam apenas de metade da tensão do elo c.c. para sintetizar a tensão da rede, o que permite tensões e filtros menores. Portanto, serão estudadas com maior profundidade as topologias *Full-Bridge* e *Full-Bridge* NPC, a seguir denominada apenas de NPC.

2.3.2 Topologia do Segundo Estágio (Conversor c.c./c.c.)

Dentre as topologias sem transformador, as que serão abordadas neste trabalho são: (i) *Half-Bridge*; (ii) *Full-Bridge*; (iii) *Half-Bridge Entrelaçado* (HBE) e; (iv) SNPC. Pelo fato da tensão do barramento principal (V_{+-}) ser menor (380V), todas as topologias apresentadas são adequadas. A Figura 10 apresenta as topologias citadas.

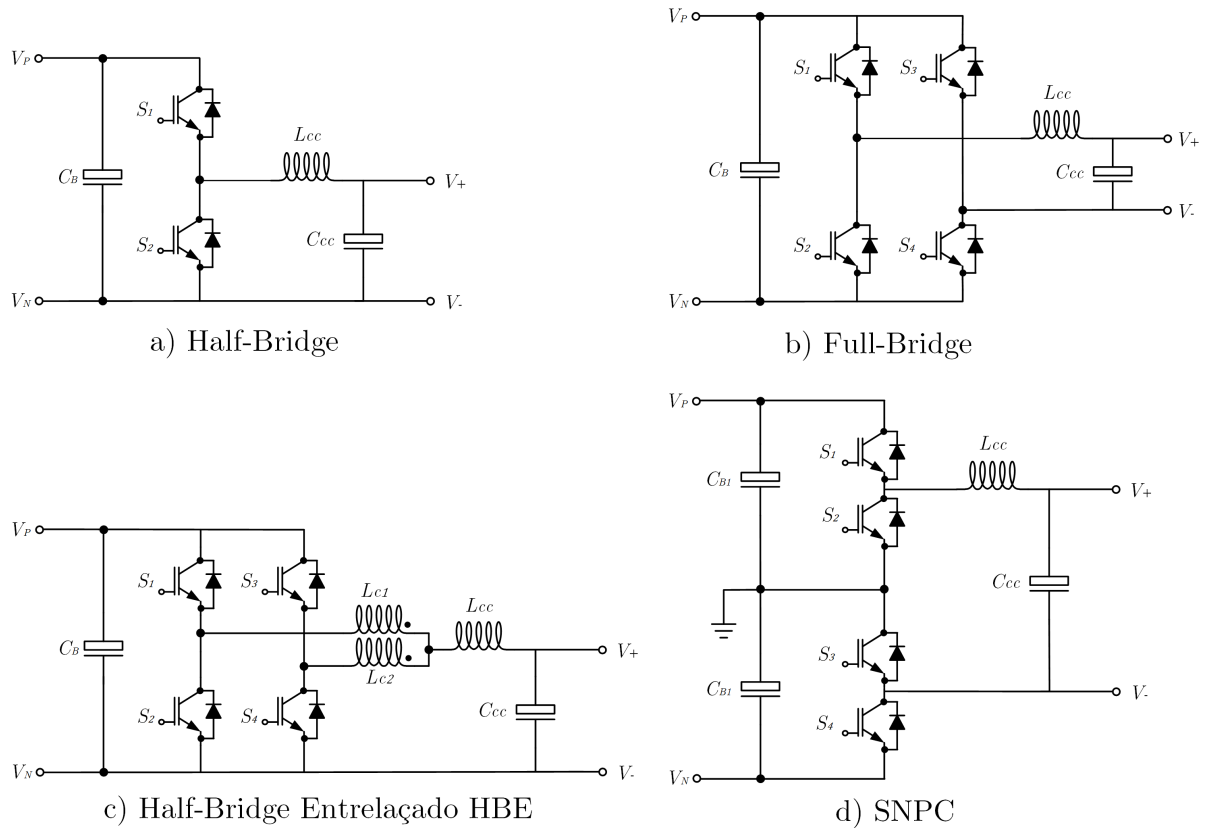


Figura 10 – Topologias c.c.-c.c. bidirecionais comuns na literatura.

Fonte: De autoria própria.

As topologias *Half-Bridge* e *Full-Bridge* são consideradas as mais simples do ponto de vista de controle, sendo que a *Half-Bridge* possui como vantagem o menor uso de chaves e, por consequência, menor perda de condução, maior densidade de potência e menor custo. Entretanto, essas topologias possuem a desvantagem de possuírem maior estresse de tensão, necessitando de interruptores de potência de maior tensão [13].

Já a topologia HBE possui a vantagem de trabalhar com braços em paralelo conforme o nível de carga do sistema. Quando a carga é leve, apenas um braço é acionado enquanto que, quando a carga é elevada, os dois braços são acionados em paralelo visando redução das perdas de condução. Como desvantagem, essa topologia aumenta o custo do conversor por ser necessário indutores de acoplamento e também diminui a densidade de potência. Outra desvantagem dessa topologia é o aumento na complexidade do acionamento das chaves [31, 33].

Por fim, a topologia SNPC é a analogia da NPC do primeiro para o segundo estágio [18]. Como vantagem, essa estrutura reduz o estresse da chave, possibilitando o uso de interruptores de menor tensão de bloqueio. Ademais, tal configuração favorece chaves com maiores perdas de chaveamento, como alguns modelos de IGBT's. Por outro lado, tal topologia possui a desvantagem de aumentar as perdas de condução e prejudicar o rendimento de chaves com maior queda de tensão como MOSFET's.

2.3.3 Métodos de modulação para o conversor de interface baseado em PWM

Para o projeto do conversor é importante definir o método de modulação a ser empregado. Nesse trabalho, utilizou-se o método baseado em PWM (do inglês *Pulse Width Modulation* ou Modulação por Largura de Pulso), uma vez que é desejado frequência fixa devido a este parâmetro estar diretamente relacionado com o projeto do conversor. Nesse conversor é possível utilizar dois métodos: i) Unipolar e; ii) Bipolar. A Figura 11 apresenta o diagrama de blocos dos métodos citados.

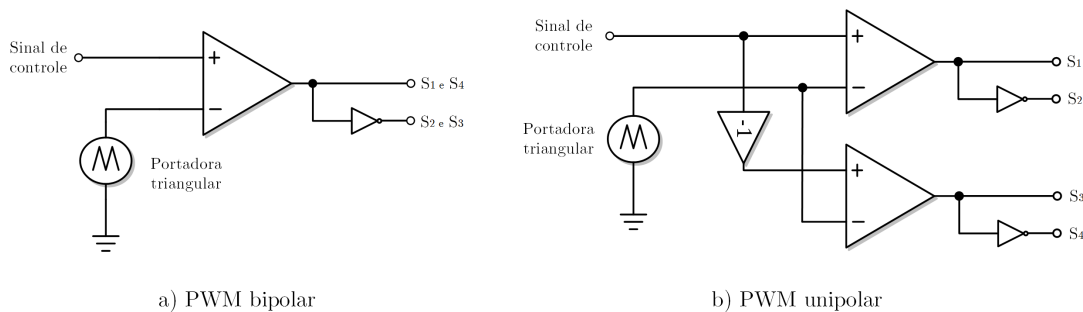


Figura 11 – Diagrama de blocos dos métodos de modulação PWM para o conversor.

Fonte: De autoria própria.

Ambos os métodos de modulação conseguem produzir na saída do conversor c.a./c.c.

um sinal da componente fundamental da rede elétrica, entretanto, eles se diferenciam na resposta em alta frequência [13], [16]. Conforme abordado em [13], o método bipolar apresenta mais componentes em altas frequências iniciando pela frequência da portadora triangular, enquanto que no método unipolar essa componente aparece no dobro da frequência da portadora, o que mostra que o método unipolar reduz o valor dos componentes do filtro EMI. A Tabela 3 apresenta a relação entre o método de modulação, o *ripple* de corrente e o valor da indutância requerida no filtro EMI para conversores de dois níveis. Portanto, para este trabalho será considerado o método de modulação unipolar.

Tabela 3 – Ripple de corrente e indutância requerida conforme método de modulação para conversores de dois níveis.

Método de modulação	Unipolar	Bipolar
<i>Ripple</i> de corrente (pico a pico)	$V_{BI}/(8f_{sw}L_1)$	$V_{BI}/(2f_{sw}L_1)$
Indutância requerida	L_1	$4L_1$

Fonte: Adaptado de [16, 17].

2.4 Filtro EMI

Para mitigar os efeitos dos harmônicos na rede devido ao aumento de cargas não lineares, filtros passivos são projetados e utilizados na interface entre o conversor e a rede. O filtro projetado deve ser capaz de atenuar as componentes harmônicas conforme estabelecido na IEEE 1547 (*IEEE Standard for Interconnection and Interoperability of Distributed Energy Resources with Associated Electric Power Systems Interfaces - 2018*), onde os valores para tensão e corrente são apresentados na Tabela 4.

Tabela 4 – Níveis de Harmônicos conforme IEEE 1547.

Ordem	$h < 11$	$11 \leq h < 17$	$17 \leq h < 23$	$23 \leq h < 35$	$35 \leq h < 50$	THD
%	4	2	1.5	0.6	0.3	5

Fonte: Adaptado de [34].

De maneira geral, dentre as topologias apresentadas na literatura, tradicionalmente, dois tipos de filtros podem ser projetados para um conversor de interface, sendo: (i) Filtro tipo L ; (ii) Filtro tipo LCL .

O Filtro do tipo L é normalmente utilizado em conversores c.c./c.c de baixa potência (poucos kW) e o filtro LCL é normalmente utilizado quando a potência do conversor é maior (dezenas de kW) [35]. Existe também o filtro LC , que foi inicialmente projetado para aumentar o fator de potência no *PAC*. Entretanto, verificou-se problemas práticos como: (i) Altas correntes de carga na conexão com a rede, gerando transitórios indesejados e; (ii) Problemas com a frequência de ressonância, dificultando o controle de corrente [35].

2.4.1 Filtro L

Os filtros do tipo L são de primeira ordem e possuem atenuação na região de altas frequências de 20 dB/década. O valor do filtro L pode ser calculado baseado na Equação (2.1).

$$L = \frac{V_{RMS}}{2\sqrt{6}f_{sw}I_{ripple}} \quad (2.1)$$

Onde:

- V_{RMS} : Tensão RMS no ponto de conexão c.a.;
- I_{ripple} : É o *ripple* de corrente máxima admissível;
- f_{sw} : É a frequência de chaveamento do conversor.

Considerando os dados do conversor proposto, tensão de 220 V_{RMS} e frequência variável, a Figura 12 apresenta os valores de indutância calculada utilizando a Equação 2.1 para a condição de 1% de *ripple* de corrente.

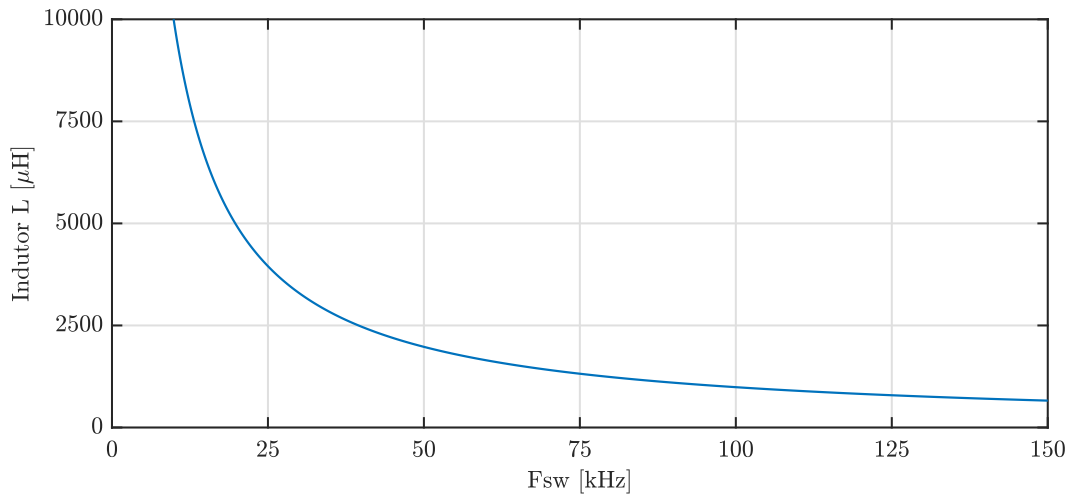


Figura 12 – Variação da indutância L com f_{sw} para *ripple* de 1%.

Fonte: De autoria própria.

Conforme já esperado, quanto menor a frequência de chaveamento maior o filtro indutivo e vice-versa. Além disso, dependendo do projeto do filtro, há também uma elevada perda no componente devido à elevada indutância. Ademais, o alto valor da indutância para baixas frequências acarreta em uma queda de tensão significativa entre a rede e o conversor, prejudicando o projeto de maneira geral nessas condições.

2.4.2 Filtro LCL

O Filtro LCL é um filtro de terceira ordem que permite maior atenuação que o filtro L para altas frequências. Sua resposta é semelhante ao filtro L até o momento da ressonância, com atenuação de 20 dB/década. Após a ressonância, a atenuação do filtro LCL é acentuada [35]. É amplamente utilizado por ter indutores menores e possuir atenuação superior ao filtro L. Além disso, a segunda indutância do filtro auxilia na redução dos transitórios de conexão provocados pelo capacitor. Ademais, a frequência de ressonância deve estar distante da frequência de *crossover* da malha de corrente para evitar a necessidade de um controle ativo (através da retroalimentação da tensão/corrente do capacitor ou da adição de filtro *notch*) para amortecimento da ressonância do filtro [36, 2, 1, 35, 18].

Entretanto, possui algumas desvantagens, tais como: (i) Maior complexidade de projeto; (ii) Necessário resistor de amortecimento de ressonância quando deseja-se evitar controle ativo de amortecimento, resistor esse que piora a eficiência geral do conversor e; (iii) Maior número de variáveis para o controle, o que pode trazer incertezas ou necessidade de maior número de sensores para compensar tal desvantagem [36]. A Figura 13 apresenta o circuito do filtro LCL na topologia considerando amortecimento passivo com resistor série com capacitor.

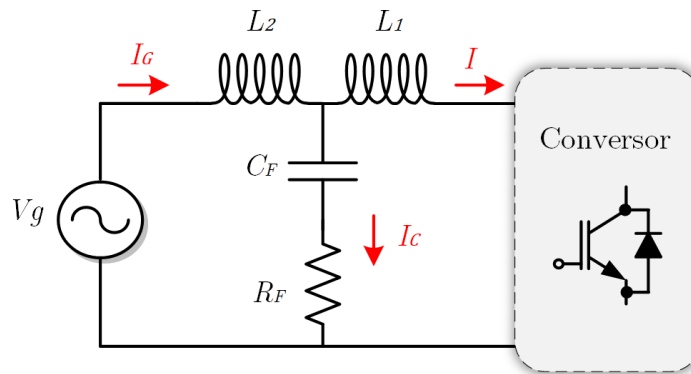


Figura 13 – Topologia adotada para projeto do filtro LCL.

Fonte: De autoria própria.

Existem várias formas propostas pela literatura para calcular os valores do filtro LCL [36]. Cada método tem vantagens e desvantagens ou é direcionada para uma determinada aplicação visando o desempenho ótimo de uma característica específica. Nesse trabalho, utilizaram-se os métodos propostos por [1, 2]. O projeto proposto por [1] é uma forma mais tradicional de cálculo de filtro onde é possível escolher o *ripple* de corrente do indutor L_1 que, por sua vez, influencia diretamente no rendimento do conversor, conforme [16], entretanto não otimiza o filtro para o quesito volume e custo. Nesse sentido, caso seja prioridade uma maior densidade de potência do conversor, bem como um filtro economicamente mais interessante, a metodologia apresentada em [2] se mostra mais adequada. As

duas propostas serão abordadas pois, no capítulo 4, será avaliado o impacto do projeto do filtro na curva de eficiência do conversor.

2.4.2.1 Projeto de Filtro LCL baseado em [1]

Nessa seção é apresentado o método tradicional de cálculo do filtro LCL, baseado no *ripple* de corrente no indutor. Como vantagem, em comparação com o método apresentado em [2], este permite estimar com maior precisão o *ripple* de corrente no indutor, o que pode ajudar a otimizar o rendimento do conversor, principalmente em carga leve, conforme apresentado em [16].

Para o projeto, alguns limites devem ser estabelecidos para melhorar o desempenho do filtro, dentre eles, o capacitor calculado deverá ser limitado pela potência reativa máxima que circula pelo sistema, que geralmente deve ser inferior a 5% como sugerido em [36] ou até mesmo 2,5% como proposto em [37]. Deve-se considerar também que a frequência de ressonância (f_{res}) do filtro seja menor ou igual à metade da frequência de chaveamento (f_{sw}) para garantir que os harmônicos de chaveamento não induzam a frequência de ressonância do filtro [35]. Além disso, f_{res} deve ser ao menos dez vezes superior à frequência nominal da rede elétrica, para evitar que distúrbios ocorram no sistema de controle do conversor [35], [18]. As Equações (2.2) e (2.3) apresentam tais condições citadas. Por fim, deve-se estimar um valor de R_f de acordo com a resposta dinâmica e as perdas provocadas pela operação do filtro em baixa frequência [36].

$$f_{res} = \frac{1}{2\pi} \sqrt{\frac{1}{C_f} \left(\frac{1}{L_1} + \frac{1}{L_2} \right)} \quad (2.2)$$

$$10f_{nom} \leq f_{res} \leq \frac{1}{2}f_{sw} \quad (2.3)$$

O Indutor L_1 é calculado em função da frequência de chaveamento, da tensão de entrada e do *ripple* de corrente admissível, conforme apresentado na Equação (2.4) [1].

$$L_1 = \frac{V_g}{2\sqrt{6} \cdot f_{sw} i_{ripple}} \quad (2.4)$$

O capacitor C_f é calculado considerando no máximo 5% (conforme sugerido por [36]) de potência reativa que circula no sistema, conforme Equação (2.5).

$$C_f \leq 0.05 \cdot \frac{P}{2\pi f_n V_g^2} \quad (2.5)$$

Já o indutor L_2 do lado da rede é calculado através do índice r que relaciona as duas indutâncias, conforme apresentado na Equação (2.6).

$$L_2 = r \cdot L_1 \quad (2.6)$$

Onde, r pode ser obtido pela Equações (2.7) e (2.8) que relaciona a atenuação da corrente do indutor L_2 em relação à corrente do indutor L_1 . É válido ressaltar que a escolha do valor de atenuação desejado é relativo ao parâmetro de desempenho do filtro desejado pelo projetista, mas é possível selecionar valores eficientes de forma gráfica como será mostrado em seguida.

$$r = \frac{\left(\frac{1}{k_a} - 1\right)}{|1 - L_1 C_f \omega_{sw}^2|} \quad (2.7)$$

$$k_a = \frac{\Delta I_{L2}}{\Delta I_{L1}} \quad (2.8)$$

Com o equacionamento do filtro LCL realizado, basta então aplicar os dados apresentados na Tabela 1. Logo, utilizando a Equação (2.4) e variando a frequência de chaveamento e o *ripple* de corrente, tem-se a Figura 14.

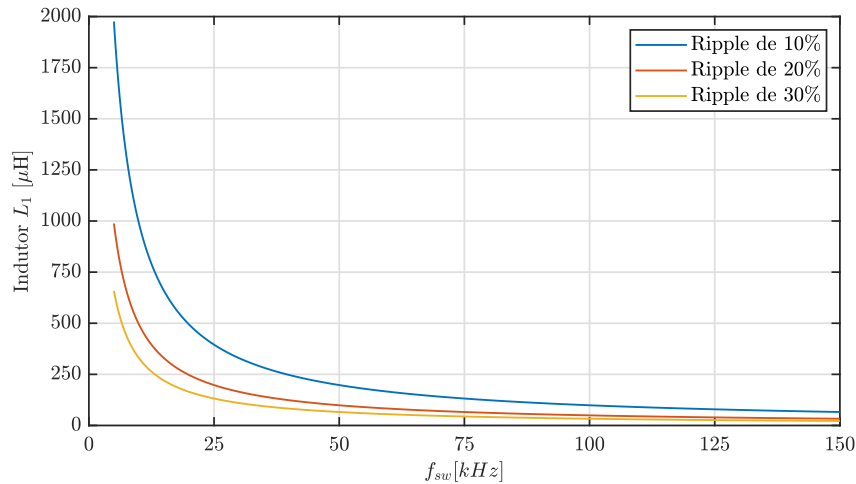


Figura 14 – Variação do indutor L_1 com a frequência de chaveamento e *ripple* de corrente.

Fonte: De autoria própria.

Conforme estabelecido como parâmetros iniciais de projeto apresentados na Tabela 1, utilizou-se 20% de *ripple* de corrente e com uma frequência de 15,36 kHz, o indutor L_1 será de $322\mu H$.

Para o cálculo do capacitor C_f , utiliza-se a Equação (2.5) juntamente com os dados da Tabela 1, obtendo-se um valor máximo de $32\mu F$. Caso utilize 2,5%, conforme sugerido por [37], tem-se um capacitor de $16\mu F$. Visando ficar entre os valores sugeridos por [1] e [37], foi escolhido um capacitor de $20\mu F$ -330 V_{RMS} , modelo EZP-Q33206MTB do fabricante *Panasonic*.

Por fim, o indutor L_2 é calculado através da relação apresentada em (2.6). Para isso, uma análise gráfica da Equação (2.7) se faz necessária para ser assertivo na escolha de r . A Figura 15 apresenta a relação entre o valor de r e a proporção entre o *ripple* das correntes dos indutores L_1 e L_2 .

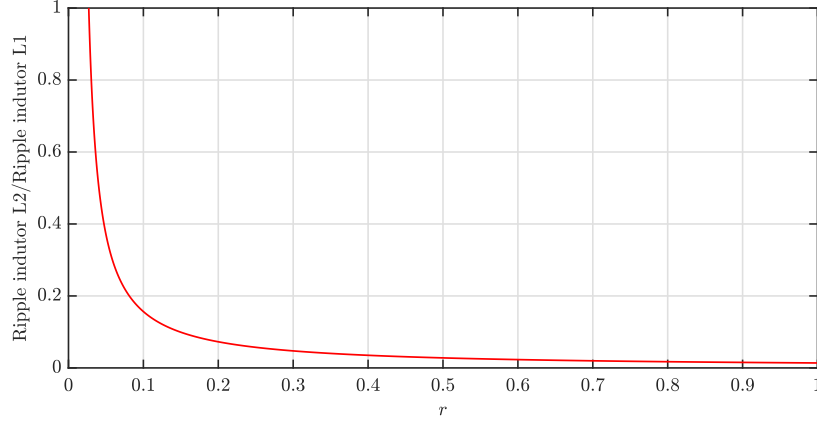


Figura 15 – Relação entre r e o *ripple* das correntes dos indutores L_1 e L_2 .

Fonte: De autoria própria.

Observa-se que, quanto mais o valor de r se aproxima de 1, menor o valor do *ripple*. Entretanto, como não é uma relação linear, pouco se altera para valores acima de $r = 0.2$. Se considerado a não idealidade da rede, onde a tensão é levemente distorcida, considera-se uma margem para garantir a atenuação desejada. Portanto, considerando $r = 0.5$, tem-se um valor de $161 \mu H$ para o indutor L_2 .

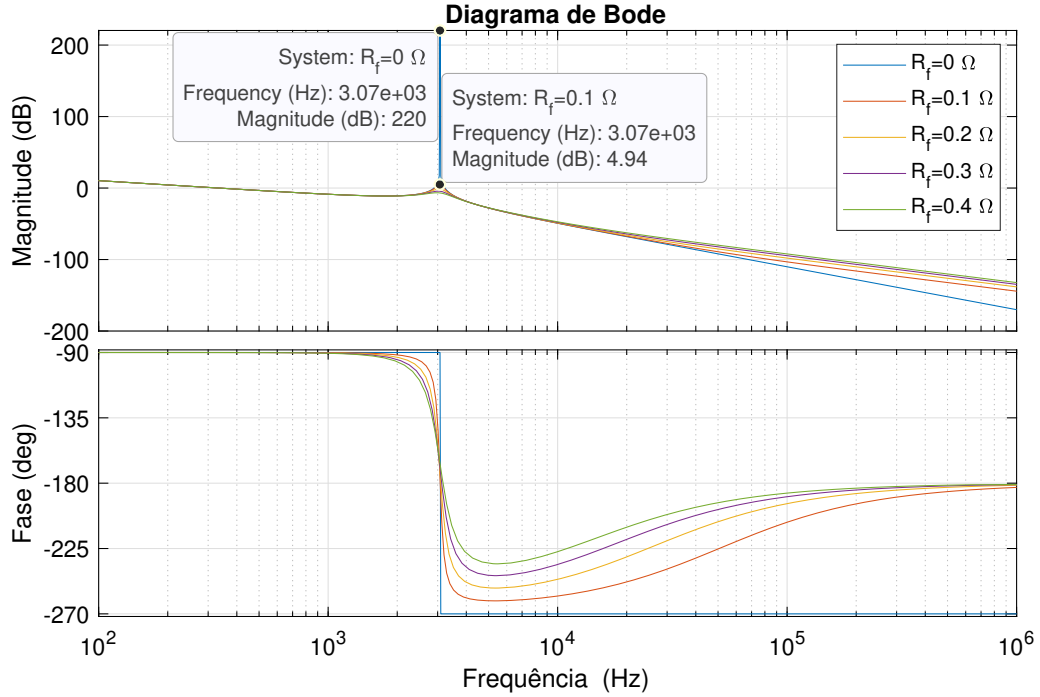
Por fim, em última análise, é importante entender a influência dos diversos valores possíveis para R_f . O valor calculado de R_f pode ser aproximado por 20% da impedância do capacitor quando na frequência de ressonância, entretanto, não é o único valor possível. Para verificar possíveis valores, foi utilizada a função de transferência do sistema que relaciona corrente e tensão de entrada do conversor desenvolvida em [35] e apresentada na Equação (2.9).

$$\frac{I_g(s)}{V(s)} = \frac{(R_f C_f)s + 1}{(C_f L_1 L_2)s^3 + (R_f C_f) \cdot (L_1 + L_2)s^2 + (L_1 + L_2)s} \quad (2.9)$$

Portanto, com os valores do filtro calculado é possível analisar a resposta transitória do sistema para diversos valores de R_f , conforme Figura 16.

Nesse contexto, analisando a resposta dinâmica do filtro é possível utilizar $R_f = 0.1\Omega$, o que em simulação no PSIM, produz os dados apresentados na Tabela 5.

A Figura 17 apresenta as formas de onda das correntes dos indutores considerando carga nominal do conversor, isto é, com corrente rms da rede na ordem de 47A. A corrente

Figura 16 – Diagrama de Bode do filtro LCL para diversos valores de R_f .

Fonte: De autoria própria.

Tabela 5 – Projeto do filtro LCL baseado em [1].

Parâmetro	Valor
L_1	$322\mu \text{ H}$
L_2	$161\mu \text{ H}$
C_f	$20\mu \text{ F}$
R_f	0.1Ω
FP	0.9978
THDi	1.86%
P_f	1.6W

Fonte: De autoria própria.

do indutor do lado da rede L_2 foi multiplicada por 2 para melhorar a visualização. O *ripple* de corrente por este método foi, aproximadamente, 18,3% em simulação.

2.4.2.2 Projeto de Filtro LCL baseado em [2]

De acordo com [2], alguns limites devem ser estabelecidos para garantir um bom desempenho do projeto. O primeiro passo é limitar a grandeza r_f , que pode ser calculado conforme a Equação (2.10).

$$r_f = \frac{f_{sw}}{f_{res}} \quad (2.10)$$

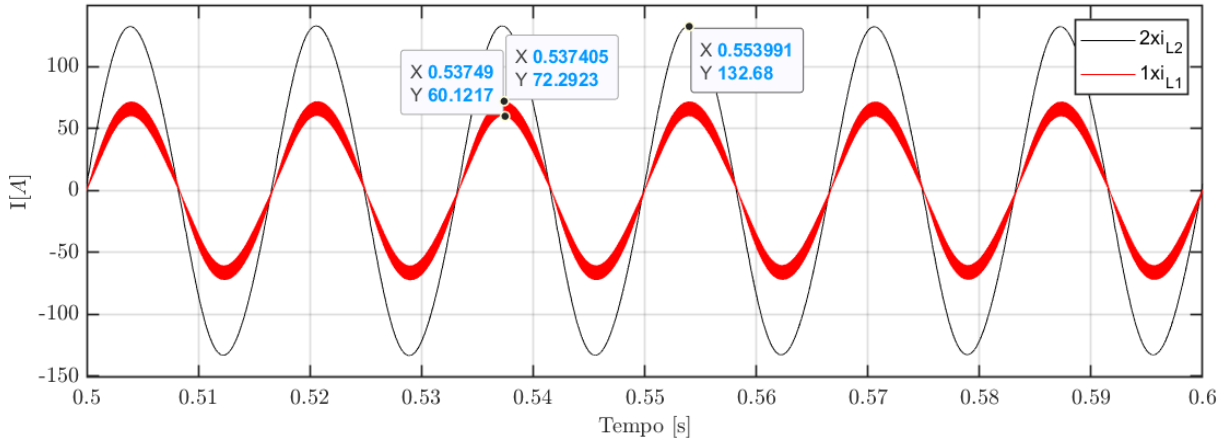


Figura 17 – Formas de ondas das corrente dos indutores baseado em [1].

Fonte: De autoria própria.

A limitação de tal indicador é importante pois será utilizado arnotecimento passivo através do resistor série R_f . Deve-se considerar que a frequência de ressonância f_{res} do filtro seja menor ou igual à metade da frequência de chaveamento f_{sw} para garantir que os harmônicos de chaveamento não induzam a frequência de ressonância do filtro. Além disso, a frequência deve ser ao menos dez vezes superior à frequência nominal da rede elétrica para evitar que distúrbios ocorram no sistema de controle do conversor. As Equações (2.2) e (2.3) apresentam tais condições citadas, onde para este trabalho escolheu-se $r_f = 3$, conforme orientação de [36]. Em seguida, calcula-se a grandeza r_l , que relaciona os indutores L_1 e L_2 do filtro, conforme Equação (2.11).

$$r_l = \frac{L_1}{L_2} \quad (2.11)$$

Para que o volume dos indutores seja reduzido e o projeto se torne economicamente interessante, é ideal utilizar $r_l = 1$. Além de ser economicamente viável, do ponto de vista da logística de fabricação, é bastante interessante, uma vez que L_1 e L_2 são iguais. Como desvantagem, essa abordagem reduz a capacidade de atenuação na frequência de chaveamento quando comparado com outras abordagens [2, 36].

Por fim, o parâmetro r_q é responsável pela definição da potência reativa do filtro e pode ser escrito como a relação entre o capacitor c_f (C_f em PU) e os indutores l_1 e l_2 (L_1 e L_2 em PU), conforme apresentado na Equação (2.12).

$$r_q = \frac{c_f}{l_1 + l_2} \quad (2.12)$$

A escolha do valor de r_q não é intuitiva, mas normalmente evita-se utilizar o parâmetro igual a 1, pois assim os indutores resultantes se tornam tão grandes e volumosos quanto um filtro L . Dessa forma, opta-se por um valor maior que 1, com a intenção de

reduzir as indutâncias necessárias. Entretanto, ao aumentá-lo, a THD da corrente também aumenta, o que torna necessário cautela na escolha de tal grandeza, sendo interessante testar diversos valores para auxiliar na escolha.

Com os parâmetros estabelecidos, aplicam-se as Equações (2.13) e (2.14), para a obtenção dos indutores do filtro.

$$L_1 = \frac{L_t}{r_l + 1} \quad (2.13)$$

$$L_2 = r_l \cdot L_1 \quad (2.14)$$

Em que, L_t é descrito pela Equação (2.15).

$$L_t = \frac{r_f \cdot f_{nom} \cdot (1 + r_l)}{f_{sw} \cdot \sqrt{r_l \cdot r_q}} \cdot L_b \quad (2.15)$$

Sendo L_b a indutância base do conversor, calculada através da sua impedância base Z_b , conforme Equações (2.16) e (2.17) para sistemas monofásicos, que vai variar de acordo com a tensão de linha V_g e potência aparente nominal S_{nom} , já considerando uma eficiência estimada ou desejada em plena carga (assumiu-se 97% como eficiência desejada).

$$L_b = \frac{Z_b}{2\pi f_{nom}} \quad (2.16)$$

$$Z_{b1\phi} = \frac{V_g^2}{S_{nom}} \quad (2.17)$$

Já o capacitor C_f é calculado com base no valor de r_q e da indutância total L_t , conforme Equação (2.18).

$$C_f = r_q \cdot \frac{L_t}{Z_b^2} \quad (2.18)$$

Em [2] também é desenvolvido o cálculo do fator de potência (FP) no qual é possível calcular o valor da potência reativa Q do sistema, através dos parâmetros r_l , r_q e das frequência da rede e chaveamento, conforme apresentado nas Equações (2.19) e (2.20).

$$FP = 1 - \frac{q^2}{2} \quad (2.19)$$

$$q = \frac{(r_q - 1)}{\sqrt{r_q}} \cdot \frac{(1 + r_l)}{\sqrt{r_l}} \cdot \frac{r_f \cdot f_{nom}}{f_{sw}} \quad (2.20)$$

Ainda em [2] e apresentado em [36], é calculado a THD da corrente que depende, dentre os vários fatores já citados, da tensão do barramento intermediário V_{BI} e da função $f(m)$ que tem relação com os limites superiores e inferiores da corrente rms do capacitor C_f , sendo melhor explorado em [2] e apresentado nas Equações (2.21), (2.22) e (2.23).

$$THD_{ig} = \frac{\pi \cdot V_{BI} \cdot \sqrt{r_q \cdot r_l} \cdot f(m)}{12 \cdot Z_b \cdot r_f^3 \cdot (1 + r_l) \cdot [(1 - 6/m_f)^2 - 1/r_f^2]} \quad (2.21)$$

$$f(m) = \frac{3 \cdot m^2}{2} \cdot \frac{3\sqrt{3}}{\pi} + \left(\frac{27}{16} - \frac{9\sqrt{3}}{8\pi} \cdot m^4 \right) \quad (2.22)$$

$$m = \frac{\sqrt{3}}{V_{BI}} \cdot \sqrt{\frac{V_g^2}{3} + (2 \cdot \pi \cdot f_{nom} \cdot L_t \cdot I_b)^2} \quad (2.23)$$

Onde I_b é a corrente base do conversor que pode ser calculada conforme Equação (2.24) para sistemas monofásicos.

$$I_{b1\phi} = \frac{S_{nom}}{V_g} \quad (2.24)$$

Com o equacionamento dos indutores e do capacitor do filtro, resta apenas calcular o resistor série R_f para amortecimento da ressonância. Para garantir estabilidade do sistema, o resistor R_f pode ser calculado através da Equação (2.25).

$$R_f = \frac{f_{sw} \cdot L_2^2}{3(L_1 + L_2)} \quad (2.25)$$

Apesar de ser pequena em comparação ao restante das perdas do conversor, as perdas relativas a R_f não podem ser negligenciadas, tendo em visto que seu valor depende do resistor calculado. Para isso, aplica-se a Equação (2.26) para estimar as perdas P_f pela adição do resistor R_f , levando em consideração a forma de onda da corrente I_c .

$$P_f \approx \frac{\pi V_{BI}^2 \sqrt{r_q \cdot r_l} \cdot r_l^2 \cdot (1 - 6/m_f)^4 \cdot f(m)^2}{864 Z_b \cdot r_f \cdot (1 + r_l) \cdot (1 - 1/r_f^2 - 12/m_f + 36/m_f^2)^2} \quad (2.26)$$

Considerando o contexto apresentado, pode-se projetar um filtro LCL econômico, isto é, $L_1 = L_2$. Para isso, escolheu-se os parâmetros $r_l = 1$, $r_f = 3$ (com esse parâmetro é possível obter um valor seguro para a frequência de ressonância do filtro) e $r_q = 2$ (número que permite reduzir os valores dos indutores sem prejudicar o fator de potência do conversor ou aumentar significativamente o THD da corrente de entrada do conversor). Apesar de ser possível construir os indutores do filtro, o valor calculado do capacitor é de difícil disponibilidade, optando-se por um valor comercial próximo de $20 \mu F$, o mesmo utilizado na metodologia anterior. Essa mudança irá influenciar no THD, FP e expressivamente na

frequência de ressonância, que passará a ser de 4,36 kHz, mantendo assim as condições apresentadas em (2.3). A Tabela 6 apresenta os parâmetros do filtro calculado.

Tabela 6 – Projeto do filtro LCL.

Parâmetro	Valor
r_f	3
r_l	1
r_q	2
L_1	107μ H
L_2	107μ H
C_f	20μ F
FP	0.996
THDi	1.9%
R_f	0.22Ω
P_f	4.6W

Fonte: De autoria própria.

A Figura 18 apresenta as formas de onda das correntes dos indutores considerando carga nominal do conversor, isto é, corrente rms da rede na ordem de 47A. A corrente do indutor do lado da rede (L_2) foi multiplicada por 2 para melhorar a visualização. O *ripple* de corrente por este método foi de, aproximadamente, 40,1% em simulação.

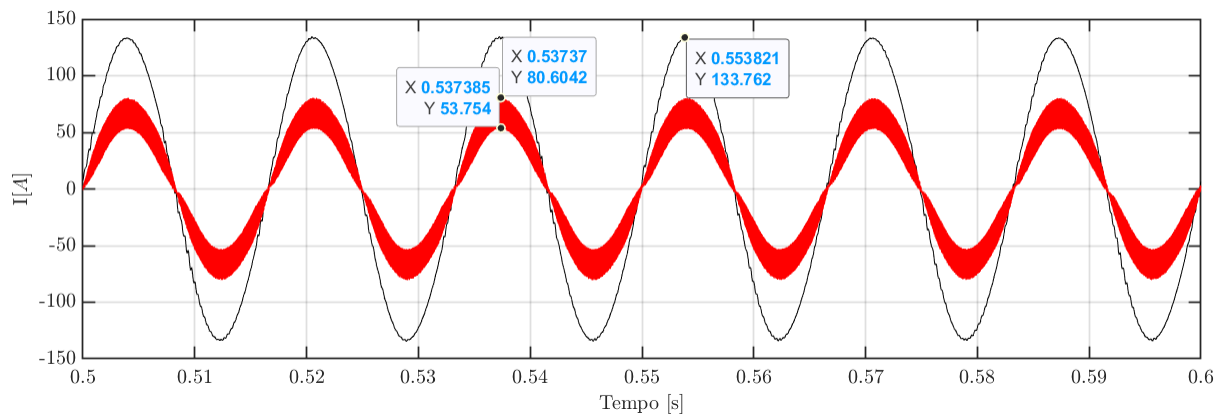


Figura 18 – Formas de ondas das corrente dos indutores baseado em [2].

Fonte: De autoria própria.

É possível perceber, devido ao menor valor do filtro, que a forma de onda da corrente do indutor L_2 é levemente mais distorcida que no caso anterior. Esse método apresentado será abordado posteriormente na investigação da influência do parâmetro de projeto na curva de rendimento do conversor como "Indutor econômico".

2.4.3 Projetos de filtros LCL considerados

Portanto, visando investigar a influência do projeto do filtro LCL na curva de eficiência, foram considerados quatro projetos, sendo:

- Projeto 1: 10% de *ripple* utilizando a metodologia [1].
- Projeto 2 (padrão): 20% de *ripple* utilizando a metodologia [1].
- Projeto 3: 30% de *ripple* utilizando a metodologia [1].
- Projeto 4 (indutor econômico): 50% de *ripple* utilizando a metodologia [2].

Inicialmente, todas as simulações serão feitas utilizando o Projeto 2, com 20% de *ripple*, conforme também citado na Tabela 1. Após a escolha do conversor ótimo, será realizada uma investigação contendo os 4 projetos citados.

2.5 Filtro LC de saída

O filtro *LC* foi inicialmente projetado para aumentar o fator de potência no *PAC*, entretanto, verificaram-se problemas práticos como: (i) Altas correntes de carga na conexão com a rede, gerando transitórios indesejados e; (ii) Problemas com a frequência de ressonância, dificultando o controle de corrente. Isso fez com que o filtro *LC* fosse utilizado em aplicações onde o conversor opera como fonte de tensão, podendo ser utilizado na saída c.c. de um conversor c.c./c.c., por exemplo.

Considerando então tal aplicação, [18] apresenta o desenvolvimento para o cálculo dos elementos do filtro, conforme Equações (2.27), (2.28) e (2.29).

$$L_{cc,min} = \frac{(D_{cc} + 1)(V_{Dcc,max} - V_{B,min})}{4f_{sw}\Delta i_{L_{cc}(\%)}I_{cc-max}} \quad (2.27)$$

$$C_{cc,min} > \frac{\Delta i_{L_{cc}(\%)}I_{cc-max}}{8f_{sw}\Delta V_{B(\%)}V_{B,min}} \quad (2.28)$$

$$C_{cc} = L_{cc} \frac{(I_{cc-max} + \frac{\Delta i_{L_{cc}(\%)}I_{cc-max}}{2})}{[(V_{B,min} + V_{ov})^2 - (V_{B,min})^2]} \quad (2.29)$$

Em que:

- D_{cc} : ciclo de trabalho do conversor c.c.-c.c.;
- $V_{Dcc,max}$: é a maior tensão possível do BI considerando transitório;

- $V_{B,min}$: é a menor tensão possível do BI considerando transitório;
- f_{sw} : é a frequência de chaveamento do conversor;
- $\Delta i_{L_{cc}}(\%)$: é o *ripple* desejado na corrente de saída do conversor em percentual;
- $\Delta V_B(\%)$: é o *ripple* de tensão desejado na saída do conversor;
- I_{cc-max} : é a maior corrente de saída possível do conversor (calcular corrente máxima considerando fator de serviço do conversor, caso o projeto contemple);
- L_{cc} : é o indutor escolhido/projetado através da Equação (2.27);
- V_{ov} : é a tensão de *overshoot* para o pior caso de variação de carga.

2.5.1 Projetos de filtro LC considerados

Considerando os dados apresentados sobre o conversor e também os dados apresentados nas Tabelas 1 e 7 que são estipulados para ser um valor inicial, foi possível calcular o filtro, sendo $L_{cc} = 1,5$ mH e $C_{cc} = 380$ μF . É importante ressaltar que, além desses valores calculados, outros 3 projetos foram realizados com a intenção de investigar sua influência na curva de rendimento do conversor, sendo:

- Projeto 1 (padrão): $L_{cc} = 1,5$ mH e $C_{cc} = 380$ μF ;
- Projeto 2: $L_{cc} = 1$ mH e $C_{cc} = 260$ μF ;
- Projeto 3: $L_{cc} = 0,5$ mH e $C_{cc} = 170$ μF ;
- Projeto 4 (indutor econômico): $L_{cc} = 0,25$ mH e $C_{cc} = 100$ μF .

Tabela 7 – Condições de cálculo do filtro LC de saída do conversor c.c.-c.c.

Parâmetro	Valor
$V_{Dcc,max}$	$1,1 * V_{BI}$
$V_{B,min}$	V_{cc}
$\Delta i_{L_{cc}}(\%)$	10%
$\Delta V_B(\%)$	1%
V_{ov}	$1\% * V_{cc}$

Fonte: De autoria própria.

Portanto, o Projeto 1 será utilizado como base para o cálculo do rendimento de todos os conversores e, após escolha do conversor ótimo, um estudo com os quatro projetos será realizado para investigar o impacto da variação desse parâmetro na curva de rendimento do conversor.

2.6 Barramento intermediário ou elo c.c.

O elo c.c. ou Barramento Intermediário (BI) é o elemento físico que geralmente comporta o maior nível de tensão em conversores de dois estágios, podendo variar normalmente entre 450V a 1000V conforme a aplicação e o nível de tensão do barramento c.c. principal [12]. Devido ao nível de tensão mais elevado que a tensão do barramento principal (ou barramento de saída), pode-se tolerar um maior *ripple* quando comparado a conversores de um único estágio e, portanto, ter um banco de capacitores menor, resultando em um conversor com maior densidade de potência e de menor custo [13].

Devido ao maior nível de tensão do BI, é possível optar pelo uso de banco de capacitores em série com a intenção de reduzir o custo do conversor, uma vez que capacitores com maior nível de tensão são geralmente mais caros e também possuem menor disponibilidade e variação de modelos. Entretanto, tal estratégia normalmente aumenta o volume e peso do conversor reduzindo a densidade de potência pelo maior número de componentes. Além disso, é importante ressaltar que o fluxo de energia neste barramento pode aumentar sua tensão com a saída de uma carga de forma súbita ou entrada de um grande fluxo de geração, o que deve estar previsto pelo projetista ao especificar o nível de tensão dos capacitores do banco. Por fim, deve-se atentar ao custo total do banco de capacitores e avaliar se o uso de um banco com maior tensão irá ou não ficar mais caro que a associação de bancos de capacitores em série, o que também pode ser relevante.

O dimensionamento do banco capacitivo pode ser feito de acordo com [13], onde considera-se o conversor em modo retificador e faz-se uma análise da potência de entrada, conforme Equações (2.30) e (2.31).

$$P_e = V_m \sin(\omega_0 t) * I_m \sin(\omega_0 t - \phi) \quad (2.30)$$

$$P_e = \frac{V_m I_m}{2} [\cos(\phi) - \cos(2\omega_0 t - \phi)] \quad (2.31)$$

Em que:

- V_m : tensão de pico no ponto de conexão c.a.;
- I_m : corrente de pico no ponto de conexão c.a.;
- ω_0 : é a frequência angular da rede elétrica;
- ϕ : é o ângulo deslocamento entre tensão e corrente.

Analisando a Equação (2.31) é possível observar uma parcela média e uma parcela alternada que irá produzir uma ondulação de 120 Hz no barramento c.c. conforme (2.32) e (2.33), respectivamente.

$$P_e = \frac{V_m I_m}{2} \cos(\phi) \quad (2.32)$$

$$P_e = -\frac{V_m I_m}{2} \cos(2\omega_0 t - \phi) \quad (2.33)$$

Portanto, considerando que haja um banco capacitivo C_{BI} , uma carga equivalente R_L vista do barramento que represente a potência nominal do conversor, onde V_{BI} é o valor médio da tensão e que não haja uma queda de tensão significativa provocada pelos indutores do filtro LCL, pode-se aproximar a potência do barramento c.c. do conversor conforme (2.34), sendo (2.35) sua solução. A Figura 19 apresenta uma solução gráfica da Equação (2.35) para diversos valores de tensão do BI.

$$P_o \approx P_e = C_{bi} v_B \frac{dv_B}{dt} + \frac{v_B^2}{R_L} \quad (2.34)$$

$$v_B(t) = \sqrt{V_{BI}^2 - \frac{V_m I_m [\cos(2\omega_0 t - \phi) + R_L^2 C_{bi} \omega_0 \sin(2\omega_0 t - \phi)]}{2[1 + (R_L C_{bi} \omega_0)^2]}} \quad (2.35)$$

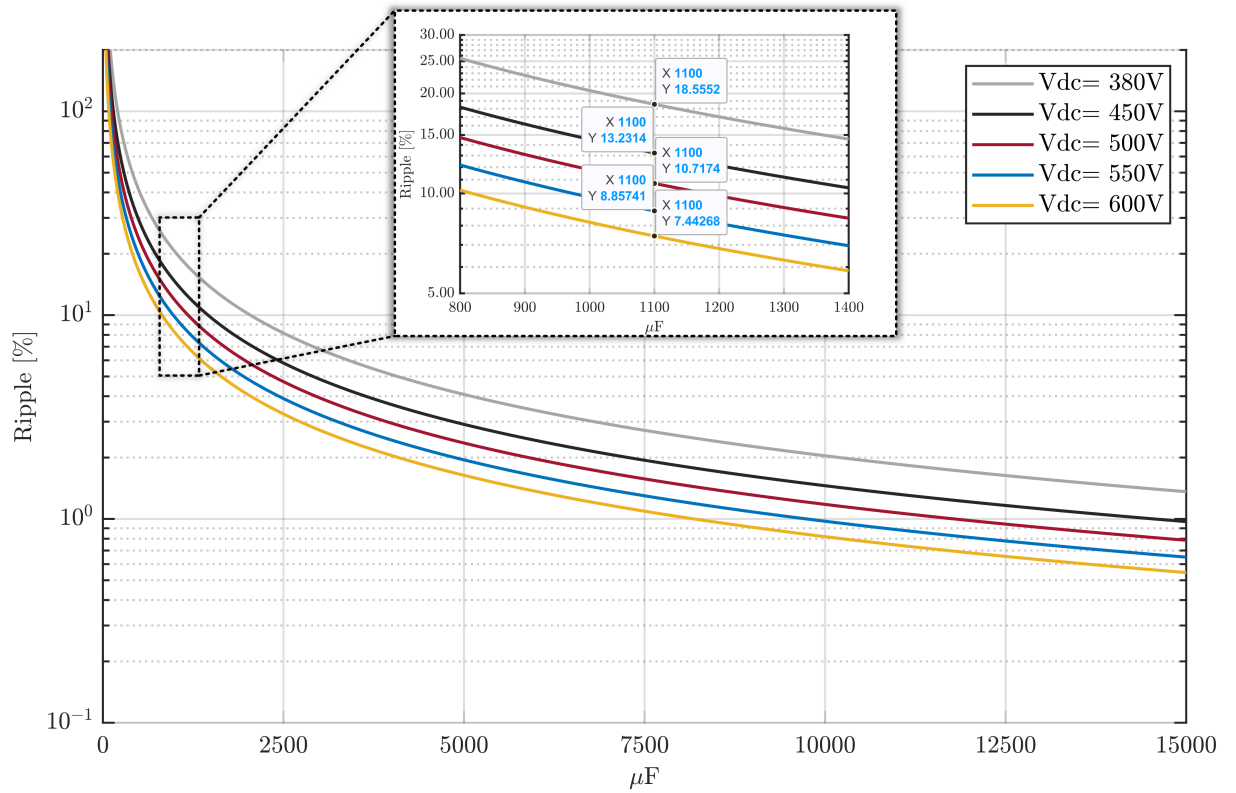


Figura 19 – Variação do *ripple* da tensão do BI com a variação da capacitância.

Fonte: De autoria própria.

Considerando a potência de 10 kW do conversor, é possível observar que, para manter uma oscilação próxima de 1% no barramento c.c., caso o conversor fosse de único

estágio com saída de 380V, seria necessário um banco de capacitores na ordem de $15.000\mu F$, o que resulta em um sistema com baixa densidade de potência, ineficiente e caro. Já em um conversor com dois estágios de conversão, é permitido manter uma maior oscilação de tensão no barramento, uma vez que o controle do segundo estágio de potência seria capaz de manter a tensão em um valor pré-determinado [13]. Considerando o BI com tensão de 500V, por exemplo, seria necessário cerca de $1100\mu F$ para manter 10% de *ripple* (o que geraria 475V como menor valor de tensão instantânea) e cerca de $800\mu F$ para manter a mesma oscilação percentual em 600V. Portanto, há uma margem muito extensa para atender a necessidade do projeto e também reduzir o volume do banco sem prejudicar a carga, quando se utilizam conversores com dois estágios. A Figura 19 apresenta em região de destaque as oscilações das tensões para um banco de $1100\mu F$.

2.6.1 Dimensionamento do capacitor ótimo

Apesar das possibilidades de escolha do *ripple* e da tensão do BI, sabe-se que um menor nível de tensão tende a reduzir o estresse na chave. No entanto, trabalhar com valores menores de tensão também significa lidar com um barramento menos flexível do ponto de vista de controle e também mais volumoso. De modo geral, uma oscilação grande demais no BI também não é interessante pois dificulta o controle do sistema que fica mais suscetível à uma variação de carga [17], além da oscilação natural do sistema, o que pode comprometer em caso de grande oscilações em torno de maiores tensões. Um exemplo seria dimensionar um sistema com tensão de 600V e oscilação de 30%, que apesar de reduzir o banco capacitivo para valores próximos de $270\mu F$, levará a picos repetitivos de 690V em carga nominal e, em caso de saída abrupta de carga, um sobressinal ainda maior é esperado, o que pode levar os componentes à falha.

Apesar de escolher o banco capacitivo pela oscilação máxima ser algo prático, ainda não é possível saber se tal valor escolhido é otimizado. Para auxiliar em tal escolha, [17] propõe o cálculo do banco ótimo visando densidade de potência a partir dos limites de tensão desejados. Como a tensão do segundo estágio é fixa em 380V, valores mínimos em torno de 450V são necessários para suprir o tempo de controle necessário em um transitório [17], já o limite superior depende da tensão máxima suportada pelos capacitores do banco ou pelos transistores. Nesse sentido, [17] apresenta o cálculo desse banco visando estar entre os limites citados, conforme Equações (2.36) para o limite inferior e (2.37) para o limite superior, sendo (2.38) o cálculo do menor capacitor possível.

$$C_{BI(inferior)} \leq \frac{V_m I_m}{4(V_{max} - V_{BI(avg)})V_{BI(avg)}\omega_0} \quad (2.36)$$

$$C_{BI(superior)} \geq \frac{V_m I_m}{4(V_{BI(avg)} - V_{min})V_{BI(avg)}\omega_0} \quad (2.37)$$

$$C_{BI(min)} = \frac{V_m I_m}{(V_{max}^2 - V_{min}^2) \omega_0} \quad (2.38)$$

Nesse sentido, visando flexibilidade de operação e atender os limites inferior de 450V e superior de 600V (limitado pela tensão nominal do banco de capacitores disponível e também pelos transistores escolhidos), optou-se por um banco de 1100 μ F, escolha essa que será justificada a seguir.

O banco dimensionado possui capacitância mínima para operar de forma contínua em 580V, ainda dentro dos limites de tensão permitidos pelos fabricantes sem que haja redução da vida útil dos capacitores ou prejuízo aos interruptores, além do já previsto em tensão nominal pelo fabricante. Além disso, é possível operar também em 475V sem que o limite inferior da oscilação atinja valores inferiores a 450V. A Figura 20 apresenta a faixa de operação de tensão do banco proposto, onde é interessante notar que, para os limites de tensão de 450V-600V, a tensão ótima de trabalho é de 525V com o banco ótimo com valor aproximado de 340 μ F.

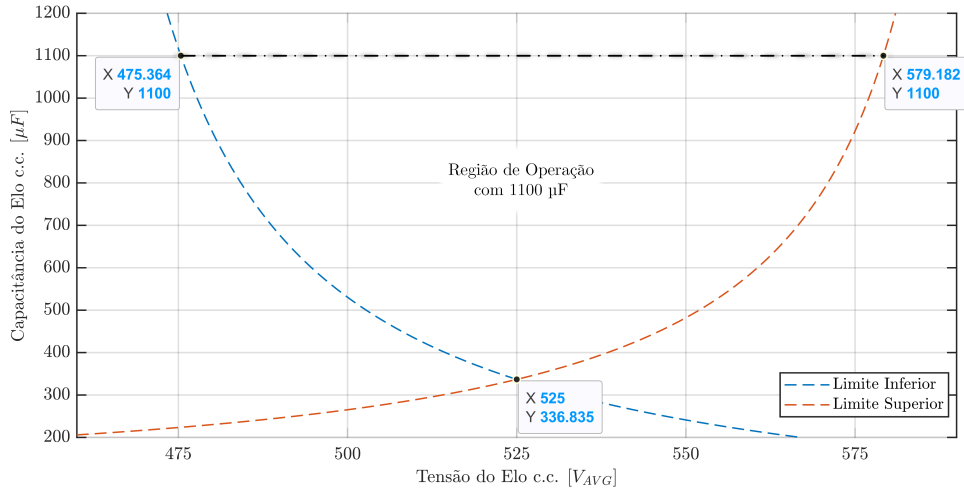


Figura 20 – Limites de operação do banco de capacitores proposto.

Fonte: De autoria própria.

Outra vantagem dessa abordagem é da escolha de tensão variável do BI, como proposto em [31]. Nesse caso, um banco dimensionado para densidade de potência não seria capaz de lidar com tensão variável, visando alto rendimento. Por fim, visando implementação prática, o banco escolhido permite ao projetista explorar características de controle buscando alto desempenho em condições de transitórios, característica essa escolhida na realização deste trabalho.

Para a especificação do banco, utilizaram-se capacitores do tipo *film* do fabricante *Panasonic*, modelo EZPV60117MTS de 110 μ F, 600V e 4.8m Ω , sendo necessárias 10 unidades em paralelo para atingir o valor proposto (no capítulo 3.3 será justificado a escolha de tal modelo em específico).

2.7 Controle do conversor

Para garantir requisitos de desempenho e qualidade de energia do conversor perante sua operação, torna-se necessário um sistema de controle interno. Esse sistema foi implementado em um controlador digital de sinais (DSP) da *Texas Instruments*, modelo TMS320F28379D que utiliza as medições de tensão de linha da rede (V_G), corrente de entrada do conversor (I_{L1}), tensão do barramento intermediário (V_{BI}), tensão do barramento principal (V_{BP}) e corrente do indutor de saída (I_{Lcc}) do conversor e sinais de falta provenientes do gate driver. Para as medições de tensão e corrente, utilizaram-se os sensores LV-20P e LA-55P, respectivamente, sendo estes de efeito hall do fabricante LEM. A Figura 21 apresenta a posição dos sensores no conversor.

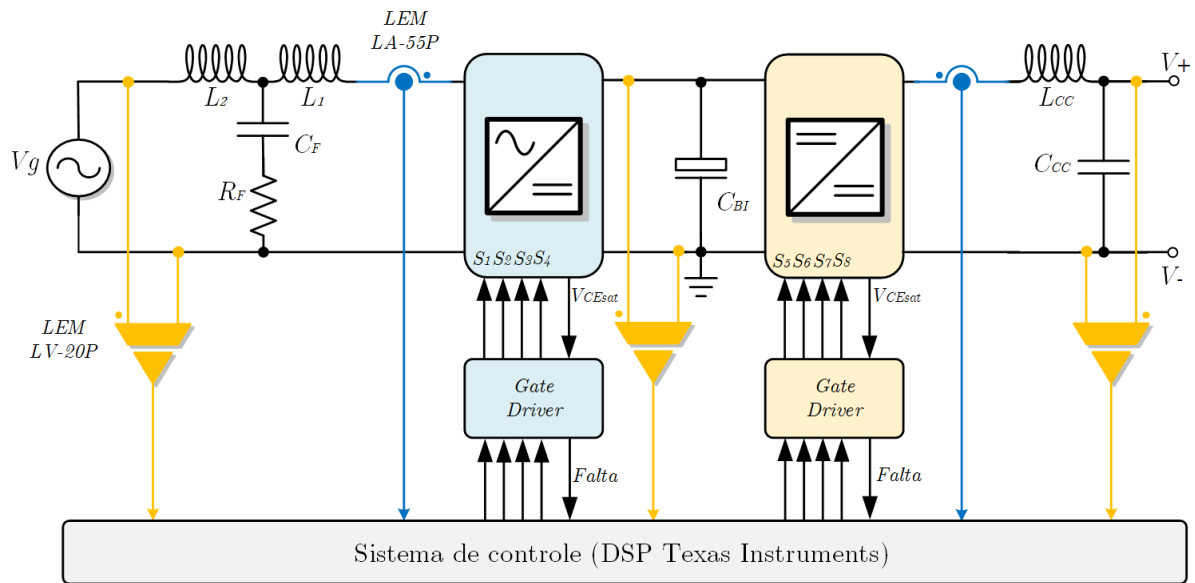


Figura 21 – Disposição dos sensores no conversor proposto

Fonte: De autoria própria

Como a topologia dos conversores analisados são de estágio duplo, cada estágio deverá possuir um sistema de controle independente com duas malhas em série, onde a primeira é necessária para o controle da tensão do BI, no caso do conversor c.a./c.c., ou da tensão do barramento c.c. principal, para o conversor c.c./c.c. e a segunda malha é responsável pelo controle da corrente de saída tanto do lado c.a. quanto do lado c.c. Como a corrente de saída do conversor c.a./c.c. é senoidal, torna-se necessário o sincronismo com tensão de entrada por meio de um PLL (*Phase Locked Loop*) que deverá medir a tensão de entrada e produzir um sinal senoidal normalizado em fase com sua componente fundamental.

O projeto do sistema de controle foi dividido em duas partes, sendo: (i) projeto do controlador do conversor c.a./c.c. e; (ii) projeto do controlador do conversor c.c./c.c. Ambos os controladores são formados por duas malhas de tensão e corrente em cascata. A Figura 22 apresenta o diagrama de blocos do sistema de controle do conversor de interface.

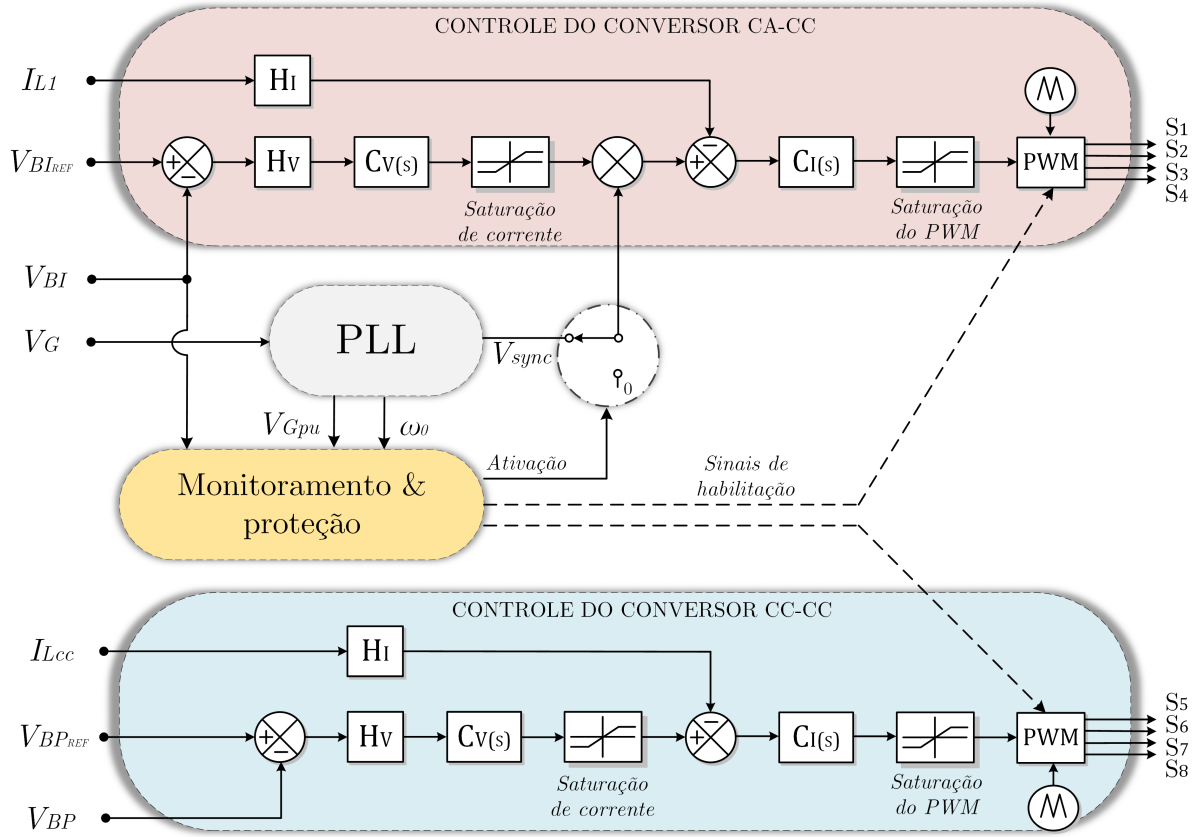


Figura 22 – Diagrama de blocos do sistema de controle do conversor proposto.

Fonte: De autoria própria.

Através da Figura 22 percebe-se duas tensões de referência, onde $V_{BI_{ref}}$ é a referência de tensão do elo-c.c. ou barramento intermediário e $V_{BP_{ref}}$ é a referência de tensão do barramento principal da microrrede, isto é, barramento de saída que é de 380V. Para determinar os ganhos dos controladores PI é necessário determinar as funções de transferências que relacionam os parâmetros de controle (tensão e corrente) com os parâmetros controlados (índice de modulação). Para isso, considerou-se o desenvolvimento apresentado em [13] para definir as funções de cada malha.

Conforme desenvolvido em [13], para a malha de corrente do conversor c.a./c.c. tem-se a Equação (2.39), enquanto que (2.40) apresenta a função de transferência de malha aberta, onde C_I é o controlador PI, representado por (2.41).

$$G_{I_{ca}} = \frac{V_{BI}}{L_1 s} \left(\frac{L_1 L_2 C_F s^2 + L_1}{L_1 L_2 C_F s^2 + L_1 + L_2} \right) \quad (2.39)$$

$$FTMA_I = \frac{G_{I_{ca}} \cdot C_I \cdot H_I}{V_{tri}} \quad (2.40)$$

$$C_I = \frac{K_{PS} + K_I}{s} \quad (2.41)$$

Em que: H_I é o ganho do sensor de corrente; V_{tri} é a tensão de pico-a-pico da portadora triangular; K_P é o ganho proporcional e K_I o ganho integral do controlador PI.

Analogamente, a equação da malha de tensão é representada por (2.42). Já a função de transferência de malha aberta também é apresentada em (2.43), onde C_V é o controlador PI que também pode ser representado pela Equação (2.41) e H_V é o ganho do sensor de tensão.

$$G_{V_{ca}} = -\frac{V_G}{sC_B V_{BI} \sqrt{2}} \quad (2.42)$$

$$FTMA_V = \frac{G_{V_{ca}} C_V H_v}{V_{tri}} \quad (2.43)$$

O mesmo desenvolvimento pode ser feito para o caso do controlador do conversor c.c./c.c., onde nesse caso as funções de transferência das Equações (2.44) e (2.45), representam as malhas de corrente e tensão, respectivamente.

$$G_{I_{cc}} = \frac{2V_{BI}(C_O R_L s + 1)}{L_O C_O R_L s^2 + sL_O + R_L} \quad (2.44)$$

$$G_{V_{cc}} = \frac{R_L}{C_O R_L s + 1} \quad (2.45)$$

Em que: R_L é a resistência equivalente para uma carga de 10kW (potência nominal do conversor); C_O : é a capacitância de saída e; L_O : é a indutância de saída. Em resumo, os ganhos dos controladores PI usados são apresentados na Tabela 8. Os valores utilizados foram calculados/estimados com base na resposta transitória desejada das tensões dos barramentos c.c. e, para isso, utilizou-se a ferramenta *rltools* do MATLAB para avaliar o desempenho dos controladores.

Tabela 8 – Ganhos dos controladores utilizados.

Elemento	Valor
$K_{V_{ca/cc}}$	1
$T_{V_{ca/cc}}$	2 ms
$K_{I_{ca/cc}}$	1.2
$T_{I_{ca/cc}}$	100 μs
$K_{V_{cc/cc}}$	1
$T_{V_{cc/cc}}$	1 ms
$K_{I_{cc/cc}}$	1
$T_{I_{cc/cc}}$	100 μs
H_I	0.1
H_V	0.01

Fonte: De autoria própria.

A resposta do conversor utilizando os ganhos dos controladores PI propostos é apresentado na Figura 23, onde nesse exemplo a tensão do elo c.c. foi ajustada para 500V. Para melhor visualização, a corrente de carga foi multiplicada por 10 vezes, onde 13,1A corresponde à 50% de carga e 26,3A à carga nominal.

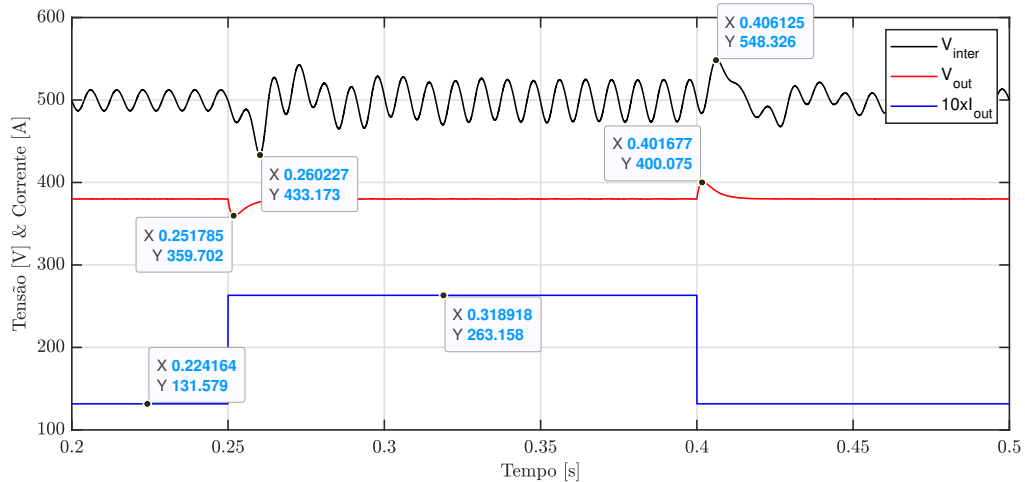


Figura 23 – Desempenho dos controladores propostos.

Fonte: De autoria própria.

Na Figura 23 o conversor funciona em 50% de carga até 0.25s, quando recebe um degrau de carga para valor nominal. Nesse instante, é possível perceber um afundamento nas tensões dos barramentos intermediário e principal para, aproximadamente, 433V e 359V ou 14,4% e 5,5%, respectivamente. Tais valores estão dentro de valores satisfatórios de desempenho, uma vez também que o tempo de acomodação das tensões também são baixos, 0.1s e 0.04s, respectivamente. Já em 0.4s há uma saída de carga de 100% para 50% da nominal do conversor, acarretando em um *overshoot* das tensões dos barramentos. Nesse caso, as tensões de pico dos barramentos intermediário e principal são 548 V e 400 V ou 9,6% e 5,2%, respectivamente. Analogamente ao caso anterior, os valores apresentados estão dentro do projetado, uma vez que tais valores não assumiram tensões acima da nominal dos componentes.

2.8 Conclusões do capítulo

O capítulo discutiu de forma simples o funcionamento das chaves IGBT e SiC MOSFET e explicou de maneira simplificada os filtros *LCL* e *LC* utilizados no conversor. Ficou claro que o uso de filtros *L* é inviável nessas condições, pois o alto valor de indutância resulta em um filtro muito grande, pesado e caro. Além disso, as perdas no indutor são diretamente proporcionais ao valor da sua indutância, o que pode resultar em maiores quedas de tensão.

O capítulo abordou os requisitos básicos para projetar um conversor de interface c.a./c.c. de dois estágios monofásico e apresentou as topologias mais simples e comuns

descritas na literatura. As topologias de dois estágios sem transformador são as mais utilizadas devido ao menor custo e complexidade de projeto em comparação com as topologias isoladas. Foi destacado que as topologias em meia ponte do primeiro estágio são inviáveis quando a tensão da rede é de 220 V, pois seria necessário cerca de ~ 800 V no BI para sintetizar a tensão da rede. No entanto, essas topologias podem ser viáveis quando a tensão da rede é de 127 V, já que é possível sintetizar a tensão nominal da rede com o BI em 600 V.

Também foi apresentada uma metodologia desenvolvida por [17] para calcular o banco de capacitores ideal, que oferece ao projetista a escolha entre densidade de potência ou flexibilidade de operação. Ficou evidente que optar pela flexibilidade de operação é uma boa escolha para este trabalho, pois permite trabalhar com valores de tensão diferentes no BI e amplia a margem de operação do controle, sem prejudicar o desempenho do conversor. Entretanto, caso o projetista opte por um projeto com maior densidade de potência, uma tensão fixa de interesse deve ser escolhida, sendo essa normalmente maior.

Capítulo 3

Estudo de perdas nos componentes do conversor

Essa seção tem a intenção de detalhar os modelos para cálculo de perdas dos componentes utilizados no conversor. Sendo assim, são descritas as perdas dos semicondutores, separadas em condução e chaveamento, dos indutores separadas em perdas no cobre e núcleo, nos capacitores, *gate driver* e PCB. No caso dos indutores, uma rotina no MATLAB foi criada para o cálculo das perdas, enquanto que o PSIM e Ltspice foram utilizados para estimar as perdas nos demais componentes via modelos *spice* ou por dados retirados dos *datasheets*

3.1 Semicondutores

3.1.1 Perdas de condução

As perdas de condução de um determinado semicondutor de potência tem relação direta com as suas características operativas, uma vez que a corrente i_{ce} entre coletor e emissor de um IGBT, por exemplo, provoca uma queda de tensão não nula V_{ce} que vai variar conforme a tensão de acionamento do gate V_{gate} e da temperatura de junção T_j [20]. Considerando dispositivos com uma construção com junção do tipo *pn* como IGBTs, considerando um intervalo de tempo T , as perdas podem ser descritas conforme Equação (3.1).

$$P_{on}(i_{ce}, V_{gate}, T_j) = \frac{1}{T} \int_0^T V_{ce}(i_{ce}, V_{gate}, T_j) \cdot i_{ce}(t) dt \quad (3.1)$$

Já para transistores do tipo FET (*Field Effect Transistors*) a Equação (3.1) deve ser reescrita conforme Equação (3.2), onde são consideradas as propriedade resistivas da região linear dos MOSFETs [20].

$$P_{on}(i_{ds}, V_{gate}, T_j) = \frac{1}{T} \int_0^T R_{ds,on}(i_{ds}, V_{gate}, T_j) \cdot i_{ds}^2(t) dt \quad (3.2)$$

Em que $R_{ds,on}$: é a resistência equivalente de *drain-source* no estado ligado do transistor, que depende da corrente i_{ds} , da tensão V_{gate} aplicada no *gate* e a temperatura de junção T_j do dispositivo, conforme Equação (3.3).

$$R_{ds,on}(i_{ds}, V_{gate}, T_j) = \frac{\partial V_{ds}(i_{ds}, V_{gate}, T_j)}{\partial i_{ds}} \quad (3.3)$$

Apesar dos SiCs MOSFET se enquadrarem teoricamente na Equação (3.2) devido à sua natureza resistiva e característica de operação no terceiro quadrante, isto é, com corrente negativa e tensão positiva, há a formação de um canal em anti-paralelo com o transistor que forma um diodo intrínseco. Essa característica é melhor abordada pela Equação (3.1), onde utiliza-se o nível de tensão V_{ds} , sendo modelado a exemplo da tecnologia IGBT [20]. Devido ao uso de integrais, o custo computacional das Equações (3.1) e (3.2) é considerado elevado, o que pode ser reduzido caso o projetista opte pelo uso de modelos simplificados e/ou discretizados.

Como forma simplificada de cálculo de perdas, o *Thermal Module* do PSIM utiliza as curvas de tensão e correntes disponibilizadas pelo fabricante para calcular as perdas instantâneas em um dado ponto de acordo com a corrente simulada no *software*. Para isso, deve-se padronizar a tensão de gate V_{gate} (que neste trabalho será de -8/+15V) e a temperatura de junção T_j (que neste trabalho será de 175°C) como forma de explorar as condições mais apresentadas ao longo do *datasheet*. A Figura 24 apresenta a curva V_{DS} vs I_{DS} para diversos valores de V_{gate} e $T_j = 175^\circ C$.

3.1.2 Perdas de chaveamento

Como apresentado no tópico anterior, a perda de condução é gerada por uma queda de tensão não nula nos terminais da chave quando passa por esta uma corrente elétrica. Já as perdas de chaveamento ocorrem pela característica de comutação da chave [23], isto é, há tensão e corrente no momento do chaveamento.

Utilizando o método de chaveamento *Hard-Switching*, que consiste em simplesmente alterar o estado da chave com disparo no gate da chave, no instante de ligar ou desligar há, simultaneamente, corrente e tensão elevadas em um curto intervalo de tempo, levando inevitavelmente a dissipação de potência [20]. A Figura 25 apresenta as formas de onda da corrente e tensão no instante de comutação *turn-on* do SiC MOSFET C3M0021120k e as perdas geradas durante esse transitório que foram simuladas no Ltpice através do modelo *spice* disponibilizado pelo fabricante.

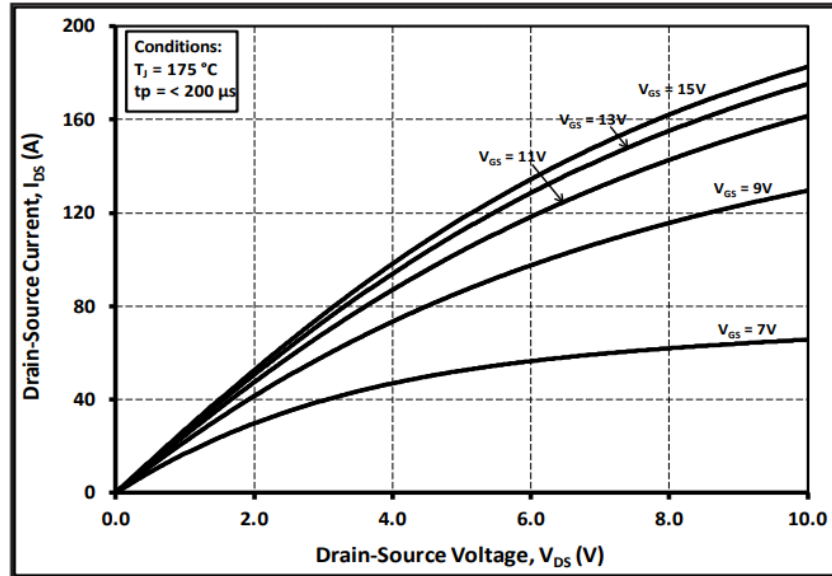


Figura 24 – Curva V_{DS} vs I_{DS} para diversos valores de V_{gate} e $T_j = 175^\circ C$.

Fonte: Reproduzido de [28].

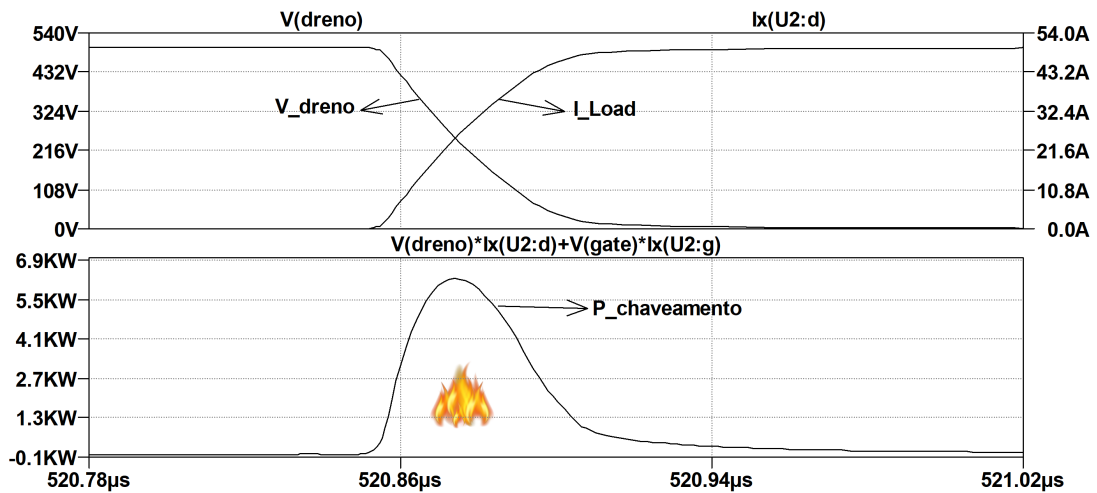


Figura 25 – Formas de onda para *Hard-Switching* no SiC MOSFET C3M0021120k.

Fonte: Autoria própria.

Já quando se utiliza o método de chaveamento *Soft-Switching*, que consiste em criar uma oscilação forçada utilizando circuitos ressonantes para minimizar o cruzamento entre a corrente e tensão no instante da comutação, há uma redução da perda de chaveamento por diminuir o tempo em que os valores de corrente e tensão são elevados. Existem diferentes técnicas que variam entre comutar com corrente próximo de zero (*ZCS* - Zero Current Switching) e comutar com a tensão próximo de zero (*ZVS* - Zero Voltage Switching) [20]. Apesar de reduzir as perdas de chaveamento do transistor, circuitos mais complexos são necessários, agregando custo e também complexidade no projeto dos componentes e no controle. Além disso, devido ao avanço das tecnologias dos atuais interruptores de potência, as perdas de chaveamento vem sendo reduzidas, o que permitiu que a aplicação

dessa técnica em conversores para sistemas de distribuição c.c. pudesse ser desconsiderada. Por esses motivos, decidiu-se por utilizar o *Hard-Switching*, uma vez que os transistores escolhidos também possuem a característica de baixas perdas de chaveamento.

As perdas de comutação P_{sw} podem ser calculadas utilizando as informações de energia de chaveamento (E_{on} e E_{off}) disponíveis no *datasheet* do fabricante das chaves, conforme Equação (3.4) [20].

$$P_{sw} = \frac{1}{T} \left[\sum_{i=1}^{N_{sw,on}} E_{on} + \sum_{i=1}^{N_{sw,off}} E_{off} \right] \quad (3.4)$$

Em que: $N_{sw,on}$ e $N_{sw,off}$ são a quantidade de vezes em que a chave é ligada e desligada, respectivamente e; T é o intervalo de tempo analisado. Conforme explorado por [20], a energia de chaveamento depende de diversos fatores construtivos do conversor, pois estas características alteram indutâncias e capacitâncias parasitas que afetam diretamente as perdas por comutação. Além disso, a energia de comutação depende da temperatura de junção T_j , da tensão aplicada pelo gate driver V_g e do resistor limitador de corrente do gate driver R_g . Entretanto, para fins de simulação e levantamento de dados iniciais de rendimento, as curvas de energia de chaveamento informada pelo fabricante podem ser utilizadas como ponto de partida.

3.2 Perdas nos indutores

Com a chegada de metodologias mais recentes para projeto de conversores, bem como novas tecnologias de interruptores de potência como IGBTs de terceira geração e MOSFETs de Carbetto de Silício (SiC), as perdas dos indutores se tornaram maiores proporcionalmente quando comparado aos projetos anteriores, devido ao aumento de eficiência provocado pelas novas chaves e também pelo aumento da frequência de chaveamento, o que levantou novamente a discussão sobre formas de otimizar perdas em elementos magnéticos [38, 8]. Nesse sentido, este capítulo tem a intenção de caracterizar de forma simplificada as perdas em indutores, bem como apresentar a metodologia de cálculo utilizada neste trabalho.

As perdas em indutores podem ser normalmente divididas em: (i) Perdas no cobre, provocadas em razão do fluxo de corrente na resistência série do condutor e; (ii) Perdas no núcleo, que é resultado do somatório de perdas por correntes parasitas/residuais e perdas por histerese.

3.2.1 Perdas no cobre

As perdas no cobre são provocadas pela passagem da corrente na resistência do enrolamento do indutor e variam conforme a frequência de chaveamento adotada devido ao

efeito pelicular e de proximidade. Tais efeitos são responsáveis por determinar a distribuição de corrente ao longo da seção transversal do condutor [38].

O efeito pelicular é conhecido pela tendência da corrente alternada fluir através da superfície de um condutor ao invés de fluir proporcionalmente na área de cobre, o que restringe a área total útil do fluxo de corrente, aumentando portanto a resistência equivalente do caminho. Essa área na qual a corrente passa a fluir é determinada em razão da profundidade de penetração δ , conforme Equação (3.5) em que ρ e μ são a resistividade e permeabilidade magnética do material condutor, respectivamente, e f é a frequência da corrente [8]. A Figura 26 apresenta um exemplo do efeito pelicular em um condutor circular para diferentes valores de frequência.

$$\delta = \sqrt{\frac{\rho}{\pi \mu f}} \quad (3.5)$$

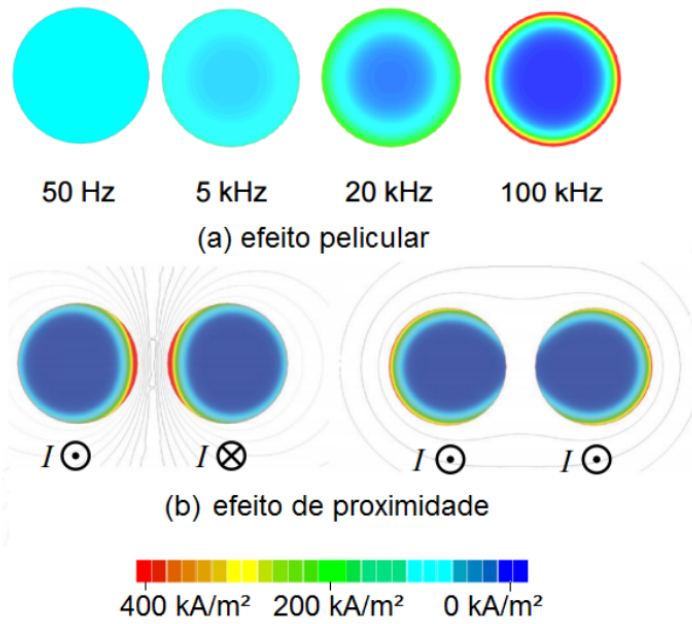


Figura 26 – Variação da distribuição da corrente com a frequência em um condutor.

Fonte: Reproduzido de [39].

Por outro lado, o efeito de proximidade se dá quando um condutor altera a distribuição das correntes alternadas nos demais condutores próximos pelo efeito do cancelamento ou soma das linhas de fluxo do campo magnético, causando o efeito do aumento da resistência equivalente do material, resistência essa que se altera com a intensidade do campo (ou distância dos condutores) e pela frequência.

Por fim, sabe-se que os efeitos de proximidade e pelicular apresentados aumentam a resistência equivalente do condutor, que, por sua vez, aumentam as perdas no cobre P_{cobre} do indutor pela passagem da corrente elétrica, conforme Equação (3.6), em que R_{cc} e R_{ca} são as resistências c.c. e c.a. equivalentes e i_{cc} e i_{ca} são as respectivas correntes no

condutor. É importante notar que, ao considerar um valor c.a. para a resistência, este contemple os efeitos apresentados.

$$P_{cobre} = \frac{1}{2} \cdot R_{cc} i_{cc}^2 + \frac{1}{2} \cdot \sum_{n=1}^{\infty} R_{ca}(n) i_{ca}^2(n) \quad (3.6)$$

Para entender melhor os efeitos apresentados na resistência de um condutor, será abordado a relação entre as resistências R_{cc} e R_{ca} do condutor. A Equação (3.7) apresenta o cálculo da resistência c.c. do condutor a partir da resistividade ρ , do comprimento L e do raio r .

$$R_{cc} = \frac{\rho L}{2\pi r} \quad (3.7)$$

Considerando uma distância média entre os indutores de t , do número de camada de cada enrolamento N_L e encordoamento entrelaçado entre si em caso de fios em paralelo, para equilibrar a distância média geométrica entre cada condutor ao longo do enrolamento, tem-se a Equação (3.8), que determina o valor da resistência c.a. do enrolamento.

$$R_{ca} = R_{cc} \cdot A \left(\frac{e^{2A} - e^{-2A} + 2\text{sen}(2A)}{e^{2A} + e^{-2A} - 2\text{cos}(2A)} + \frac{2(N_L^2 - 1)}{3} \cdot \frac{e^{2A} - e^{-2A} - 2\text{sen}(2A)}{e^{2A} + e^{-2A} + 2\text{cos}(2A)} \right) \quad (3.8)$$

Sendo,

$$A = \left(\frac{\pi}{4} \right)^{\frac{3}{4}} \cdot \frac{d_{fio}^{\frac{3}{2}}}{\delta \sqrt{t}} \quad (3.9)$$

Considerando o condutor AWG 19 de cobre disponível no laboratório da UFMG, com comprimento de 1 metro, distância entre centro de condutores de $3r$ e um enrolamento de camada única, tem-se, na Figura 27, a relação da resistência R_{ca} do condutor, conforme a frequência do sinal de corrente utilizada.

É possível notar que, para 1 condutor AWG 19 nas condições apresentadas acima, não há diferença significativa entre as resistências c.a. e c.c. até 10 kHz. De 10 kHz até 20kHz, há um aumento de cerca de 20% na resistência do condutor, valor esse que dobra ao se utilizar a frequência de 50 kHz. Vale ressaltar que tais condições não são absolutas para o condutor, dependendo de parâmetros como distância entre condutores e forma como os condutores são dispostos (entrelaçados ou não). Com isso em mente, a depender do valor de corrente que irá percorrer pelo indutor, calcula-se o número de condutores em paralelo visando a perda no cobre desejada, juntamente com a taxa de ocupação do núcleo escolhido. Considerando a frequência de 15,36 kHz do conversor, uma corrente senoidal de $47A_{RMS}$ com THD de 2% no indutor L_2 do filtro LCL, um núcleo da *Magnetics HighFlux*

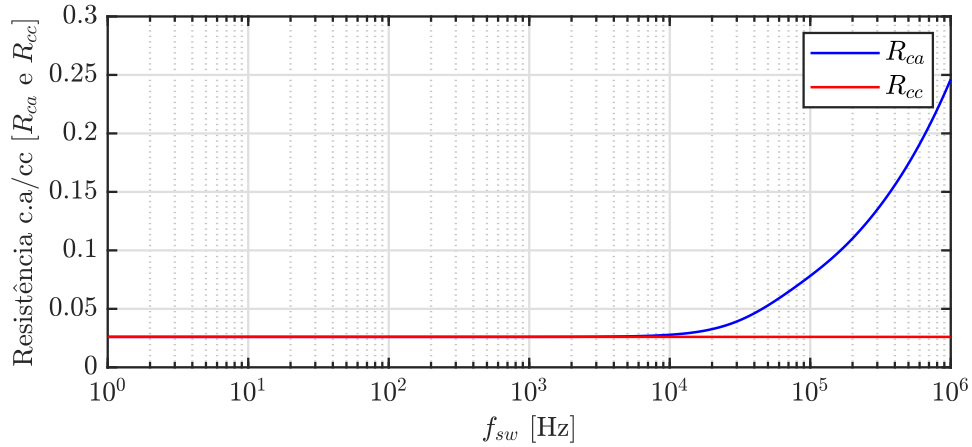


Figura 27 – Variação da resistência do condutor AWG 19 com a frequência.

Fonte: De autoria própria.

58866 e 17 fios AWG 19 entrelaçados, tem-se uma resistência equivalente de $3.5 \text{ m}\Omega$ com perdas de, aproximadamente 7,68W no cobre.

Apesar dos efeitos apresentados serem de grande relevância para o cálculo de perdas no cobre dos indutores, seu peso é minimizado ao se escolher uma menor frequência de chaveamento (nesse exemplo até 20kHz) que somado com medidas para reduzir tais efeitos, como o uso de fios em paralelos entrelaçados, auxiliam na minimização dessa diferença. Portanto, a resistência c.c. pode ser considerada suficiente nesses casos, garantindo boa aproximação dos resultados simulados com os medidos experimentalmente. Já, em casos de maior frequência de chaveamento, espera-se que o projeto do filtro contemple tais efeitos citados a fim de garantir assertividade nos cálculos de perdas.

3.2.2 Perdas no núcleo

O núcleo magnético é o elemento físico que é projetado para direcionar o fluxo magnético produzido pelo enrolamento do indutor, aumentando assim sua indutância pelo armazenamento de energia nos polos magnéticos do material. O processo de armazenamento de energia no núcleo ocorre com a polarização dos domínios magnéticos, que resulta em perdas pela histerese do material, isto é, faz-se necessário um gasto de energia para mudar a orientação dos domínios magnéticos.

De maneira simplificada, as perdas médias no núcleo $P_{core_{AVG}}$ podem ser estimadas a partir da Equação (3.10), conhecida como *equação de Steinmetz* e constantemente utilizada [39].

$$P_{core_{AVG}} = k f^\alpha \hat{B}^\beta V \quad (3.10)$$

Em que: V é o volume do núcleo, $\hat{B}$ é o valor de pico da densidade de fluxo

magnético e k , α e β são constantes que dependem das propriedades do material utilizado no núcleo e normalmente informadas nos *datasheets* dos fabricantes.

Como desvantagem, a equação de Steinmetz não modela com precisão as perdas em indutores com modulação PWM, sendo ideal para situações onde a forma de onda da corrente é senoidal. Entretanto, possui a vantagem da simplicidade e do baixo custo computacional, que é determinante em situações com múltiplos projetos simultâneos como em projetos multi-objetivos.

3.2.3 Metodologia de cálculo de perdas

Para o cálculo de perdas e escolha do indutor ótimo, fez-se necessário o uso de uma rotina no MATLAB. A Figura 28 apresenta o fluxograma da rotina implementada no MATLAB. A rotina inclui a inserção da forma de onda de corrente, que pode ser retirada de simulação do PSIM nas condições de carga entre 5%-100%. Em seguida o algoritmo calcula todos os projetos possíveis dentro dos parâmetros de projeto estipulados e também dos dados calculados. Caso haja convergência dos projetos, estes são salvos e o projeto ótimo é selecionado ao usuário. Tal rotina utiliza como base apenas o conteúdo apresentado neste trabalho até então, com exceção das equações apresentadas no próprio fluxograma.

3.3 Perdas nos capacitores, gate driver e PCB

3.3.1 Perdas nos capacitores

As perdas no banco de capacitores depende da sua tecnologia (que está atrelado à sua resistência interna ESR) e, em geral, tem de baixo a médio impacto (a depender da tecnologia utilizada) nas perdas gerais do conversor quando comparado com outros elementos do circuito, mas com o aumento da eficiência geral do conversor, tais perdas vem se tornando proporcionalmente maiores. Para o BI e filtro LC de saída do conversor proposto, duas tecnologias podem ser adotadas, sendo: *i*) Capacitores eletrolíticos e; *ii*) Capacitores de filme.

Os capacitores eletrolíticos são amplamente utilizados na eletrônica/eletrônica de potência pela sua grande flexibilidade de operação, pelo seu baixo custo e também pela ampla variedade no mercado. Uma grande vantagem de tal tecnologia é sua relação capacitância/tensão que permite valores de capacitância que vão de centenas de nF a alguns F , com uma ampla faixa de tensão nominal, normalmente até 600 V. Geralmente são encontrados em três famílias, sendo: *i*) Capacitores de alumínio; *ii*) Capacitores de tântalo e; *iii*) Capacitores de nióbio; famílias essas que possuem características próprias para aplicação em diferentes cenários, onde normalmente os capacitores de alumínio são os mais comuns, para a aplicação avaliada neste trabalho. Por fim, uma característica dessa tecnologia é que seus terminais possuem polaridade, isto é, funcionam de maneira

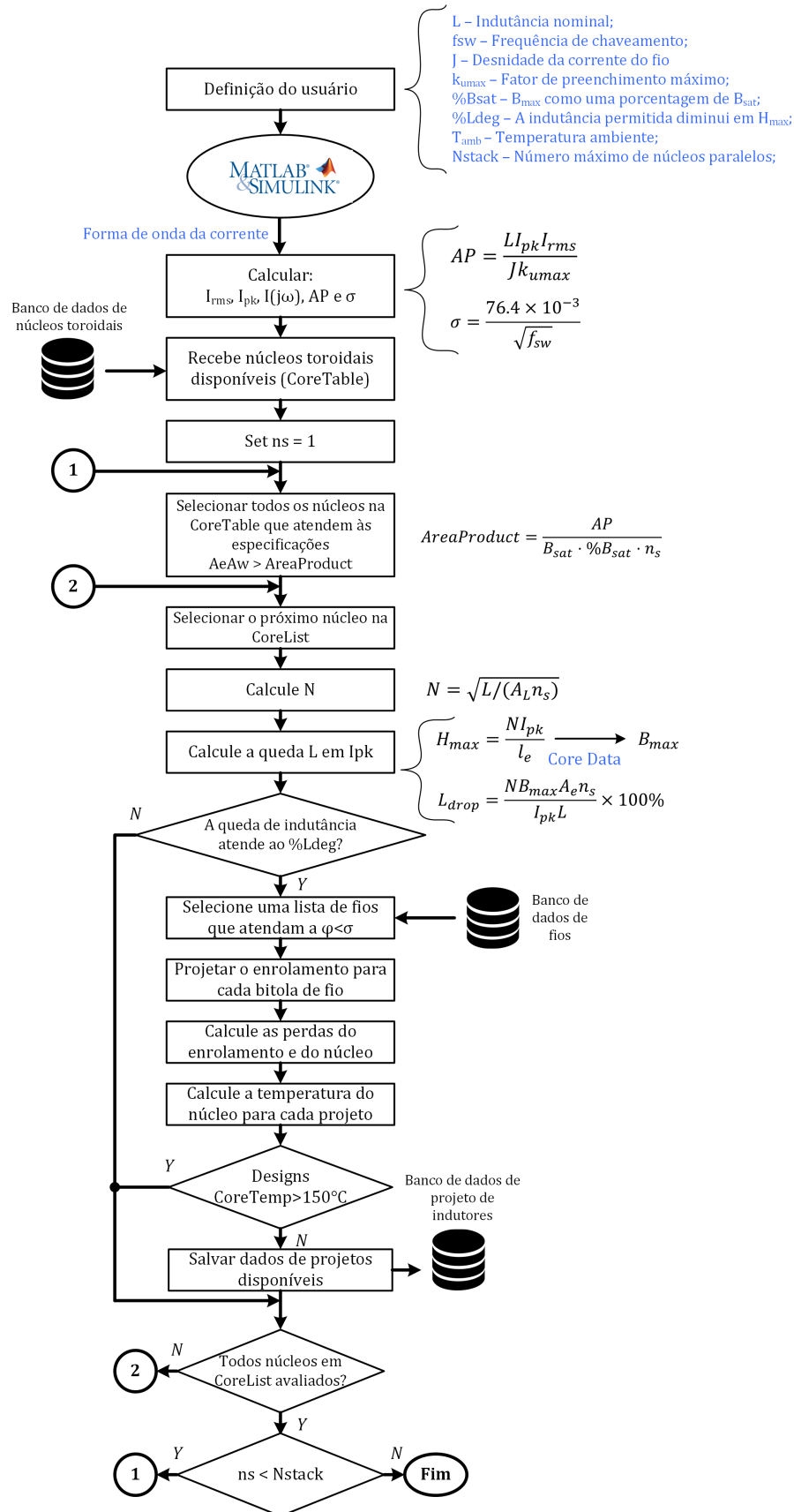


Figura 28 – Metodologia para projeto ótimo de indutores.

Fonte: De autoria própria.

adequada quando conectado o terminal positivo no de maior potencial e negativo no terminal de menor potencial.

Já os capacitores de filme também são amplamente utilizados na eletrônica, possuindo características como a flexibilidade de operação, ampla variedade no mercado, mas custo mais elevado que os eletrolíticos de alumínio. Como vantagens dessa tecnologia, podem-se citar: *i)* Menor resistência ESR; *ii)* Maior suporte de tensão e corrente; *iii)* Maior vida útil e, portanto; *iv)* Maior confiabilidade. Como desvantagens, podem-se citar: *i)* Maior custo; *ii)* Menor densidade de capacitância por volume e; *iii)* Menos opções de capacitância para aplicações em elevada potência, quando comparado aos eletrolíticos.

As perdas nos capacitores devem-se, basicamente, à resistência interna ESR do banco capacitivo e da corrente que flui por este. Portanto, de maneira geral, quanto menor o valor de ESR , menores as perdas no sistema para uma mesma forma de onda de corrente. As perdas nos capacitores eletrolíticos de alumínio são calculadas de acordo com a Equação (3.11), enquanto que (3.12) foi utilizada para os capacitores do tipo filme [20].

$$P_C^{Al-e} = \sum_n R_{esr}(f_{(n)}, T_{amb}) \cdot \frac{1}{2} \hat{I}_{C(n)}^2 + I_{leak} \cdot V_{C,op} \quad (3.11)$$

$$P_C^{film} = \sum_n R_{esr}(f_{(n)}, T_{amb}) \cdot \frac{1}{2} \hat{I}_{C(n)}^2 \quad (3.12)$$

Em que: T_{amb} é a temperatura ambiente, $\hat{I}_{C(n)}^2$ é o espectro harmônico da corrente do capacitor, R_{esr} é a resistência equivalente do banco de capacitores, e $V_{C,op}$ é a tensão de operação do banco. A corrente de fuga dos capacitores de filme é pequena o suficiente para ser desprezada [20].

Como o banco calculado para o barramento intermediário é de $1100\mu F$, optou-se por comparar os seguintes modelos: *i)* EZPV60117MTS de $110\mu F$, 600 V e $4.8m\Omega$ da *Panasonic* e; *ii)* B43647A5127M05# de $120\mu F$, 450 V e $880m\Omega$ da *TDK*. Para isso, considerou-se a faixa de tensão de 475V-580V apresentada no tópico 2.6.2.1, tornando-se necessário 10 capacitores da *Panasonic* em paralelo. Já para o modelo da *TDK*, torna-se necessário uma associação de 2 capacitores em série para suportabilidade de tensão, associados em conjunto com 18 unidades em paralelo para atingir a capacitância desejada.

No caso da associação dos capacitores de filme da *Panasonic*, tem-se uma resistência equivalente ESR $0.48m\Omega$, que, para uma corrente RMS de, aproximadamente, 26A calculada em simulação pelo PSIM, tem-se uma perda total de 335 mW. Já no caso dos capacitores eletrolíticos da *TDK*, tem-se uma resistência equivalente ESR de $98m\Omega$ que geraria perdas típicas da ordem de, 66W, e geraria aumento de temperatura e redução do rendimento geral do conversor. Mesmo considerando capacitores eletrolíticos de 600 Vdc do mesmo fabricante (mais difíceis de encontrar, como o modelo B437*0E8128M6##),

são esperadas perdas entre 14W e 54W, a depender das condições de operação. Tais perdas dos capacitores eletrolíticos são dezenas de vezes maiores, o que justifica o uso de capacitores de filme. Outro ponto a ser considerado é a capacidade de condução de corrente de capacitores eletrolíticos, muitas vezes inferior aos capacitores de filme equivalentes.

De forma análoga, o mesmo cálculo pode ser utilizado para as perdas dos capacitores de saída do filtro LC e do capacitor do filtro LCL. No primeiro caso, foi utilizado o mesmo capacitor EZPV60117MTS do barramento intermediário, sendo 4 em paralelo para atingir a capacitância projetada para as simulações iniciais. Já para o filtro LCL, o capacitor utilizado foi o modelo EZP-Q33206MTB de $20\mu\text{F}$, 330Vac e $7.6m\Omega$ do mesmo fabricante, *Panasonic*. A Tabela 9 apresenta um resumo dos capacitores utilizados no conversor proposto e suas perdas.

Tabela 9 – Perdas dos capacitores utilizados no conversor.

Local	Fabricante	Modelo	Tensão nominal	ESR	Quantidade	Perdas
Filtro LCL	Panasonic	EZPQ33206MTB	330Vac	$7.6m\Omega$	1	190mW
Elo c.c.	Panasonic	EZPV60117MTS	600Vdc	$4.8m\Omega$	10	335mW
Filtro LC	Panasonic	EZPV60117MTS	600Vdc	$4.8m\Omega$	4	2mW
Perda total						527mW

Fonte: De autoria própria.

3.3.2 Perdas no *gate driver*

O *gate driver* é responsável por fazer o acionamento do interruptor de potência, que se faz necessário para amplificar os sinais de PWM vindos do DSP, além de adicionar funções de proteção e isolar o circuito de potência do circuito de controle, necessário para garantir segurança ao sistema em uma eventual falha. As perdas no *gate driver* em si são pequenas (na ordem de mW para o *gate driver* e de alguns poucos W para suas fontes isoladas) e depende do modelo utilizado, entretanto, o que deve ser explorado é a influência de alguns parâmetros configurados no *gate driver* na eficiência do conversor [40].

O primeiro parâmetro que deve ser analisado é a sua tensão de operação, que vai interferir diretamente nas perdas de condução do transistor. A Figura 29 apresenta a curva da tensão V_{ds} pela corrente I_{ds} do SiC C3M0021120K, onde é possível notar diferentes curvas a depender da tensão de acionamento [28].

É possível identificar que, a depender da tensão V_{GS} aplicada na chave, a capacidade de conduzir corrente se altera para um mesmo valor de V_{DS} . Isso ocorre pois a tensão V_{GS} está diretamente relacionada com a criação do canal de *dreno-source* do transistor e quanto menor a tensão aplicada no *gate*, maior a resistência equivalente desse canal, reduzindo a sua capacidade de corrente e aumentando as perdas de condução [23].

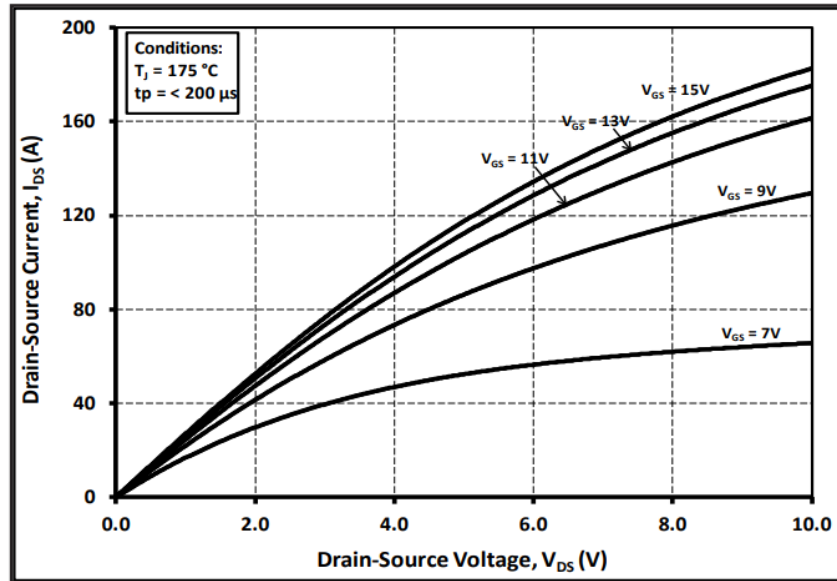


Figura 29 – Curva I_{DS} vs V_{DS} do SiC C3M0021120K para diferentes tensões de acionamento.

Fonte: Reproduzido de [28].

Outro parâmetro que deve ser levado em consideração na hora do projeto do *gate driver* é o cálculo do resistor externo do *gate* da chave (R_G), que é responsável direto por interferir nas perdas de chaveamento. A Figura 30 apresenta a energia de chaveamento do SiC C3M0021120K considerando um resistor de *gate* R_G de $2,5\Omega$, enquanto que a Figura 31 mostra a variação da energia de chaveamento a depender do valor escolhido de R_G para um ponto de operação específico.

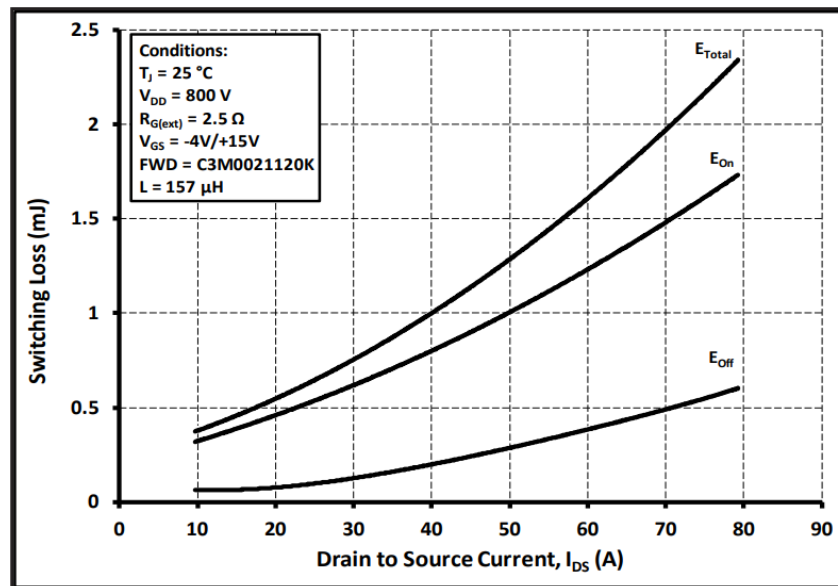
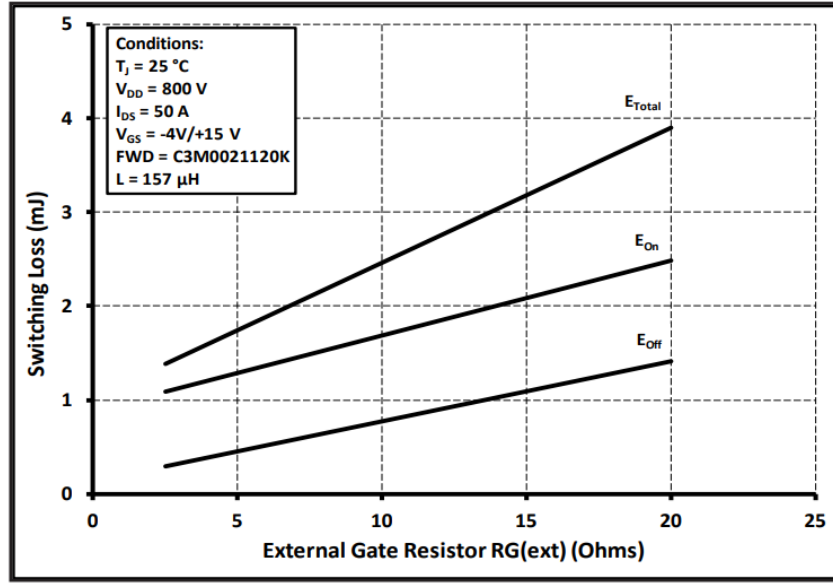


Figura 30 – Curva I_{DS} vs SW_{losses} do SiC C3M0021120K.

Fonte: Reproduzido de [28].

Essa diferença da energia de chaveamento conforme a variação do resistor R_G se

Figura 31 – Curva R_G vs SW_{losses} do SiC C3M0021120K.

Fonte: Reproduzido de [28].

dá pela alteração da constante de tempo τ do circuito RC formado pelo resistor R_G e pela capacitância parasita equivalente do *gate* (conforme ilustrado na Figura 32), que altera o tempo de chaveamento do SiC, tornando-o mais lento à medida que R_G aumenta que, por sua vez, aumenta as perdas de comutação. A Figura 33 apresenta essa variação dos tempos de chaveamento do SiC C3M0021120K com a variação do resistor R_G .

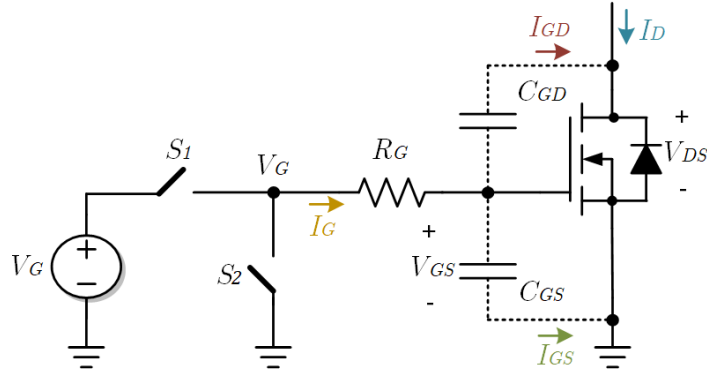


Figura 32 – Capacitâncias parasitas de entrada do gate.

Fonte: De autoria própria.

Apesar de parecer bem simples a escolha do resistor R_G , o valor mínimo desse resistor é definido pelo *gate driver*, que se dá pela sua limitação natural de corrente na saída, necessária para carregar as capacitâncias parasitas da chave. Portanto, em geral, quanto menor essas capacitâncias forem, menos corrente é demandada pelo *gate driver*, consequentemente, permitindo um menor valor de R_G e, portanto, menos perdas de chaveamento. Em casos de *gate driver* com limitação de corrente, pode-se adicionar um estágio *push-pull* em cascata com este para possibilitar utilizar um menor valor de

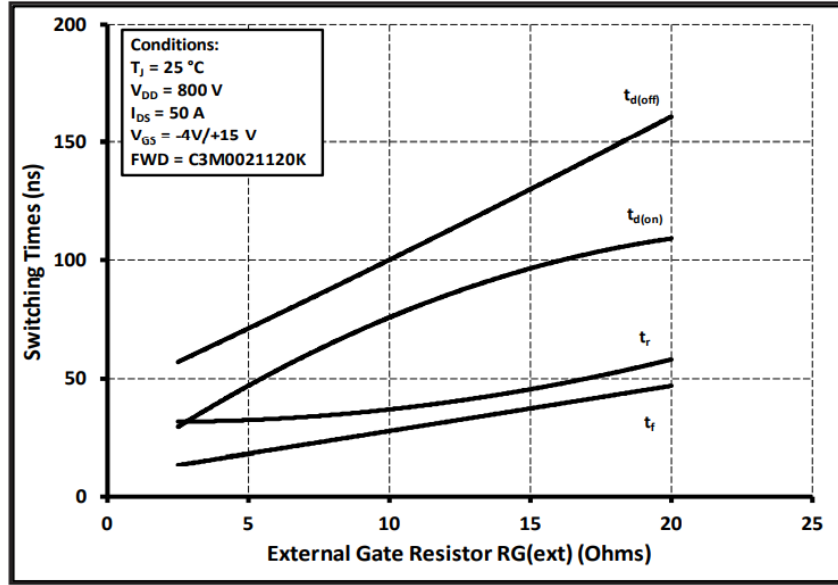


Figura 33 – Curva R_G vs SW_{time} do SiC C3M0021120K.

Fonte: Reproduzido de [28].

R_G , entretanto, deve-se analisar o impacto nas perdas de condução da chave ao se utilizar circuitos em série que provoquem queda de tensão significativa, sendo ideal simular o modelo *SPICE* da chave para avaliação de tal impacto.

Logo, para dimensionar R_G é necessário entender melhor o funcionamento do circuito. Na Figura 32 é possível notar que existem duas capacitâncias intrínsecas envolvidas no processo de acionamento da chave, sendo C_{GD} entre *gate-dreno* e C_{GS} entre *gate-source*. Portanto, a corrente I_G necessária para o acionamento se dá pela soma das correntes I_{GD} e I_{GS} , conforme Equação (3.15), das respectivas capacitâncias parasitas, que são expressas em relação à sua capacitância, a tensão de acionamento V_G , a tensão de operação da chave $V_{DS,op}$ e o tempo t (t_r se for para ligar e t_f se para desligar, conforme *datasheet* da chave) de acordo com as Equações (3.13) e (3.14).

$$I_{GS} = \frac{C_{GS} \cdot V_G}{t_r} \quad (3.13)$$

$$I_{GD} = \frac{C_{GD} \cdot (V_G + V_{DS,op})}{t_r} \quad (3.14)$$

$$I_G = I_{GS} + I_{GD} = \frac{V_G}{t} \left[C_{GS} + C_{GD} \left(1 + \frac{V_{DS,op}}{V_G} \right) \right] \quad (3.15)$$

Entretanto, vale ressaltar que as capacitâncias C_{GD} e C_{GS} não são citadas diretamente nos *datasheets* dos fabricantes, mas sim o valor da capacitância de entrada C_{iss} e da capacitância de transferência reversa C_{rss} , onde as Equações (3.16) e (3.17) apresentam suas relações.

$$C_{rss} = C_{GS} \quad (3.16)$$

$$C_{iss} = C_{GS} + C_{GD} \quad (3.17)$$

Portanto, substituindo (3.16) e (3.17) em (3.15), tem-se a Equação (3.18) que representa o cálculo da corrente de pico I_G no momento do acionamento do transistor.

$$I_G = \frac{V_G}{t} \left(C_{iss} + C_{rss} \cdot \frac{V_{DS,op}}{V_G} \right) \quad (3.18)$$

Outra forma de calcular o pico de corrente é quando se conhece a resistência interna do *gate* (nem sempre encontrado nos *datasheets*, por isso é mais comum o uso da Equação (3.18)), podendo ser calculada conforme (3.19).

$$I_G = \frac{V_G}{R_G + R_{G,int} + R_{DS,on}} \quad (3.19)$$

Tendo em vista a corrente máxima suportada pelo *gate driver* utilizado, basta então calcular o valor de R_G pela Equação (3.18) ou (3.19).

Calculado o resistor R_G para ligar e desligar a chave, caso os resistores calculados sejam iguais, um único resistor R_G pode ser utilizado. Caso o valor de R_G seja diferente, cabe ao projetista decidir entre alterar a configuração do resistor ou manter um mesmo valor de R_G , forçando a chave a desligar em um tempo maior. Cada estratégia possui vantagens e desvantagens, que serão discutidas a seguir. A Figura 34 apresenta diferentes configurações para a inserção do(s) resistor(es) de *gate*.

A configuração da Figura 34a) apresenta a condição onde os tempo de ligar e desligar a chave são iguais. Essa topologia tem a vantagem da simplicidade e de possuir baixa queda de tensão no *gate*, o que ajuda a não aumentar as perdas de condução da chave. Entretanto, caso a chave possua tempos diferentes de subida e descida, as perdas de comutação serão maiores, uma vez que o resistor calculado estará otimizado apenas para um estado de comutação da chave. Já a configuração 34b) apresenta a condição de tempos de chaveamentos diferentes, resultando em diferentes valores de R_G para ligar e desligar a chave. Como vantagem desse circuito, pode-se afirmar que tal configuração permite escolher um resistor ideal para cada estado da chave, reduzindo as perdas de chaveamento em comparação com a topologia apresentada em 34a), caso a chave utilizada em tal configuração possua tempos diferentes. Em contrapartida, a inserção de um diodo em série no circuito resulta em uma pequena queda de tensão entre o *gate driver* e o *gate* da chave, que pode aumentar de forma sutil as perdas de condução. Por fim, a configuração em 34c) é semelhante ao anterior, com a diferença que o resistor $R_{G,off}$ é o paralelo dos

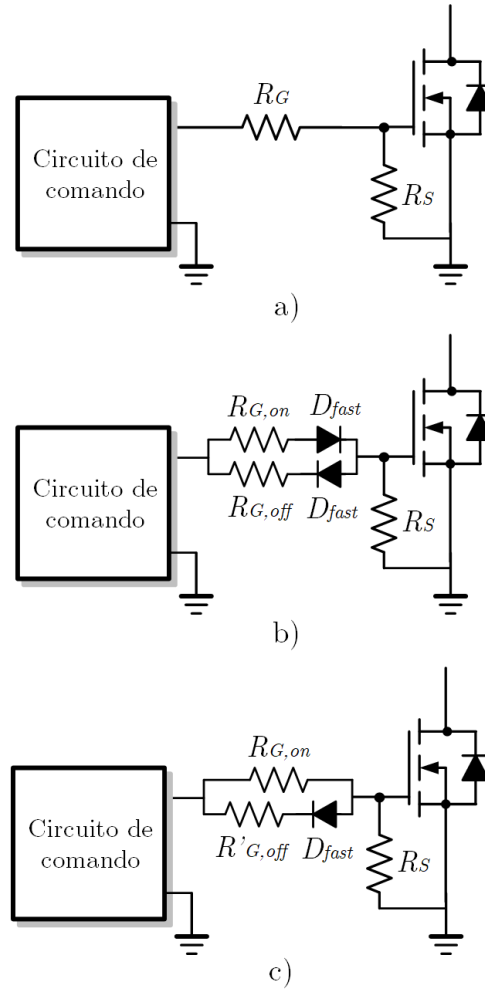


Figura 34 – Configurações para inserção do resistor de gate.

Fonte: De autoria própria.

resistores $R_{G,on}$ e $R_{G,off}$. Essa configuração pode ser aplicada quando o tempo de desligar a chave é maior que o de ligar, permitindo o uso da do resistor equivalente em paralelo e retirando o diodo para reduzir a queda de tensão entre *gate driver* e *gate* da chave.

Além do resistor de *gate*, deve-se inserir o resistor R_S entre o *gate* e o *source/emissor* da chave, independente da configuração escolhida da Figura 34, com a intenção de evitar flutuações de tensão no *gate* da chave ou até mesmo ligar devido a ruídos presentes no circuito. Além disso, o resistor R_S é importante para o caso do circuito do *gate drive* seja de alta impedância, onde o tempo de desligamento do circuito será baseado na constante de tempo dada pela resistência R_S e a capacitância parasita de entrada do *gate* da chave.

O *gate driver* utilizado neste trabalho é o modelo DRO100D25A da *Supplier*, que, possui como principais características comandar chaves de até 1200V, com frequência de comutação de até 100 kHz. Para isso, são utilizados CI's isolados pelo optoacoplador HCPL-316J que permite uma corrente de saída máxima de 2,5A.

Ao utilizar dois SiCs C3M0021120K em paralelo, por exemplo (uma das configu-

rações de chaves analisada neste trabalho), e considerando os tempos de subida e descida apresentados no datasheet (33ns e 14ns respectivamente), é possível calcular os valores dos resistores de *gate*. Para saber qual configuração de resistor utilizar, foi simulado no LTspice todas as configurações possíveis e realizado o levantamento das perdas para uma carga de 50A, 50% de ciclo de trabalho e frequência de chaveamento de 15,36 kHz. A Figura 35 apresenta a configuração 34a) com apenas um resistor R_G de 5Ω . Já a Figura 36 apresenta a corrente do *gate driver*, onde os resistores foram calculados para que a corrente seja, no máximo, 2,5A.

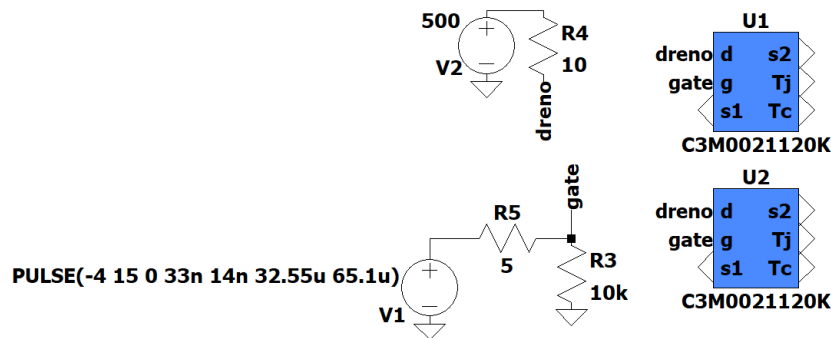


Figura 35 – Configuração 34a) para 2xSiC C3M0021120K em paralelo.

Fonte: De autoria própria.

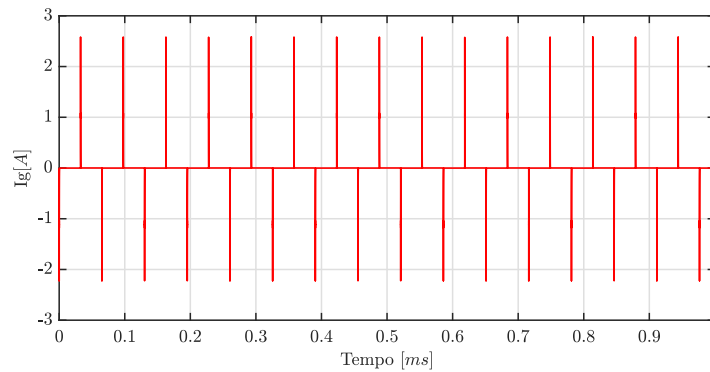


Figura 36 – Corrente do *gate driver* na configuração da Figura 35.

Fonte: De autoria própria.

Repetindo a mesma simulação para as demais configurações, calculando os resistores para o limite de 2,5A da corrente do gate, é possível calcular as perdas da chave para cada configuração, conforme Tabela 10.

Portanto, pode-se concluir que, para essa configuração de chave em específico (2xSiC C3M0021120K em paralelo), a melhor configuração de resistor de *gate* se dá pela alternativa a) da Figura 34. Apesar da diferença numérica ser pequena, a diferença é de 4,8-9,7% entre si, sendo possível afirmar que a configuração mais simples (alternativa a) se mostrou melhor de acordo com as limitações impostas de corrente do *gate driver*.

Tabela 10 – Perdas do conversor para as configurações de *gate driver*.

Configuração	$R_{G,on}$	$R_{G,off}$	$R_{V_{G,off}}$	R_G	Perdas [p.u.]
a)	-	-	-	5Ω	1
b)	3Ω	5Ω	-	-	1,048
c)	10Ω	-	10Ω	-	1,098

Fonte: De autoria própria.

utilizado. É válido ressaltar que o cenário pode ser totalmente diferente, conforme o *gate driver* utilizado, pois o cálculo dos resistores utilizados vão ao encontro com as limitações apresentados pelo componente. Outro ponto interessante é que apesar da configuração b) reduzir as perdas de chaveamento ao reduzir o resistor $R_{G,on}$, não se tornou mais vantajoso que o acréscimo de perda de condução provocada pela inserção de um diodo rápido típico.

3.3.3 Perdas na PCB

A PCB (do inglês *Printed Circuit Board*) é a responsável por receber todos os componentes eletrônicos do conversor e estabelecer os caminhos entre eles. Apesar de muitas vezes ser considerada pequena, com a aumento da eficiência global dos componentes do conversor, as perdas na PCB devem ser consideradas e também podem ser otimizadas com a intenção de não apenas melhorar a eficiência do conversor, mas também de reduzir aquecimento de trilhas. Esse aquecimento reduz a confiabilidade do conversor, além de agregar perdas significativas se subdimensionada. Se sobre-dimensionada, há redução significativa de perdas e temperatura, entretanto, o tamanho do conversor aumenta juntamente com o custo associado à área de cobre adicional .

Dessa forma, o ideal é projetar as trilhas e a elevação de temperatura T da PCB, conforme a necessidade do projeto, de forma a reduzir, significativamente, as perdas sem aumentar o custo ou tamanho da PCB. Para isso, deve-se explorar a distribuição dos componentes na PCB de forma a aumentar a largura L da trilha, de forma a ser suficiente para suportar a corrente nominal, deixando a espessura E de cobre menor (a espessura de cobre da PCB está diretamente ligada ao custo), sem aumentar o tamanho da PCB. A Equação (3.20) apresenta o cálculo da largura da trilha, em *mils*, que é calculada conforme a espessura de cobre em *oz* e a área da seção transversal A , conforme (3.21) [41].

$$L = \frac{A}{1.378E} \quad (3.20)$$

$$A = \left(\frac{I}{k\Delta T^{0,44}} \right)^{\frac{1}{0,725}} \quad (3.21)$$

Em que: $k = 0,048$ para trilhas externas, $k = 0,024$ para trilhas internas, I a corrente em A e ΔT é a variação de temperatura máxima desejada na PCB em $^{\circ}C$. Para

facilitar o entendimento, a Equação (3.22) converte a unidade de medida para mm [41].

$$L[mm] = L[mil] \cdot 0,0254 \quad (3.22)$$

Após o cálculo da largura da trilha é importante também calcular suas perdas. Esse cálculo leva em consideração a temperatura ambiente T_0 , a máxima elevação de temperatura desejada T , a resistividade do cobre $\rho_0 = 1,68 \cdot 10^5 [\Omega/mm]$, o comprimento da trilha C e a área transversal de cobre. Sendo assim, a Equação (3.23) calcula a resistência equivalente da trilha, onde as perdas são calculadas aplicando (3.24) [41].

$$R = \frac{\rho_0 \cdot [1 + \alpha(T - T_0)]C}{A} \quad (3.23)$$

$$P_{trilha} = RI^2 \quad (3.24)$$

Como boas práticas de projeto e recomendação visando baixas perdas na PCB, recomenda-se o projeto de trilhas que dissipem $20mW/(A \cdot mm^2)$. Por exemplo, uma trilha com espessura de cobre de 3oz, 100mm de comprimento e 30mm de largura é adequada para conduzir de maneira satisfatória 50A rms de forma contínua, em temperatura ambiente de $25^\circ C$. Nas condições apresentadas, as perdas nessa trilha, em plena carga, serão da ordem de 1,36W [42]. De modo geral, espera-se que o projeto da PCB tenha perdas máximas na ordem de 0,1% da potência nominal do conversor, em condição de carga nominal. Como o conversor possui potência de 10kW, espera-se 10W de perdas totais na PCB.

3.4 Conclusão do capítulo

Neste capítulo foi abordado com detalhes as perdas nos diversos componentes do conversor. De maneira geral, apesar de alguns componentes terem maior relevância no quesito perdas, todos os componentes devem ser levados em consideração quando deseja-se explorar o máximo de eficiência possível disponível em uma plataforma. Neste caso, considerou-se também as perdas dos capacitores, da PCB e da influência do *gate driver* nas perdas dos transistores.

Ademais, vale ressaltar que a metodologia apresentada para o cálculo de perdas dos indutores é considerada simplificada, uma vez que o custo computacional foi o principal fator limitante neste trabalho. Por fim, este trabalho utilizou das estimativas das perdas da PCB e do banco capacitivo para o cálculo da eficiência geral dos projetos apresentados no capítulo 4, entretanto, não foi possível escolher um resistor R_G específico para o acionamento das chaves, sendo este limitado ao disponível nos *datasheets* dos fabricantes.

Capítulo 4

Estudo de caso - Resultados de simulação

Este capítulo apresenta os resultados e análises de todas as simulações relevantes realizadas durante o desenvolvimento deste trabalho. Nesta seção são apresentadas as combinações de topologias e transistores e as curvas de eficiência das topologias propostas, que foram divididas em: *i)* Primeiro estágio; *ii)* Segundo estágio e; *iii)* Conversor completo. Para a escolha do projeto ótimo dentre as 384 possibilidades, utilizou-se o Limite de Pareto para a escolha de conversores candidatos. A escolha final foi feita com base na aplicação desses conversores em curvas de carga típicas residencial/comercial. Por fim, foi investigado a influência da variação de parâmetros de projeto na curva de eficiência do conversor proposto, com a intenção de estabelecer critérios para obtenção de uma curva mais plana de rendimento em relação à carga.

4.1 Metodologia e Organização das simulações

Para o cálculo de perdas, utilizou-se o *software* PSIM, onde foi utilizado o *Thermal Module* para adicionar as curvas dos *datasheet's* dos transistores utilizados. Para melhor precisão dos resultados, considerou o uso de 128 pontos de amostragem para cada ciclo, isto é, $T_{sw}=128T_{amostra}$. Além disso, foi desconsiderado o transitório das simulações. Para o cálculo de perdas, considerou-se ao menos 100 *ms* como tempo de amostra. Por fim, a Tabela 11 apresenta as chaves utilizadas nas simulações, que foram escolhidas com base na corrente que flui pelo conversor (calibre de 60A para o primeiro estágio e calibre de 30A para o segundo estágio).

Já a Tabela 12 apresenta as combinações das simulações, sendo 12 para o primeiro estágio e 32 para o segundo estágio, totalizando 384 diferentes combinações entre topologias e chaves. Para a realização de análises posteriores envolvendo custo dos componentes, utilizou-se os dados apresentados na Tabela 13. Como premissa para análise de custo, considerou-se os mesmos componentes para todas as topologias.

Tabela 11 – Interruptores utilizados nas simulações.

Interruptor	Fabricante	Modelo	Corrente (100°C)	Preço (\$)
1xIGBT @30A 600V	Infineon	IHW30N65R5	30 A	3,43
1xIGBT @60A 600V	Infineon	IKW50N65ES5	60,5 A	5,83
1xIGBT @30A 1.2 kV	Infineon	IKW25N120H3	25 A	7,32
1xIGBT @60A 1.2 kV	Infineon	IKY50N120CH3	50 A	13,34
1xSiC @30A 600V	Wolfspeed	C3M0060065K	27 A	14,91
1xSiC @60A 600V	Wolfspeed	C3M0025065K	70A	22,39
1xSiC @30A 1.2 kV	Wolfspeed	C3M0075120K-A	23 A	17,72
1xSiC @60A 1.2 kV	Wolfspeed	C3M0021120K	74 A	36,93
Diodo @30A 600V	Fairchild	ISL9R3060G2	30 A	3,07

Fonte: Dados coletados em [29] em 12/2022.

Tabela 12 – Combinações de simulações.

Configuração de chaves	1° Estágio		2° Estágio			
	NPC	FB	FB	HB	HBE	SNPC
1xIGBT @30A 600V						×
2xIGBT @30A 600V	×					×
1xIGBT @60A 600V	×					×
2xIGBT @60A 600V	×					×
1xIGBT @30A 1.2 kV			×	×	×	
2xIGBT @30A 1.2 kV		×	×	×	×	
1xIGBT @60A 1.2 kV		×	×	×	×	
2xIGBT @60A 1.2 kV		×	×	×	×	
1xSiC @30A 600V						×
2xSiC @30A 600V	×					×
1xSiC @60A 600V	×					×
2xSiC @60A 600V	×					×
1xSiC @30A 1.2 kV			×	×	×	
2xSiC @30A 1.2 kV		×	×	×	×	
1xSiC @60A 1.2 kV		×	×	×	×	
2xSiC @60A 1.2 kV		×	×	×	×	

Fonte: De autoria própria.

4.2 Primeiro estágio

4.2.1 NPC - *Neutral Point Clamped*

A Figura 37a apresenta as curvas de eficiência da topologia NPC para as diversas configurações de chaves na condição de carga. Já a Figura 37b apresenta as simulações para a condição de geração.

Nota-se que IGBT's levam vantagem em relação aos MOSFET's na condição de carga. Isso se dá pelo fato desta topologia favorecer perdas de condução com o uso

Tabela 13 – Custo (em \$) dos componentes do conversor sem os transistores.

Custo do conversor - Exceto HBE		
Componente	Custo unitário	Custo total
Capacitores BI	\$23,62	\$236,20
Capacitor LCL	\$16,07	\$16,07
Capacitores LC	\$23,62	\$94,48
Capacitores <i>Snubber</i>	\$1,64	\$4,92
PCB's	\$564,09	\$564,09
<i>Gate driver</i>	\$99,97	\$299,90
Dissipador (custo médio)	\$73,19	\$146,38
Núcleos <i>Magnéticos</i>	\$48,02	\$240,02
AWG 19	-	\$41,82
Custo do conversor HBE		
Núcleos <i>Magnéticos</i>	\$48,02	\$288,12
AWG 19	-	\$58,55

Fonte: De autoria própria.

de transistores em série, perdas estas que são maiores nos MOSFET's utilizados devido à maior queda de tensão. Entretanto, essa situação se inverte ao analisar a condição de geração, pois devido a mudança do fluxo de potência entre o diodo e o interruptor, mudam-se as curvas V_{xI} , alterando portanto as perdas.

Há também pouca diferença entre o uso de 2 MOSFET's de calibre de @30A em comparação com um de @60A, com leve vantagem para este último. Essa semelhança no rendimento pode proporcionar vantagem no custo para o transistor de @60A, uma vez que é comum essa chave ser mais barata que duas de @30A. Visando ganho de eficiência do conversor, o uso de 2 SiC's de @60A em paralelo se torna relevante devido ao incremento de rendimento ao longo de toda curva de carga.

Já quando se trata do uso de IGBT's, não houve diferença significativa entre as chaves, que demonstra que as perdas de condução são parecidas, mesmo se considerar chaves de menor calibre em paralelo. Ao mesmo tempo, essa característica também mostra que não há ganhos significativos do uso de chaves em paralelo, o que reduz o custo total do sistema. Outro fator importante é que o comportamento dos IGBT's foram semelhantes tanto no modo carga quanto geração, o que significa que não há diferença significativa entre o diodo e a chave de cada IGBT, diferentemente dos MOSFET's analisados.

4.2.2 Full-Bridge

A Figura 38a apresenta a simulação da topologia *Full-Bridge* para a condição de carga, enquanto que a Figura 38b, apresenta as simulações desta topologia para a condição de geração.

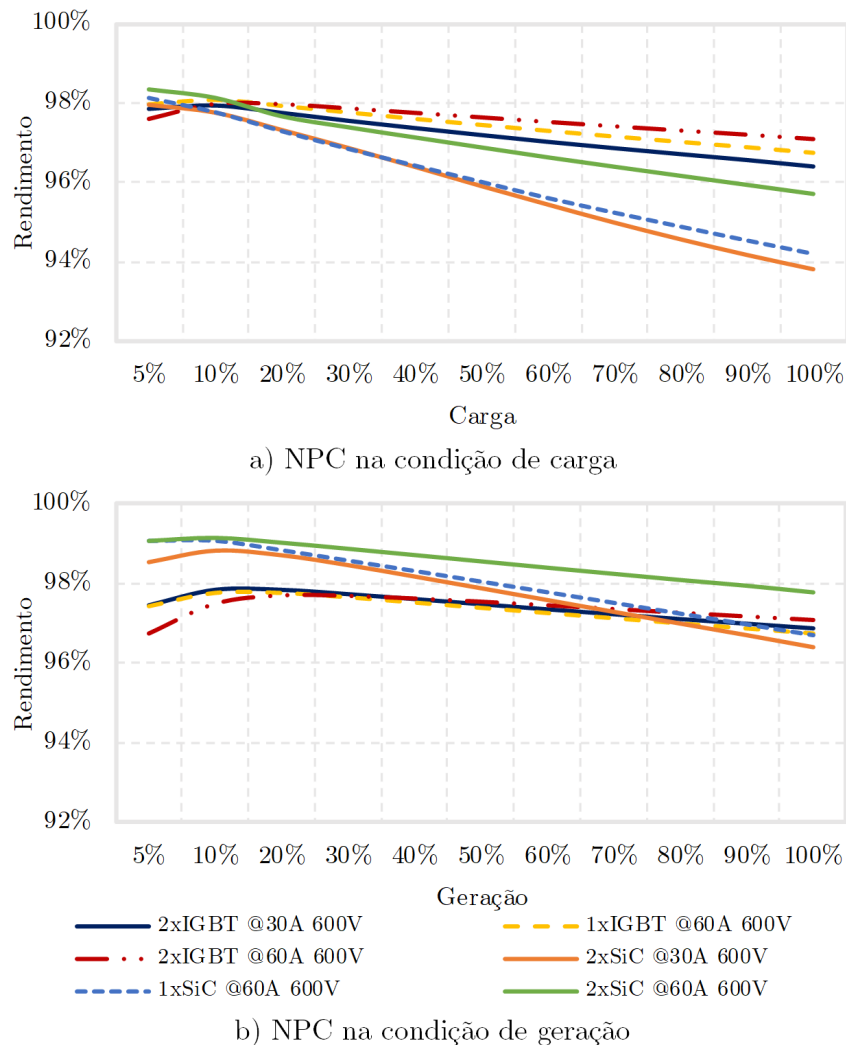


Figura 37 – Rendimento da topologia NPC no primeiro estágio.

Fonte: De autoria própria.

Percebe-se que o SiC leva vantagem na maior parte da curva de carga, principalmente abaixo de 30%, fazendo que a curva se torne mais *flat* em relação aos IGBT's. É possível identificar também que há diferença significativa no uso de chaves de calibres diferentes e também de chaves em paralelo, que pode ser notado quando se compara duas chaves de @30A para uma chave de @60A, tanto no modo de carga quanto na geração. Analogamente à topologia NPC, a diferença nas perdas de condução ainda permitem concluir que é mais vantajoso o uso de uma chave com maior calibre ao invés de chaves de menor calibre em paralelo, uma vez que além de melhorar o rendimento em alta carga, tende a reduzir o custo do sistema pelo menor custo da chave. Já se tratando de IGBT's, percebe-se que há um comportamento semelhante entre os modos de carga e geração, o que se deve novamente à semelhança entre as características do diodo e da chave.

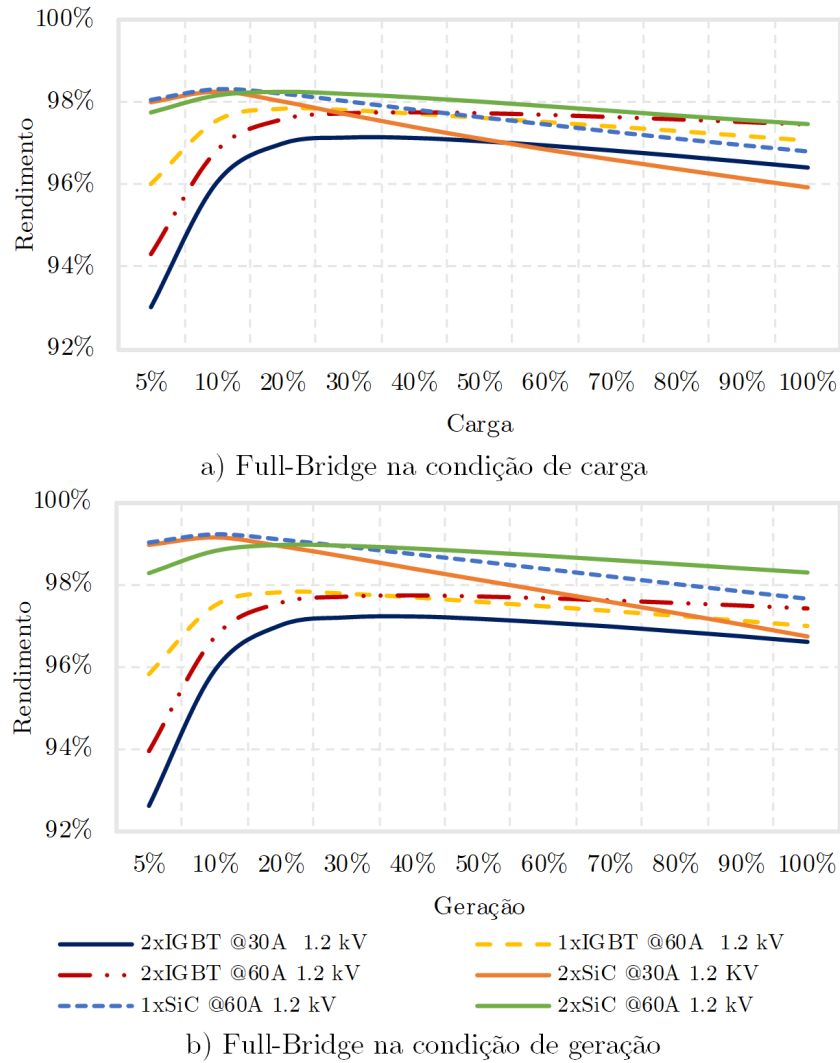


Figura 38 – Rendimento da topologia Full-Bridge no primeiro estágio.

Fonte: De autoria própria.

4.2.3 Análise dos resultados

Ao comparar as topologias, nota-se que para as condições apresentadas é mais vantajoso o uso de SiC's na topologia *Full-Bridge* enquanto que é mais vantajoso o uso de IGBT's na topologia NPC. Observa-se também que, em baixa, carga a topologia NPC é mais eficiente, que leva vantagem pela menor perda de chaveamento e baixas perdas de condução, nesse nível de carga. Já quando a carga aumenta, a situação se inverte, fazendo com que a topologia NPC torne-se menos eficiente, principalmente com o uso de SiC. De maneira geral, a curva de carga é dita "flat" quando utiliza-se IGBT's com a topologia NPC ou SiC's com a topologia *Full-Bridge*, com exceção do uso de 2xSiC@30A.

Dito isto, as Tabelas 14 e 15 apresentam a eficiência média das topologias e chaves, considerando as curvas de geração e carga. Essas tabelas ajudam a identificar ou até mesmo comparar os resultados apresentados nas Figuras 37 e 38 e as conclusões feitas

nesta seção.

Tabela 14 – Eficiência média das curvas da topologia NPC.

NPC - 1° Estágio	
Chave	η_{AVG}
2xIGBT @30A	97,30%
1xIGBT @60A	97,36%
2xIGBT @60A	97,48%
2xSiC @30A	96,85%
1xSiC @60A	97,06%
2xSiC @60A	97,74%

Fonte: De autoria própria.

Tabela 15 – Eficiência média das curvas da topologia FB.

FB - 1° Estágio	
Chave	η_{AVG}
2xIGBT @30A	96,47%
1xIGBT @60A	97,33%
2xIGBT @60A	97,22%
2xSiC @30A	97,60%
1xSiC @60A	98,05%
2xSiC @60A	98,28%

Fonte: De autoria própria.

4.3 Segundo estágio

4.3.1 Half-Bridge

Seguindo o esquema de simulações apresentado na Tabela 12, a seguir são apresentadas as simulações do segundo estágio, onde a Figura 39a contém o rendimento da topologia *Half-Bridge* na condição de carga, enquanto a Figura 39b, a condição de geração.

Nota-se que, apesar do bom rendimento da tecnologia IGBT, há uma clara vantagem em baixas cargas para o SiC, diferença essa que vai reduzindo conforme a carga aumenta. Isso ocorre em virtude das perdas de condução dos SiC's serem maior que dos IGBT's, principalmente na condição de geração, onde as chaves são mais utilizadas que os diodos em anti-paralelo. Entretanto, essa diferença é menor quando considera-se a condição de carga, onde apenas o 1xSiC @30A obteve um resultado semelhante aos IGBT's em plena carga, onde os demais SiC's obtiveram resultados melhores com ganho na ordem de 1% de eficiência, em plena carga, e de 2% a 3,5% de ganho para baixas cargas, que é um excelente resultado em se tratando de projetos de conversores com curva *flat* de rendimento.

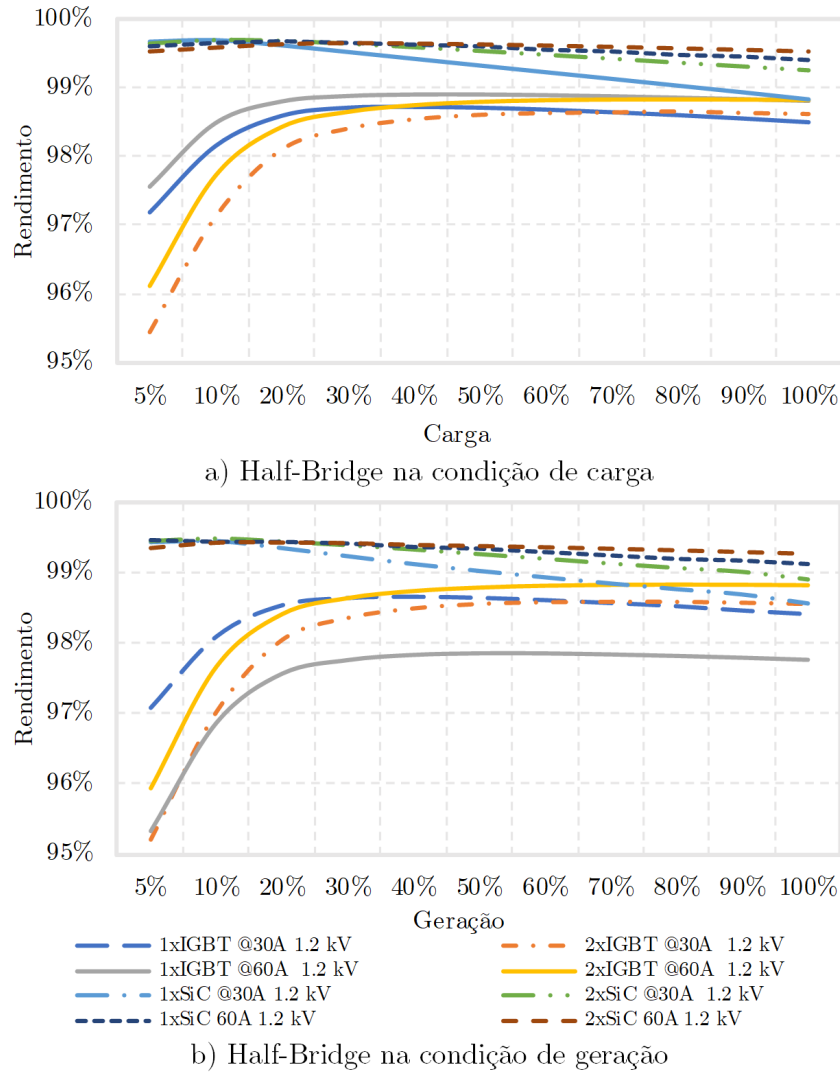


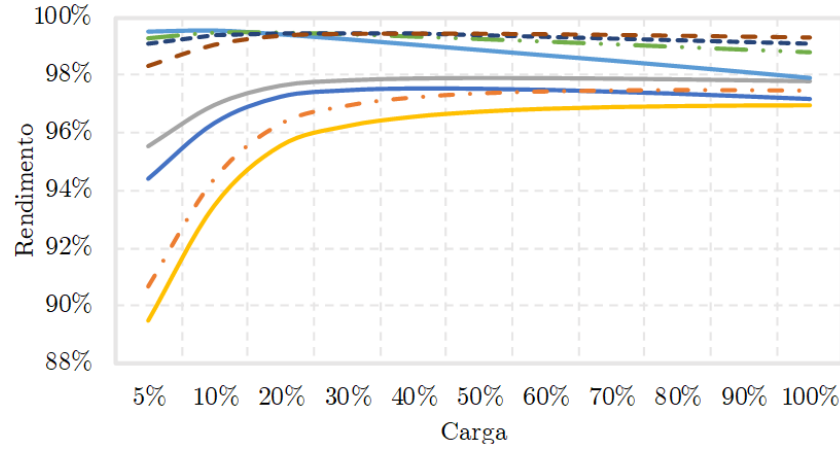
Figura 39 – Rendimento da topologia Half-Bridge no segundo estágio.

Fonte: De autoria própria.

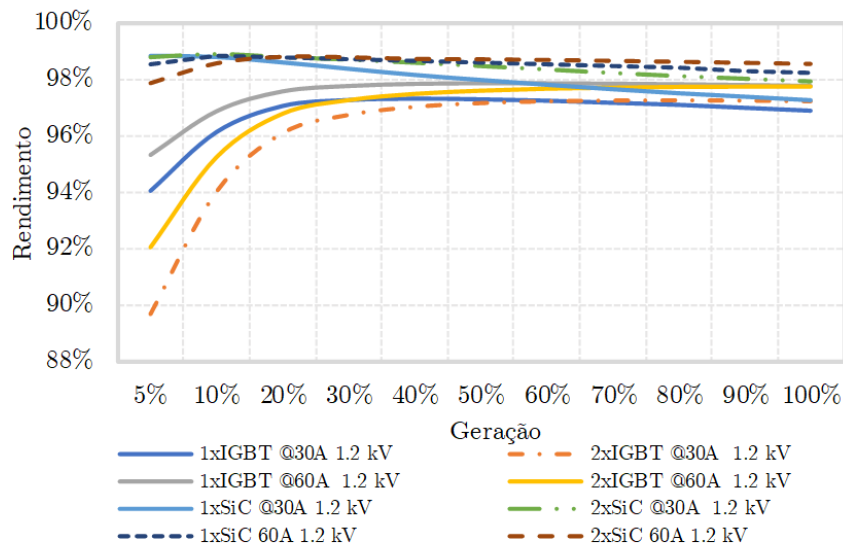
Em relação às chaves em paralelo, nota-se que houve pouca diferença entre 1 e 2 SiC's de @60A tanto na condição de carga como na condição de geração, diferente dos SiC's de @30A onde a diferença aumenta na medida que a carga do conversor sobe em ambos as condições de operação do conversor. Esse comportamento é também percebido nos IGBT's, mas neles a diferença maior se deu em carga leve, quando na condição de carga. Diferença essa ainda maior quando na condição de geração, onde a disparidade do uso de 1 ou 2 IGBT's de @60A se manteve na ordem de 1%, para quase toda a faixa de geração. Apesar dessa diferença existir para os IGBT's de calibre de @30A, a maior diferença se deu em baixa geração. Apesar do comportamento individual das chaves serem justificáveis pela característica construtiva da chave, a comparação entre os calibres de @30A e @60A não é linear e a decisão de quantas chaves usar em paralelo e qual calibre adotar não é direta.

4.3.2 Full-Bridge

Considerando a topologia em ponte completa, a Figura 40a apresenta os resultados para a condição de carga e a Figura 40b, as simulações para a condição de geração.



a) Full-Bridge na condição de carga



b) Full-Bridge na condição de geração

Figura 40 – Rendimento da topologia Full-Bridge no segundo estágio.

Fonte: De autoria própria.

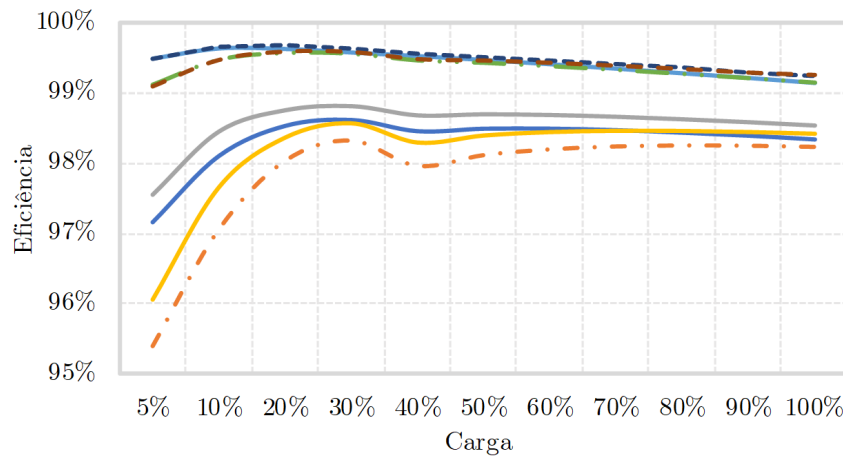
Diferentemente da topologia em meia ponte, os SiC's tiveram um pior desempenho na topologia em ponte completa quando comparado aos IGBT's. Apesar de que, em alguns cenários o 2xSiC @60A ainda ter uma vantagem clara em relação ao 2xIGBT @60A (por exemplo, em baixa carga ou geração), a diferença vai diminuindo ao passo que a carga aumenta, até o momento onde o rendimento do IGBT se iguala ao SiC em plena carga. Já para a condição de geração, o comportamento do rendimento da ponte completa foi semelhante ao da meia ponte, mas, com eficiência menor pelo maior número de chaves.

A mesma lógica do conversor em meia ponte em relação ao comportamento das chaves em paralelo pode ser dita. A diferença entre um ou dois SiC's foi maior quando

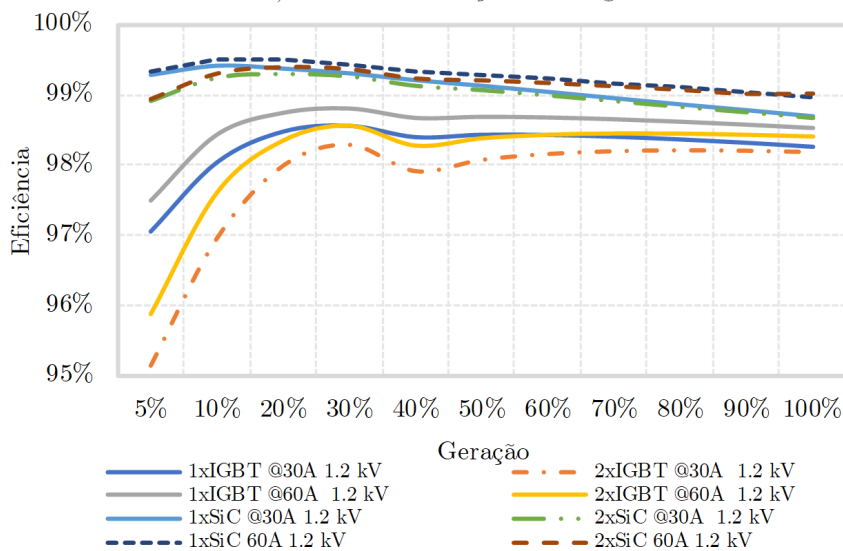
o calibre da chave é de @30A o que novamente se explica pelas perdas de condução que são reduzidas ao usar chaves em paralelo. Essa diferença é menor nos IGBT's, uma vez que, normalmente, a perda de condução é menor quando comparado ao SiC. De maneira geral, existe um ponto onde a eficiência usando uma ou duas chaves é igual, onde cabe ao projetista escolher se pretende priorizar eficiência em plena carga ou em carga leve. Como a ideia deste trabalho é obter uma curva *flat*, e normalmente o rendimento em carga leve é menor (principalmente abaixo dos 20%), SiC's levam vantagem.

4.3.3 Half-Bridge Entrelaçado

Agora considerando a topologia *Half-Bridge* Entrelaçado, a Figura 41a apresenta os resultados para a condição de carga ao passo que a Figura 41b mostra as simulações na categoria de geração.



a) HBE na condição de carga



b) HBE na condição de geração

Figura 41 – Rendimento da topologia HBE no segundo estágio.

Fonte: De autoria própria.

No caso desta topologia, seu diferencial se dá em melhorar a eficiência em carga leve devido ao uso de apenas um braço e, quando a carga aumenta, os dois braços em paralelo auxiliam na menor perda de condução. Entretanto, analisando as curvas de geração e carga, não foi possível concluir nenhum ganho de rendimento relevante em comparação com a topologia *Half-Bridge*. Isso ocorreu pelo consequente aumento das perdas de chaveamento (pelo maior número de chaves) e a corrente de carga ser baixa, acarretando em acréscimos de perdas de chaveamento em detrimento de redução de perdas de condução, que não são recompensadas pelas chaves utilizadas possuírem, de maneira intrínseca, baixas perdas de chaveamento.

Algumas configurações tiveram melhor rendimento que as demais topologias, como no uso de 1xSiC@30A, mas o ganho foi marginal (cerca de 0,2%). Percebe-se, portanto, que essa topologia terá maior impacto quando as perdas de condução foram relevantes em alta carga e as perdas de chaveamento serem relevantes em baixa carga, situação essa que, nesse caso, não foi evidenciada com as chaves utilizadas.

4.3.4 SNPC - *Simplified Neutral Point Clamped*

Por fim, considerando a topologia SNPC, a Figura 42a apresenta os resultados para a condição de carga ao passo que a Figura 42b mostra as simulações na categoria de geração.

Na condição de carga, evidenciou-se que os IGBTs possuem uma curva mais linear, justamente pela tecnologia ter menor perda de condução. Entretanto, o uso de SiCs se mostrou vantajosa, com exceção do SiC @30A e com destaque para o uso de SiCs @60A, que obtiveram rendimento superior a 99,5% em baixa carga. Entretanto, apesar do bom desempenho dos SiCs, a diferença é pequena para os IGBTs ($\leq 1\%$), o que deve favorecer-los devido ao custo baixo destes transistores.

A situação se inverte ao se tratar de eficiência na condição de geração, onde os IGBTs foram lineares em toda a curva de carga em torno de 98,5% a 99%, com destaque para o 1xIGBT @60A, que obteve baixas perdas em carga leve e se manteve com bom rendimento em carga nominal. Já os MOSFETs tiveram grandes perdas de rendimento com o aumento de carga devido ao uso das chaves em série, ratificando mais uma vez que não é vantajoso o uso de tal tecnologia em topologias baseadas em NPC.

4.3.5 Análise dos resultados

Em relação ao segundo estágio, observa-se que há um certo padrão entre as topologias, onde, de maneira geral, as chaves *SiC* obtiveram uma curva de rendimento melhor. Isso ocorre pelo mesmo motivo apresentado na simulação do primeiro estágio, onde as perdas por chaveamento são maiores nos IGBT's, reduzindo a eficiência, principalmente

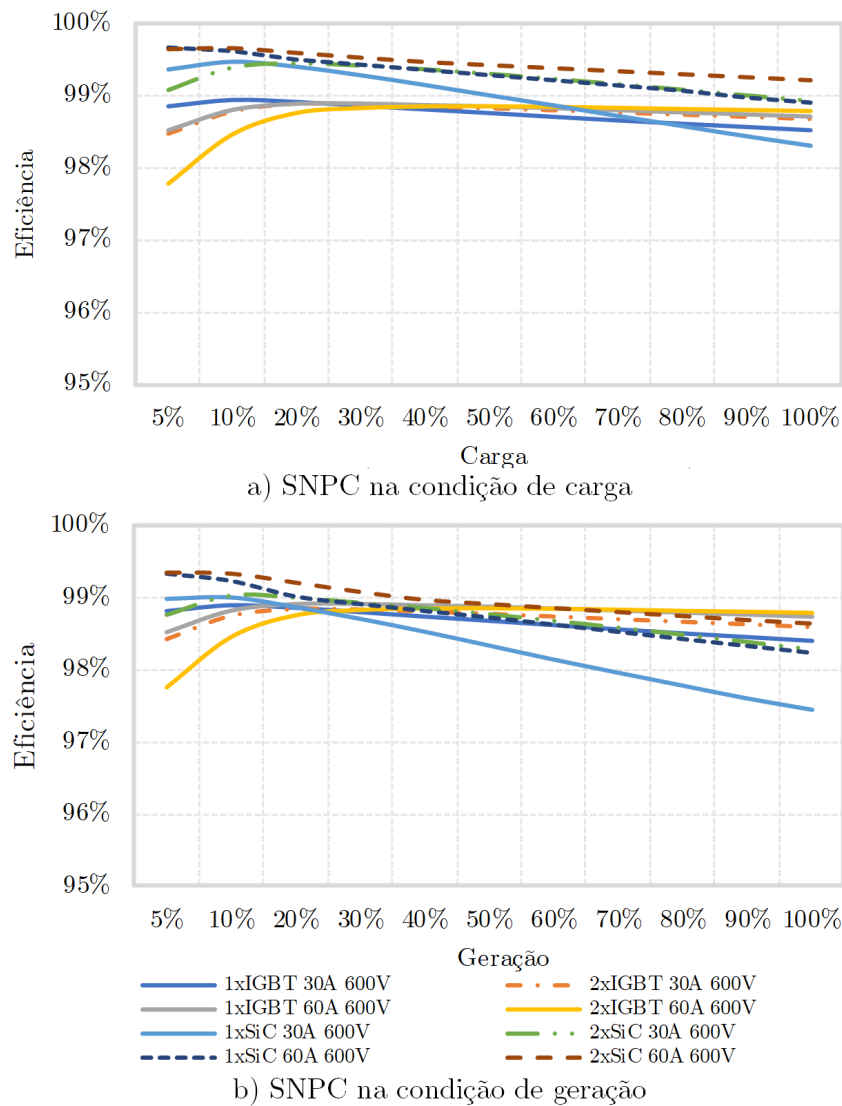


Figura 42 – Rendimento da topologia SNPC no segundo estágio.

Fonte: De autoria própria.

em baixa carga.

Outro ponto a ser ressaltado, foi que o uso de braços entrelaçados na topologia HBE não surtiu efeito significativo com SiC's, diferentemente do ocorrido com os IGBT's. Analogamente aos casos anteriores, tudo isso se deve ao fato das perdas de chaveamento dos SiC's serem baixas, não justificando o uso de braços entrelaçados para ganho de eficiência (mesmo não sendo essa a finalidade da topologia HBE). Porém, mesmo com o uso de IGBTs com essa topologia, percebe-se que para as chaves utilizadas, não houve ganho significativo. Tais ganhos dessa topologia devem ser percebidos em maior intensidade quando for utilizada com transistores com grandes perdas de chaveamento.

Além disso, percebe-se que quanto maior o calibre equivalente (considera-se chaves em paralelo) de corrente da chave, mais eficiente é o conversor quando a carga se aproxima da nominal. Ademais, essas mesmas chaves possuem maiores perdas em carga leve, em

comparação com as chaves de menor calibre, justamente pela estrutura da chave provocar uma maior perda de chaveamento. Por fim, a topologia *Half-Bridge* foi a que obteve os melhores resultados no quesito rendimento, justificado pelo uso de menos chaves, consequentemente, menos perdas.

As Tabelas 16 a 19 apresentam um resumo do desempenho das chaves no segundo estágio, com base nas curvas de carga e geração apresentadas nas Figuras 39 a 42, respectivamente. Essas tabelas ajudam a resumir as análises apresentadas ao longo desta seção e também dá uma visão quantitativa direta do desempenho das chaves e topologias.

Tabela 16 – Eficiência média das curvas da topologia HB.

HB - 2° Estágio	
Chave	η_{AVG}
1xIGBT @30A	98,42%
2xIGBT @30A	98,10%
1xIGBT @60A	98,10%
2xIGBT @60A	98,41%
1xSIC @30A	99,17%
2xSIC @30A	99,38%
1xSIC @60A	99,44%
2xSIC @60A	99,48%

Fonte: De autoria própria.

Tabela 17 – Eficiência média das curvas da topologia FB.

FB - 2° Estágio	
Chave	η_{AVG}
1xIGBT @30A	96,90%
2xIGBT @30A	96,23%
1xIGBT @60A	97,51%
2xIGBT @60A	96,27%
1xSIC @30A	98,44%
2xSIC @30A	98,83%
1xSIC @60A	98,93%
2xSIC @60A	98,94%

Fonte: De autoria própria.

4.4 Perdas nos filtros

Apesar de ser possível utilizar diversos núcleos magnéticos do banco de dados para um projeto visando menos perdas e também menor volume e peso, foi utilizado o núcleo da *magnetics* modelo 0077337A7 kool Mu, pela disponibilidade em laboratório de diversas unidades. Portanto, todas as perdas dos filtro apresentadas serão realizadas utilizando esse núcleo. A Figura 43 apresenta o núcleo utilizado.

Tabela 18 – Eficiência média das curvas da topologia HBE.

HBE - 2° Estágio	
Chave	η_{AVG}
1xIGBT @30A	98,29%
2xIGBT @30A	97,79%
1xIGBT @60A	98,54%
2xIGBT @60A	98,13%
1xSIC @30A	99,26%
2xSIC @30A	99,18%
1xSIC @60A	99,37%
2xSIC @60A	99,29%

Fonte: De autoria própria.

Tabela 19 – Eficiência média das curvas da topologia SNPC.

SNPC - 2° Estágio	
Chave	η_{AVG}
1xIGBT @30A	98,71%
2xIGBT @30A	98,74%
1xIGBT @60A	98,80%
2xIGBT @60A	98,70%
1xSIC @30A	98,63%
2xSIC @30A	98,96%
1xSIC @60A	99,02%
2xSIC @60A	99,20%

Fonte: De autoria própria.

A Figura 44 apresenta as perdas para o projeto dos filtros considerando *ripple* de 20% de corrente para todas as topologias, exceto HBE (pelo diferença do número de indutores), que é apresentada na Figura 45.

Além do ganho de desempenho da topologia HBE ter sido abaixo do esperado pelo uso de chaves com baixas perdas de chaveamento, as perdas adicionais dos indutores de acoplamento acabaram colaborando com o rendimento não esperado. Na condição de carga nominal, a Tabela 20 apresenta as perdas dos filtros LCL e do filtro LC para a topologia HBE e demais topologias.

Tabela 20 – Perdas em carga nominal dos filtros de acordo com a topologia.

Componente do conversor	Perdas
Filtro LCL - todas as topologias	32,07W
Filtro LC - topologia HBE	44,22W
Filtro LC - demais topologias	14,57W



Figura 43 – Núcleo 0077337A7 kool Mu *Magnetics*.

Fonte: De autoria própria.

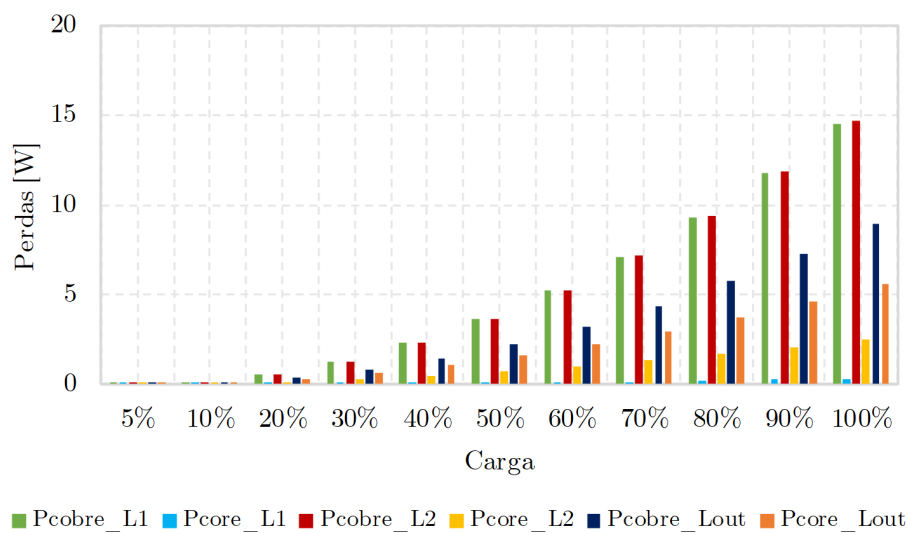


Figura 44 – Perdas dos indutores para todas as topologias, exceto HBE.

Fonte: De autoria própria.

4.5 Conversor completo

As conclusões apresentadas no tópico anterior dizem respeito à cada estágio separado e não é possível ter uma noção clara das melhores combinações possíveis considerando uma mesma chave. Nesse sentido, optou-se por comparar todas as combinações

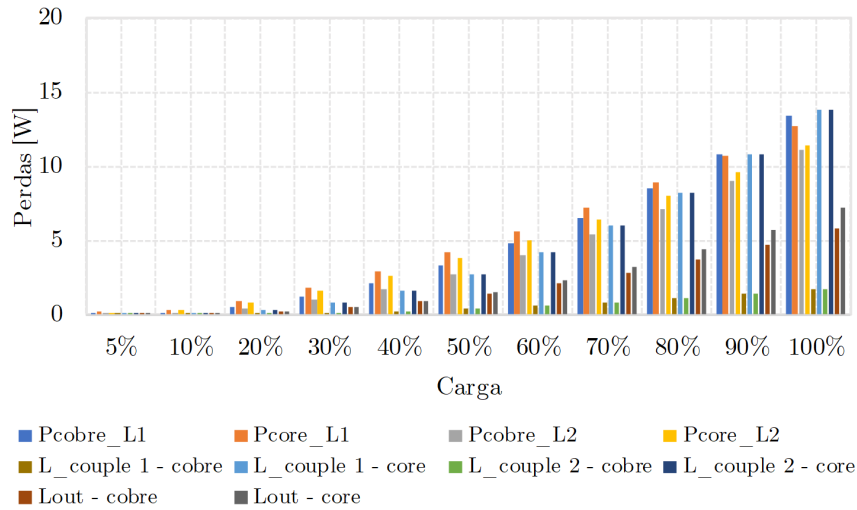


Figura 45 – Perdas dos indutores da topologia HBE.

Fonte: De autoria própria.

de topologias para uma mesma chave para entender, em um primeiro momento, quais combinações de topologias são mais vantajosas. Para isso, escolheu-se 6 combinações, sendo: *i)* 1xIGBT@60A; *ii)* 2xIGBT@30A; *iii)* 2xIGBT@60A; *iv)* 1xSiC@60A; *v)* 2xSiC@30A e; *vi)* 2xSiC@60A, apresentadas nas respectivas Figuras 46, 47, 48, 49, 50 e 51.

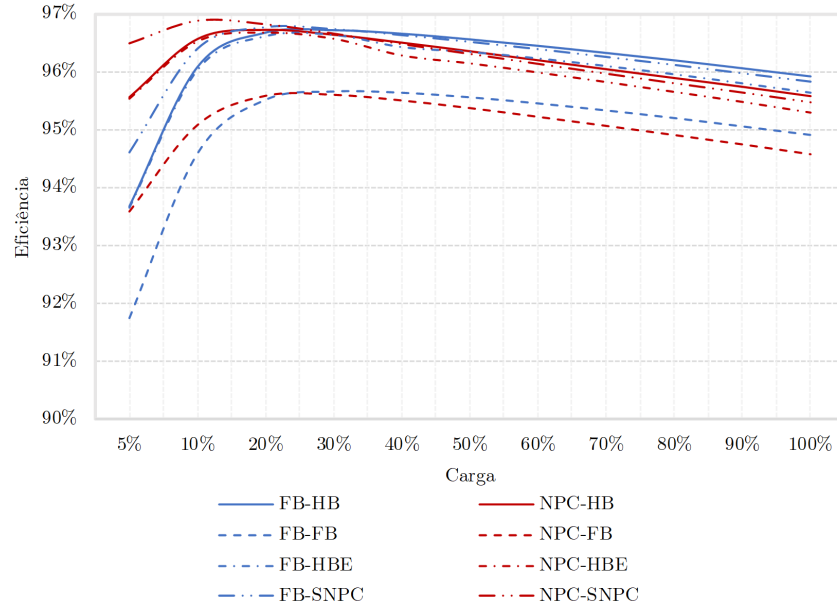


Figura 46 – Rendimento das combinações de topologias para 1xIGBT@60A.

Fonte: De autoria própria.

Analisando a Figura 46, é possível concluir que as topologias mais eficientes são as FB-HB e FB-SNPC, sendo a primeira levemente mais eficiente em altas cargas e a última levemente mais eficiente em carga leve. De modo geral, a topologia FB-HB é ainda mais vantajosa pela simplicidade de projeto e controle, bem como o seu menor preço. As piores topologias no quesito rendimento foram as FB-FB e a NPC-FB, o que já era esperado,

uma vez que essas combinações de topologias favorecem perdas de chaveamento, enquanto as demais combinações possuem uma ou até mesmo as duas topologias com característica de menor perda de comutação.

De modo geral, as combinações baseadas em NPC no primeiro estágio (curvas em vermelho), não possuem vantagem perante as combinações baseadas em FB no primeiro estágio, na maior parte da curva de carga. Isso ocorre pelo fato das chaves utilizadas possuírem baixas perdas de chaveamento, reduzindo assim, a vantagem da topologia NPC, mesmo quando o custo é levado em conta, visto que apesar das chaves para FB serem mais caras pelo maior nível de tensão, a topologia NPC compensa com um maior número de chaves.

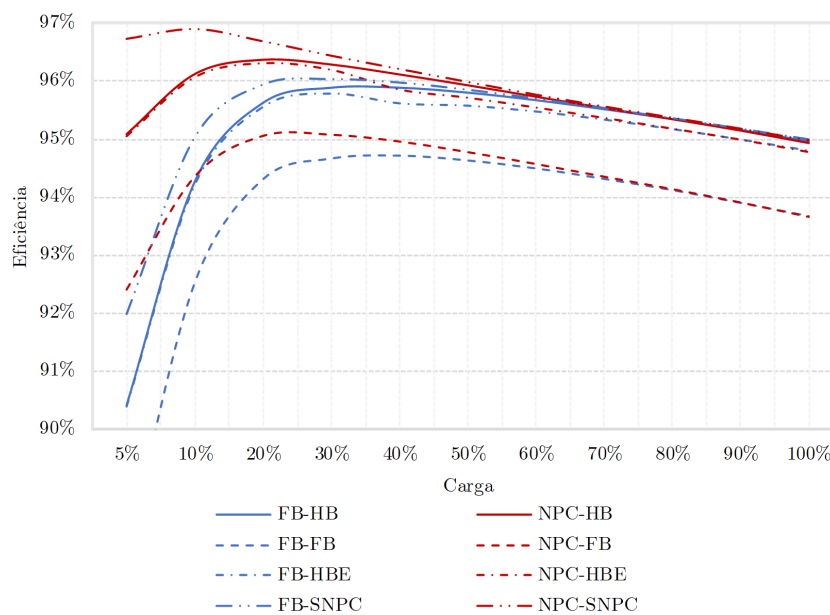


Figura 47 – Rendimento das combinações de topologias para 2xIGBT@30A.

Fonte: De autoria própria.

Já quando é utilizado duas chaves de calibre menor, o rendimento do conversor diminui. Isso ocorre porque apesar da capacidade de corrente ser semelhante, as perdas de condução são maiores em cada transistor individualmente. Além disso, as perdas de chaveamento tendem a ser piores na chave de menor calibre e, ainda nesse sentido, como há duas chaves em paralelo, duplicam-se as perdas de comutação.

Desse modo, o uso de chaves de menor calibre com capacidade equivalente a outra só é vantajosa quando o interruptor de menor calibre possui perdas de chaveamento menores que a metade da chave de calibre menor, condição especialmente difícil. Além disso, o custo deve ser menor, o que não é o caso, onde 2xIGBT@30A é mais caro que 1xIGBT@60 conforme Tabela 11. Apesar disso, não significa que o IGBT@30A é ineficiente quando analisado isoladamente, mas sim por comparação.

Quando utilizam-se chaves em paralelo, espera-se um aumento de rendimento do

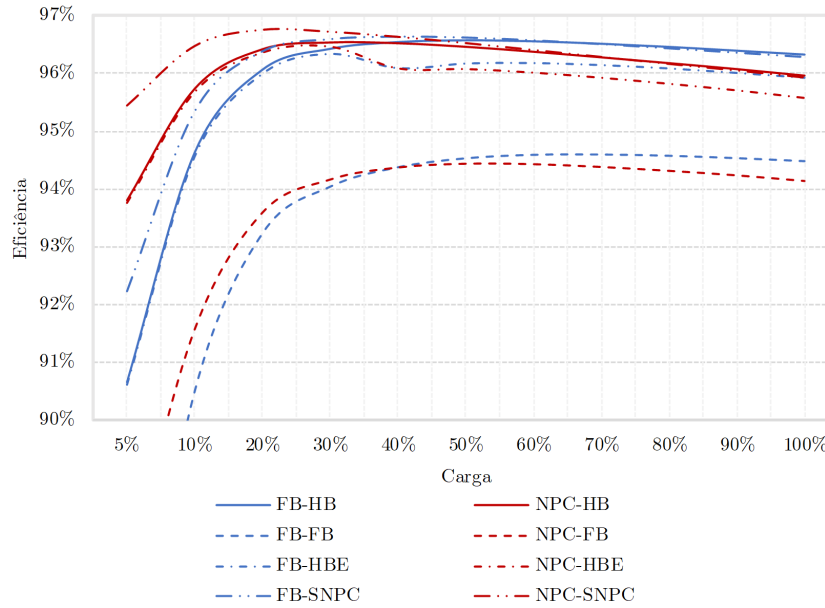


Figura 48 – Rendimento das combinações de topologias para 2xIGBT@60A.

Fonte: De autoria própria.

conversor em plena carga, o que ocorreu ao comparar com o uso de apenas 1xIGBT@60A. Entretanto, em carga leve houve uma piora do rendimento do conversor, que ocorreu pelos mesmos motivos do caso anterior, entretanto, nesse caso, duplicam-se as perdas de chaveamento.

Nesse sentido, não é vantajoso o uso de chaves em paralelo nas topologias FB-FB e NPC-FB, pois estas não tiveram ganhos. Já nas demais topologias, apesar da menor eficiência em carga leve, houve ganhos na faixa de 30% à plena carga, entretanto, em muitos casos na ordem de 0,3%, o que pode ser considerado ganho marginal.

No uso de 1xSiC@60A ficou evidente que a topologia FB no primeiro estágio é muito superior ao NPC. Isso se deve ao fato da topologia NPC favorecer perdas de condução, o que é um ponto negativo devido à queda de tensão nos SiC's serem maiores que nos IGBT's. Outro ponto a se analisar é que, novamente, a topologia FB-HB obteve o melhor resultado, enquanto que as topologias com SNPC no segundo estágio tiveram o pior resultado. Houve ganho de rendimento em toda a curva de carga quando comparado aos IGBT's, mas sua principal vantagem fica em cargas leves, onde as perdas de condução do SiC é menor, favorecendo maior ganho de eficiência.

Semelhante ao caso dos IGBT's de calibre menor, o conjunto 2xSiC@30A também não se mostra vantajoso quando comparado ao 1xSiC@60A. A diferença entre o rendimento dos conversores pode chegar a 1% e, tendo em vista que chaves de menor calibre possuem custo mais elevado, conclui-se que não vale a pena utilizar tal configuração. Ainda assim, se analisada de forma isolada, rendimentos na ordem de 97% podem ser atingidos em carga leve (5-30%), o que pode ser relevante em aplicações de microrredes, uma vez que o

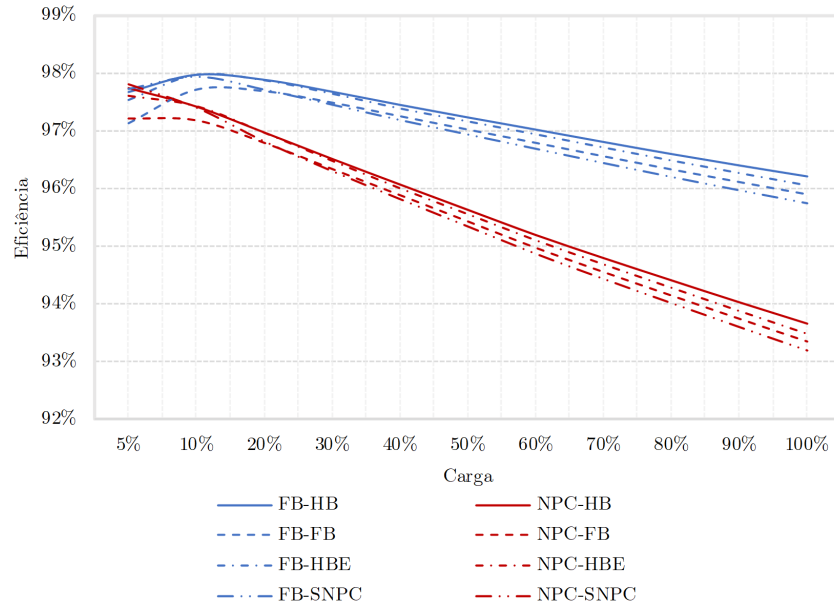


Figura 49 – Rendimento das combinações de topologias para 1xSiC@60A.

Fonte: De autoria própria.

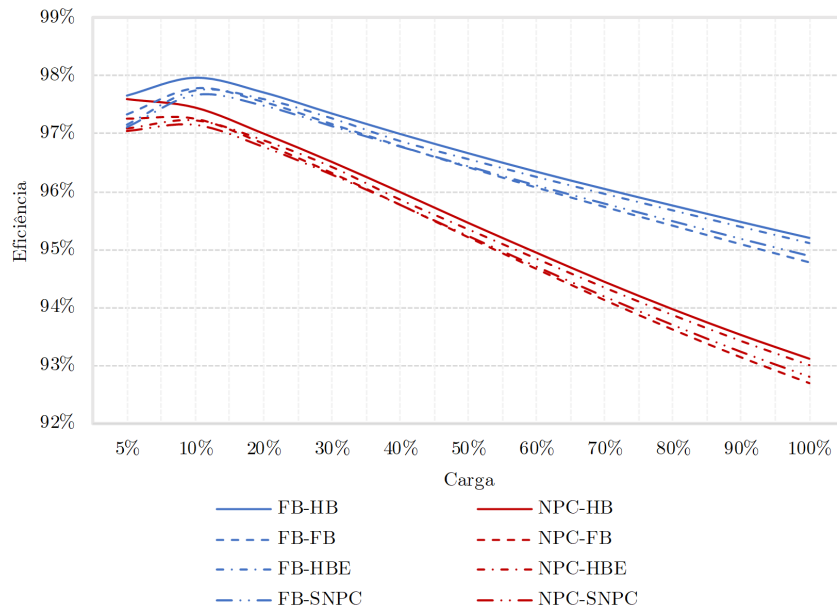


Figura 50 – Rendimento das combinações de topologias para 2xSiC@30A.

Fonte: De autoria própria.

conversor opera em carga mais baixa na maior parte do tempo.

Por fim, no caso do uso de SiC's de 60A em paralelo, houve considerável ganho de rendimento ao longo da curva de carga, chegando a cerca de 1% próximo da carga nominal. É interessante notar que as topologias baseadas em NPC tiveram ganhos maiores, chegando a próximo de 2%, que foi possível pela redução das perdas de condução. Ainda assim, tal configuração não conseguiu ultrapassar a barreira de 98% na condição de carga operando com temperatura de junção de 175°C.

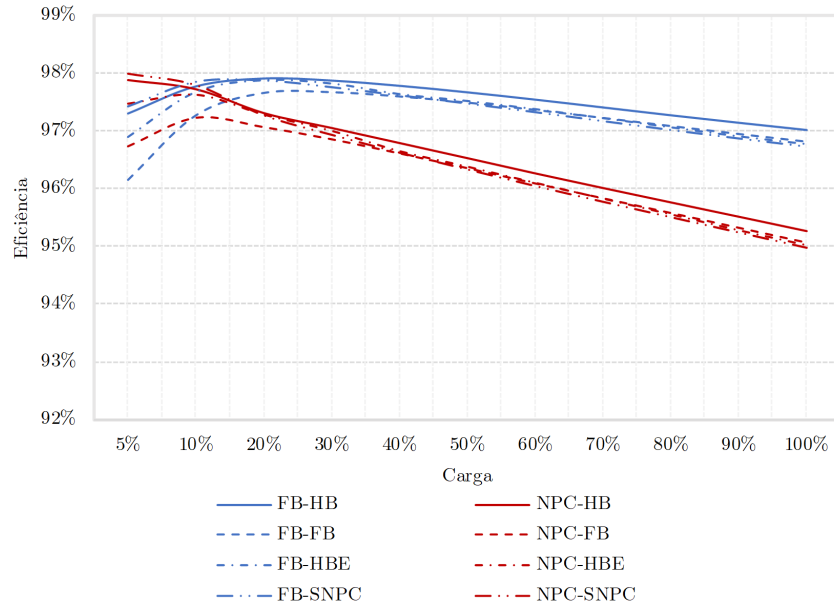


Figura 51 – Rendimento das combinações de topologias para 2xSiC@60A.

Fonte: De autoria própria.

4.6 Projeto ótimo considerando eficiência e custo

De maneira geral, apesar de ser possível obter diversas curvas de alto rendimento, o custo do conversor pode variar bastante e de maneira não intuitiva devido às diferenças das topologias e número de chaves. Para a escolha de uma topologia, nem sempre a lógica de maior custo maior eficiência é observada. Dessa forma, torna-se necessário levar em consideração o custo do conversor para a escolha de uma topologia que possa satisfazer as métricas de desempenho e também que estejam dentro do custo proposto.

4.6.1 Limite de Pareto

Uma maneira direta de fazer uma avaliação de ponto ótimo é usar o limite de Pareto. Nesse sentido, topologias e tecnologias híbridas de chaves podem ser propostas, onde a tecnologia da chave do primeiro estágio pode ser IGBT e do segundo estágio SiC ou vice-versa. Isso é possível pois o acionamento das chaves é muito semelhante e a frequência de chaveamento proposta é baixa, favorecendo uma disputa entre as tecnologias de forma justa, isto é, permitindo IGBT's e MOSFET's atingirem valores elevados de eficiência com perdas de chaveamento controladas.

Após todas as simulações realizadas utilizando o Thermal Module do PSIM, analisou-se qual seria o custo total de cada combinação de topologia e utilizou-se o ponto de carga nominal para construir a nuvem de soluções. A Figura 52 apresenta o conjunto de soluções com 3 curvas, sendo: i) Curva em vermelho - Limite de Pareto de configurações apenas com chaves IGBT's; ii) Curva em verde - Limite de Pareto de configurações apenas com chaves SiC MOSFET's e; iii) Curva em azul - Limite de Pareto de configurações híbridas, isto é, IGBT's e SiC MOSFET's no mesmo conversor.

Analisando a figura é possível notar algumas soluções ótimas que estão na curva de Pareto e diversas consideradas "não otimizadas", conforme exemplo apresentado na figura. O conversor 1 (curva em verde) é composto apenas por SiC, enquanto que os conversores 2, 3 e 4 (curvas em azul) são híbridos. Já os conversores 5 e 6 (curvas em vermelho) são projetos usando apenas IGBT. Um ponto interessante é que todos os conversores ótimos possuem a mesma topologia, *Full-Bridge/Half-Bridge*, o que mostra que topologias mais simples tendem a ser mais adequadas no quesito custo x benefício e, portanto, devem se tornar tendência com o uso de chaves mais eficientes. A Figura 53 apresenta a curva de rendimento dos conversores citados para a condição de carga.

Analisando a Figura 53 é possível perceber que todos os conversores possuem valores elevados de eficiência em ampla faixa de carga, justificados pela posição de ponto ótimo, enquanto que o conversor não otimizado escolhido, além da eficiência menor, ainda possui custo mais elevado que os conversores 2-6 e valor próximo do conversor 1, sendo este o mais eficiente de todo o conjunto dos 384 projetos investigados.

Um ponto interessante de se notar é o bom desempenho dos conversores híbridos, onde este possui custo inferior ao *Full SiC* e entrega eficiência semelhante em grande parte da curva de carga. Esse aspecto citado demonstra que há uma lógica vantajosa em projetar conversores híbridos, onde o uso de IGBT's ajudam a reduzir o custo, ao passo que o uso do SiC melhora a eficiência em parte do conversor. Entretanto, vale salientar que o contrário também é possível, isto é, aumentar o custo do conversor sem ganho ou até mesmo com perda de rendimento, resultando em um projeto não otimizado. Outra possibilidade, seguindo a mesma lógica, é não ter ganho de eficiência mesmo usando SiC no primeiro estágio, que se dá pela limitação da topologia utilizada e/ou do transistor utilizado. É o caso do conversor apresentado como "não otimizado", onde há (1º estágio - 2xSiC@30A NPC) e (2º estágio - 2xIGBT@60A FB), e devido à topologia NPC que não favorece o uso de SiC, há um aumento do custo do conversor e eficiência baixa, inviabilizando seu projeto.

Se for analisado a relação "*custo vs eficiência*" dos conversores ótimo apresentados e considerar o mesmo peso para a figura de mérito custo e eficiência (considerando o ganho acima dos 90% de eficiência), o conversor 3 tende a ser o mais equilibrado, isto é, é considerado o joelho da curva. Por fim, para avaliar cada configuração (384 pontos) em específico, as Figuras 54 e 55 apresentam a eficiência e custo de cada projeto, respectivamente.



Figura 52 – Limite de Pareto considerando custo e rendimento.

Fonte: De autoria própria.

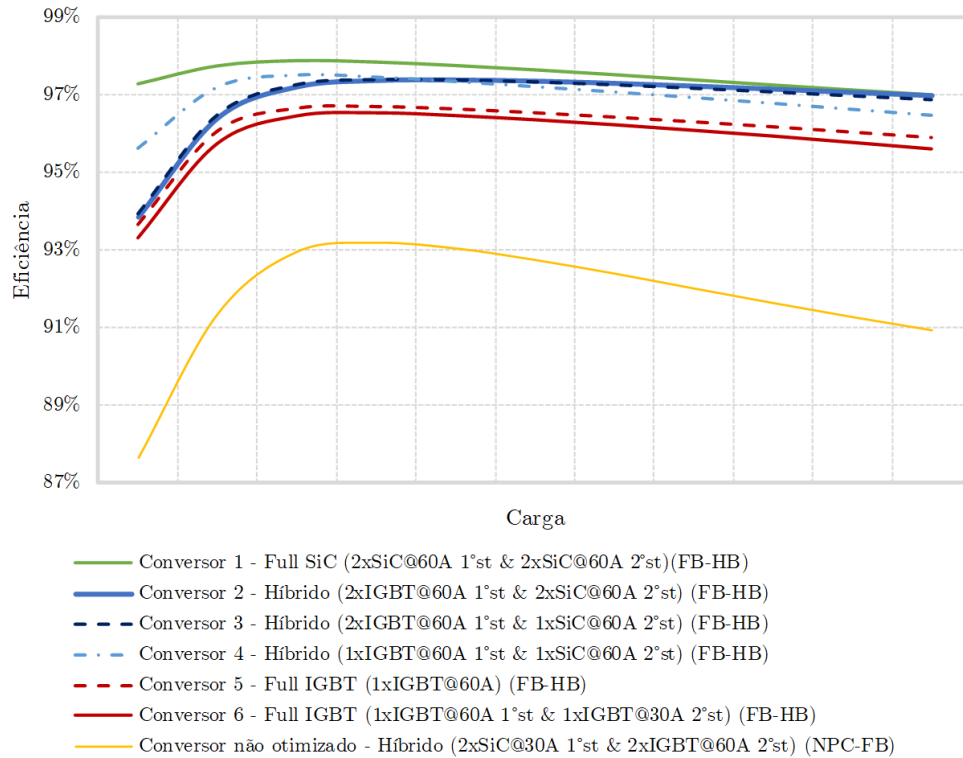


Figura 53 – Curva de eficiência dos conversores selecionados em 52.

Fonte: De autoria própria.

Analisando a Figura 54, sua configuração em mapa de calor apresenta a eficiência em carga nominal de todos os projetos analisados. Os resultados para essa condição mostram que as melhores condições são conversores FB com 2xSiC@60A ou NPC com 2xIGBT@60A no primeiro estágio, sempre acompanhados de 1 ou 2xSiC@60A bi segundo estágio. Além disso, percebe-se também que não é interessante trabalhar com a topologia NPC com SiC em nenhum caso, pois seu rendimento é abaixo de todas as demais combinações.

Já a Figura 55, apresenta o mapa de calor de custo dos conversores. É possível perceber que o custo das topologias NPC com SiC são os mais elevados, pelo maior número de chaves. Ao sobrepor os dados da Figura 54 e 55, a Figura 52 é formada com a nuvem de soluções.

4.6.2 Escolha do conversor e justificativa

Analisando o custo ou a relação custo/eficiência dos conversores conforme apresentado nesse trabalho, fica claro que para fins residenciais/comerciais ainda é viável o uso de IGBT's de alta performance em conversores Full IGBT ou híbridos, principalmente quando a aplicação é pensada para condições com baixas cargas, gerando menos perdas ao longo do uso. Já em um cenário de aplicação com cargas maiores, o quesito rendimento torna-se mais importante, uma vez que perdas são evitadas ao longo do uso do conversor e o custo adicional da tecnologia é paga ao longo do tempo. Nesse cenário, conversores com SiC (Full SiC ou híbridos) tendem a se tornar a melhor escolha com o passar dos anos,

MAPA DE EFICIÊNCIA			1º Estágio												
Ponto de eficiência médio de trabalho			NPC - 600V						Full-Bridge - 1.2 kV						
			IGBT			SiC			IGBT			SiC			
			2x@30A	1x@60A	2x@60A	2x@30A	1x@60A	2x@60A	2x@30A	1x@60A	2x@60A	2x@30A	1x@60A	2x@60A	
2º Estágio	Full-Bridge 1.2 kV	IGBT	1x@30A	93,65%	93,98%	94,36%	91,15%	91,55%	93,01%	93,68%	94,32%	94,70%	93,20%	94,06%	94,72%
			2x@30A	93,92%	94,25%	94,62%	91,41%	91,81%	93,26%	93,94%	94,58%	94,97%	93,46%	94,32%	94,99%
			1x@60A	94,24%	94,57%	94,95%	91,72%	92,12%	93,59%	94,26%	94,91%	95,30%	93,79%	94,64%	95,32%
		SiC	2x@60A	93,43%	93,76%	94,13%	90,93%	91,33%	92,78%	93,45%	94,09%	94,48%	92,98%	93,83%	94,50%
			1x@30A	94,38%	94,72%	95,09%	91,86%	92,26%	93,73%	94,41%	95,05%	95,44%	93,93%	94,79%	95,46%
			2x@30A	95,23%	95,57%	95,95%	92,69%	93,09%	94,57%	95,25%	95,91%	96,30%	94,77%	95,64%	96,32%
	Half-Bridge 1.2 kV	IGBT	1x@60A	95,50%	95,83%	96,21%	92,94%	93,35%	94,83%	95,52%	96,17%	96,57%	95,04%	95,91%	96,59%
			2x@60A	95,72%	96,06%	96,44%	93,16%	93,57%	95,06%	95,74%	96,40%	96,79%	95,26%	96,13%	96,81%
			1x@30A	94,94%	95,27%	95,65%	92,40%	92,80%	94,28%	94,96%	95,61%	96,00%	94,48%	95,34%	96,02%
		SiC	2x@30A	95,06%	95,40%	95,78%	92,52%	92,93%	94,40%	95,09%	95,74%	96,13%	94,61%	95,47%	96,15%
			1x@60A	95,24%	95,57%	95,95%	92,69%	93,10%	94,58%	95,26%	95,91%	96,30%	94,78%	95,65%	96,32%
			2x@60A	95,26%	95,59%	95,97%	92,71%	93,12%	94,60%	95,28%	95,93%	96,32%	94,80%	95,66%	96,34%
	Half-Bridge Entrelaça do 1.2 kV	IGBT	1x@30A	95,26%	95,59%	95,97%	92,71%	93,12%	94,60%	95,28%	95,93%	96,32%	94,80%	95,67%	96,34%
			2x@30A	95,67%	96,01%	96,39%	93,11%	93,52%	95,01%	95,69%	96,35%	96,74%	95,21%	96,08%	96,76%
			1x@60A	95,81%	96,15%	96,53%	93,25%	93,66%	95,15%	95,83%	96,49%	96,88%	95,35%	96,22%	96,90%
		SiC	2x@60A	95,92%	96,26%	96,64%	93,36%	93,77%	95,26%	95,95%	96,60%	97,00%	95,46%	96,33%	97,02%
			1x@30A	94,79%	95,12%	95,50%	92,25%	92,66%	94,13%	94,81%	95,46%	95,85%	94,33%	95,19%	95,87%
			2x@30A	94,69%	95,02%	95,40%	92,16%	92,56%	94,03%	94,71%	95,36%	95,75%	94,23%	95,10%	95,77%
	SNPC 600V	IGBT	1x@60A	94,97%	95,31%	95,68%	92,43%	92,84%	94,31%	94,99%	95,64%	96,03%	94,51%	95,38%	96,05%
			2x@60A	94,87%	95,21%	95,58%	92,33%	92,74%	94,21%	94,89%	95,54%	95,93%	94,41%	95,28%	95,95%
			1x@30A	95,55%	95,89%	96,27%	93,00%	93,41%	94,89%	95,57%	96,23%	96,62%	95,09%	95,96%	96,64%
		SiC	2x@30A	95,57%	95,91%	96,29%	93,01%	93,42%	94,91%	95,59%	96,25%	96,64%	95,11%	95,98%	96,66%
			1x@60A	95,64%	95,98%	96,36%	93,09%	93,49%	94,98%	95,67%	96,32%	96,71%	95,18%	96,05%	96,73%
			2x@60A	95,68%	96,01%	96,39%	93,12%	93,53%	95,01%	95,70%	96,35%	96,75%	95,21%	96,08%	96,77%

Figura 54 – Eficiência individual de cada projeto.

Fonte: De autoria própria

principalmente com a redução de custo de produção e ganhos do uso dessa tecnologia que foram abordadas no texto.

Ciente destas ressalvas, escolheu-se então o Conversor 1 (Full-SiC) para realização de estudo de influência de parâmetros de projetos, bem como para a implementação de um protótipo experimental. Esse estudo visa avaliar possíveis ganhos de eficiência, uma vez que ressalvas iniciais foram feitas para viabilizar o uso da metodologia de projeto ótimo.

4.7 Influência de parâmetros de projeto no rendimento do conversor

4.7.1 Variação da frequência de chaveamento

A frequência de operação do conversor afeta diretamente diversos parâmetros de projeto do conversor, como rendimento, tamanho dos filtros, gate driver, projeto térmico, projeto da PCB, dentre outros. Apesar das simulações apresentadas anteriormente terem sido realizadas com a frequência fixa de 15.36 kHz, esse valor foi escolhido pois está dentro de uma faixa de operação na qual favorece a disputa de IGBT's e SiC MOSFET's de forma justa. Entretanto, é conhecido que a tecnologia *SiC* leva vantagem em frequências elevadas

MAPA DE CUSTO - CARGA NOMINAL				1º Estágio											
				NPC - 600V						Full-Bridge - 1.2 kV					
				IGBT			SiC			IGBT			SiC		
				2x@30A	1x@60A	2x@60A	2x@30A	1x@60A	2x@60A	2x@30A	1x@60A	2x@60A	2x@30A	1x@60A	2x@60A
2º Estágio	Full-Bridge 1.2 kV	IGBT	1x@30A	1752,68	1744,44	1791,08	1936,36	1876,92	2056,04	1731,80	1726,60	1779,96	1815,00	1820,96	1968,68
			2x@30A	1781,96	1773,72	1820,36	1965,64	1906,20	2085,32	1761,08	1755,88	1809,24	1844,28	1850,24	1997,96
			1x@60A	1776,76	1768,52	1815,16	1960,44	1901,00	2080,12	1755,88	1750,68	1804,04	1839,08	1845,04	1992,76
			2x@60A	1830,12	1821,88	1868,52	2013,80	1954,36	2133,48	1809,24	1804,04	1857,40	1892,44	1898,40	2046,12
			1x@30A	1794,28	1786,04	1832,68	1977,96	1918,52	2097,64	1773,40	1768,20	1821,56	1856,60	1862,56	2010,28
			2x@30A	1865,16	1856,92	1903,56	2048,84	1989,40	2168,52	1844,28	1839,08	1892,44	1927,48	1933,44	2081,16
		SiC	1x@60A	1871,12	1862,88	1909,52	2054,80	1995,36	2174,48	1850,24	1845,04	1898,40	1933,44	1939,40	2087,12
			2x@60A	2018,84	2010,60	2057,24	2202,52	2143,08	2322,20	1997,96	1992,76	2046,12	2081,16	2087,12	2234,84
			1x@30A	1738,04	1729,80	1776,44	1921,72	1862,28	2041,40	1717,16	1711,96	1765,32	1800,36	1806,32	1954,04
			2x@30A	1752,68	1744,44	1791,08	1936,36	1876,92	2056,04	1731,80	1726,60	1779,96	1815,00	1820,96	1968,68
			1x@60A	1750,08	1741,84	1788,48	1933,76	1874,32	2053,44	1729,20	1724,00	1777,36	1812,40	1818,36	1966,08
			2x@60A	1776,76	1768,52	1815,16	1960,44	1901,00	2080,12	1755,88	1750,68	1804,04	1839,08	1845,04	1992,76
	Half-Bridge 1.2 kV	IGBT	1x@30A	1758,84	1750,60	1797,24	1942,52	1883,08	2062,20	1737,96	1732,76	1786,12	1821,16	1827,12	1974,84
			2x@30A	1794,28	1786,04	1832,68	1977,96	1918,52	2097,64	1773,40	1768,20	1821,56	1856,60	1862,56	2010,28
			1x@60A	1797,26	1789,02	1835,66	1980,94	1921,50	2100,62	1776,38	1771,18	1824,54	1859,58	1865,54	2013,26
			2x@60A	1871,12	1862,88	1909,52	2054,80	1995,36	2174,48	1850,24	1845,04	1898,40	1933,44	1939,40	2087,12
			1x@30A	1817,43	1809,19	1855,83	2001,11	1941,67	2120,79	1796,55	1791,35	1844,71	1879,75	1885,71	2033,43
			2x@30A	1846,71	1838,47	1885,11	2030,39	1970,95	2150,07	1825,83	1820,63	1873,99	1909,03	1914,99	2062,71
		SiC	1x@60A	1841,51	1833,27	1879,91	2025,19	1965,75	2144,87	1820,63	1815,43	1868,79	1903,83	1909,79	2057,51
			2x@60A	1894,87	1886,63	1933,27	2078,55	2019,11	2198,23	1873,99	1868,79	1922,15	1957,19	1963,15	2110,87
			1x@30A	1859,03	1850,79	1897,43	2042,71	1983,27	2162,39	1838,15	1832,95	1886,31	1921,35	1927,31	2075,03
			2x@30A	1929,91	1921,67	1968,31	2113,59	2054,15	2233,27	1909,03	1903,83	1957,19	1992,23	1998,19	2145,91
			1x@60A	1935,87	1927,63	1974,27	2119,55	2060,11	2239,23	1914,99	1909,79	1963,15	1998,19	2004,15	2151,87
			2x@60A	2083,59	2075,35	2121,99	2267,27	2207,83	2386,95	2062,71	2057,51	2110,87	2145,91	2151,87	2299,59
	SNPC 600V	IGBT	1x@30A	1737,12	1728,88	1775,52	1920,80	1861,36	2040,48	1716,24	1711,04	1764,40	1799,44	1805,40	1953,12
			2x@30A	1750,84	1742,60	1789,24	1934,52	1875,08	2054,20	1729,96	1724,76	1778,12	1813,16	1819,12	1966,84
			1x@60A	1746,72	1738,48	1785,12	1930,40	1870,96	2050,08	1725,84	1720,64	1774,00	1809,04	1815,00	1962,72
			2x@60A	1770,04	1761,80	1808,44	1953,72	1894,28	2073,40	1749,16	1743,96	1797,32	1832,36	1838,32	1986,04
			1x@30A	1783,04	1774,80	1821,44	1966,72	1907,28	2086,40	1762,16	1756,96	1810,32	1845,36	1851,32	1999,04
			2x@30A	1842,68	1834,44	1881,08	2026,36	1966,92	2146,04	1821,80	1816,60	1869,96	1905,00	1910,96	2058,68
		SiC	1x@60A	1812,96	1804,72	1851,36	1996,64	1937,20	2116,32	1792,08	1786,88	1840,24	1875,28	1881,24	2028,96
			2x@60A	1902,52	1894,28	1940,92	2086,20	2026,76	2205,88	1881,64	1876,44	1929,80	1964,84	1970,80	2118,52

Figura 55 – Custo individual de cada projeto.

Fonte: De autoria própria

podendo trazer benefícios como a redução dos elementos magnéticos. Nesse sentido, é importante entender a influência da variação do rendimento do conversor para diversos valores de frequência de chaveamento a fim de entender o que é mais vantajoso quando se busca rendimento e baixo custo.

Para isso, considerou-se a temperatura de junção fixa em 175°C, tensão de 500V e projeto de filtros visando 20% de *ripple* de corrente em 6 frequências de chaveamento diferentes, sendo: i) 5kHz; ii) 15kHz; iii) 30kHz; iv) 50kHz; v) 100kHz e; vi) 150kHz. Para cada frequência de chaveamento, modificou-se os filtros LCL e LC de saída com seu projeto ótimo para tal frequência, conforme metodologia apresentada neste trabalho. A Figura 56 apresenta o impacto das diferentes frequências de chaveamento na curva de eficiência do conversor, enquanto que a Figura 57 mostra o impacto na eficiência média do conversor. Por fim, a Figura 58 apresenta as perdas de condução, chaveamento e dos indutores, conforme frequência de chaveamento.

Percebe-se, analisando a Figura 56, que a frequência de chaveamento tem impacto em toda a curva de rendimento do conversor, mas é especialmente em cargas leves que a frequência de chaveamento proporciona as maiores diferenças. Analisando em plena carga a diferença de rendimento do conversor com frequência de 5kHz para 150kHz está na

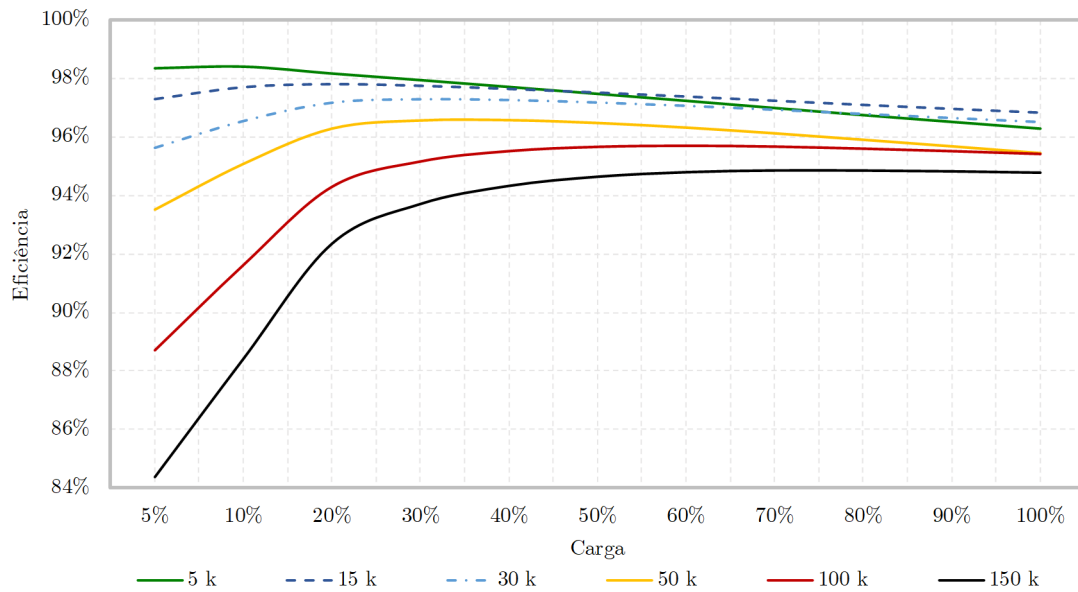


Figura 56 – Impacto da variação da frequência de chaveamento na curva de rendimento do conversor.

Fonte: De autoria própria.

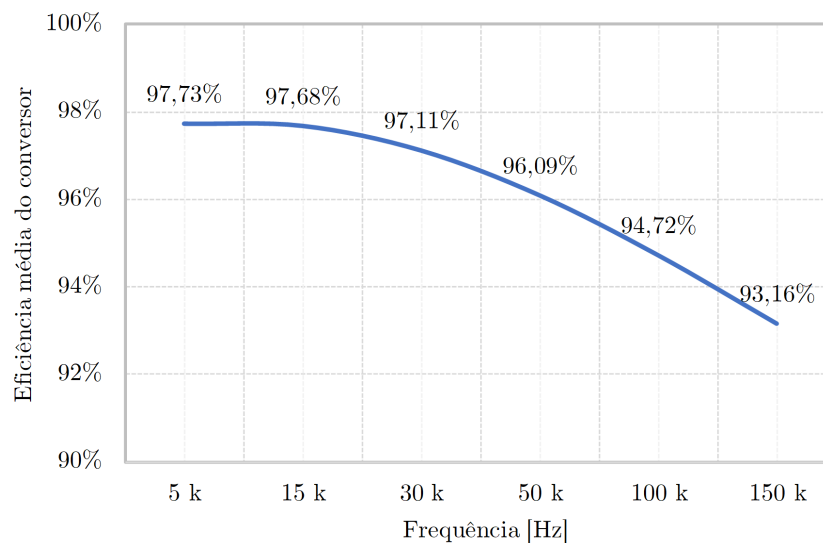


Figura 57 – Impacto da variação da frequência de chaveamento na eficiência média do conversor.

Fonte: De autoria própria.

ordem de 2% mas, conforme a carga diminui, maior é a diferença entre o rendimento dos conversores, chegando a cerca de 14% de diferença para cargas leves. Se tratando de um conversor que opere em plena carga em sua maior parte do tempo, justifica-se o aumento da frequência de chaveamento para obtenção de outros benefícios, mas se tratando de um conversor para interface de uma microrrede na qual foi projetado para suportar o pico de carga/geração, é mais vantajoso a redução da frequência visando também alto rendimento em cargas baixas e, portanto, justificar o uso da rede de distribuição c.c..

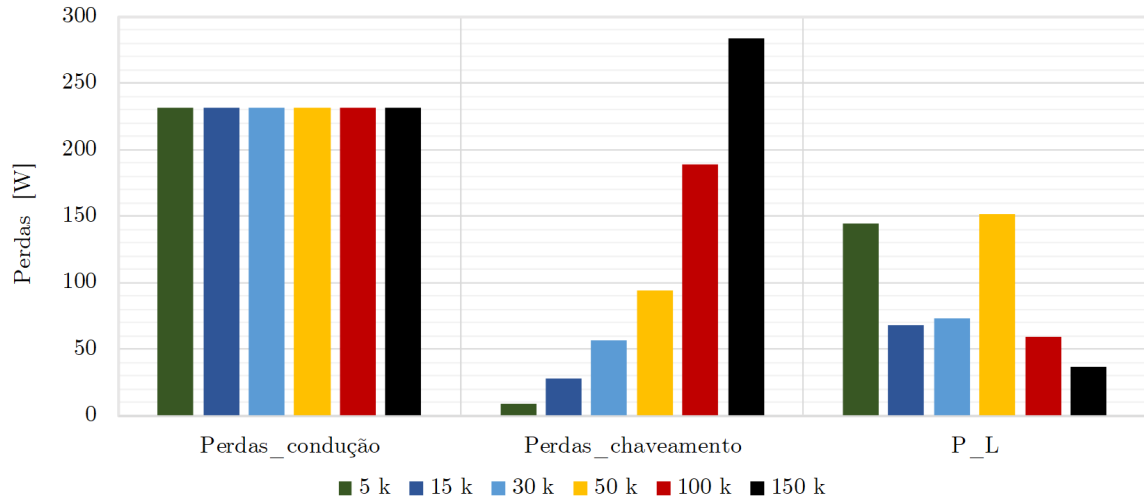


Figura 58 – Perdas do conversor 1 com variação da frequência de chaveamento.

Fonte: De autoria própria.

Para exemplificar a influência do rendimento em baixas cargas, a Figura 57 mostra a média da eficiência da curva do conversor, na qual é possível observar que é interessante trabalhar com frequências menores que 50 kHz. Para justificar a escolha, [16] demonstra que é possível trabalhar com frequências entre 10-50kHz e escolhe 40kHz como frequência que equilibra as perdas de condução e chaveamento do conversor projetado. Nesse trabalho, visando uma curva *flat* de eficiência, é possível trabalhar de maneira satisfatória com frequência de até 30kHz, sendo que 15kHz se mostrou tão ou mais eficiente quanto 5kHz e ainda permitiu trabalhar com elementos magnéticos sem reduzir a eficiência do conversor.

É válido ressaltar que os projetos ótimos dos indutores levam em consideração um banco de dados do fabricante *Magnetics* podendo, portanto, alterar conforme fabricante. Nesse caso, para as frequências de 5kHz e 50kHz, mesmo sendo o projeto ótimo, houve grandes perdas em comparação com os demais. É interessante notar também a redução das perdas em 100kHz e 150kHz, melhorando a densidade de potência do conversor.

Por fim, outro ponto interessante a se notar é que, se tratando das curvas apresentadas, seria conveniente trabalhar com 100kHz caso seja de interesse alta densidade de potência com alta eficiência, uma vez que, em condição nominal, as perdas são equivalentes às do conversor operando em 50kHz.

4.7.2 Variação da tensão do BI

Estabelecer um nível de tensão no *BI* pode influenciar diversas características do conversor, como eficiência, peso, volume e custo. Uma vez que a tensão deste barramento é maior, é possível reduzir o banco de capacitores devido à possibilidade de permitir um *ripple* maior, conforme apresentado na Figura 19, no tópico 2.6. Nesse sentido, essa seção irá explorar o impacto da mudança do nível de tensão na curva de eficiência do conversor

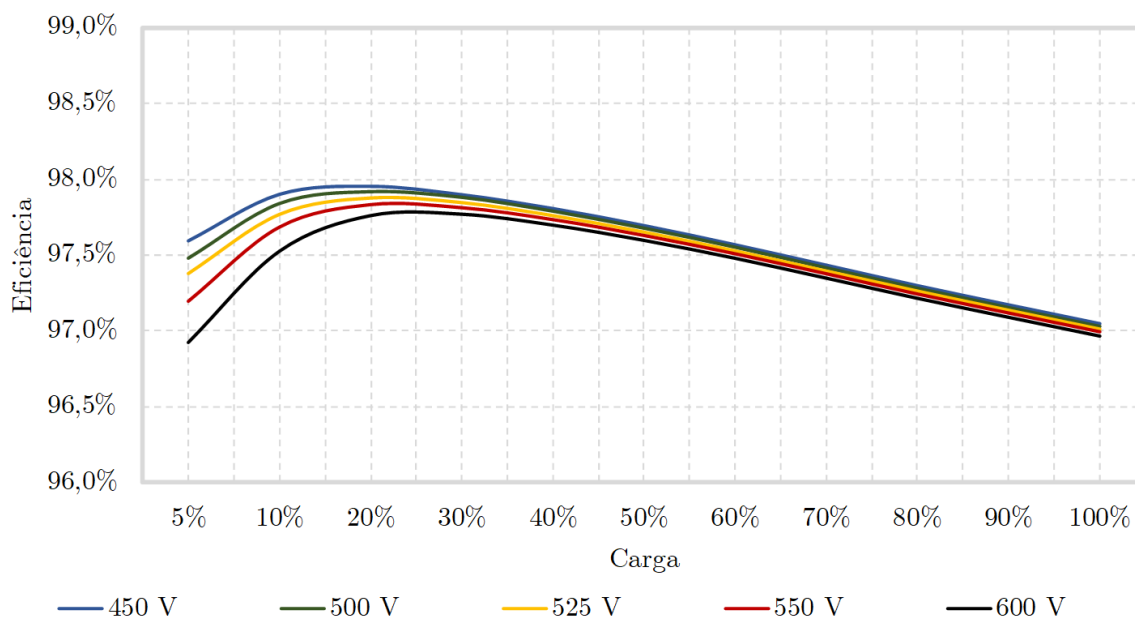


Figura 59 – Impacto da variação de tensão do Elo c.c. na curva de rendimento do conversor.

Fonte: De autoria própria.

e entender os pontos positivos e negativos de cada abordagem. A Figura 59 apresenta as curvas de rendimento do conversor para 5 valores de tensão, sendo: i) 450V; ii) 500V; iii) 525V; iv) 550V e; v) 600V. Nessas simulações considerou-se a frequência de chaveamento em 15,36kHz, temperatura de junção de 175 °C e projeto de filtros visando *ripple* de corrente de 20%.

Nota-se que o impacto de mudar o valor da tensão do Elo c.c. é sentido em toda a curva de carga, mas especialmente em baixa carga. O uso de tensões menores aumenta de maneira discreta o rendimento do conversor, aumento esse que se dá pela redução das perdas de chaveamento, conforme apresentado na Figura 60 para a condição de plena carga. Como as perdas de chaveamento são baixas, o impacto é pequeno em alta carga e aumenta conforme a carga diminui.

Visando maior rendimento, tensões na ordem de 500V se mostraram interessantes, enquanto que tensões na ordem de 600V podem ser utilizadas visando maior densidade de potência sem comprometer, significativamente, a eficiência do conversor. Outra estratégia que também pode ser utilizada é uma tensão variável do barramento. Essa estratégia consiste em reduzir a tensão do barramento na ordem de 500-550V (variável conforme nível de carga), quando a carga não estiver em valor nominal, e manter 600V quando em plena carga, de forma a aproveitar a menor oscilação de tensão quando em carga leve. Além de ter o ganho de eficiência em cargas menores que a nominal, o banco de capacitores é calculado para 600V, aliando densidade de potência com ganho de eficiência do conversor, conforme utilizado em [31]. A Figura 61 apresenta um exemplo onde, em plena carga, o conversor possui o mesmo rendimento de quando opera em 600V mas, quando a carga é

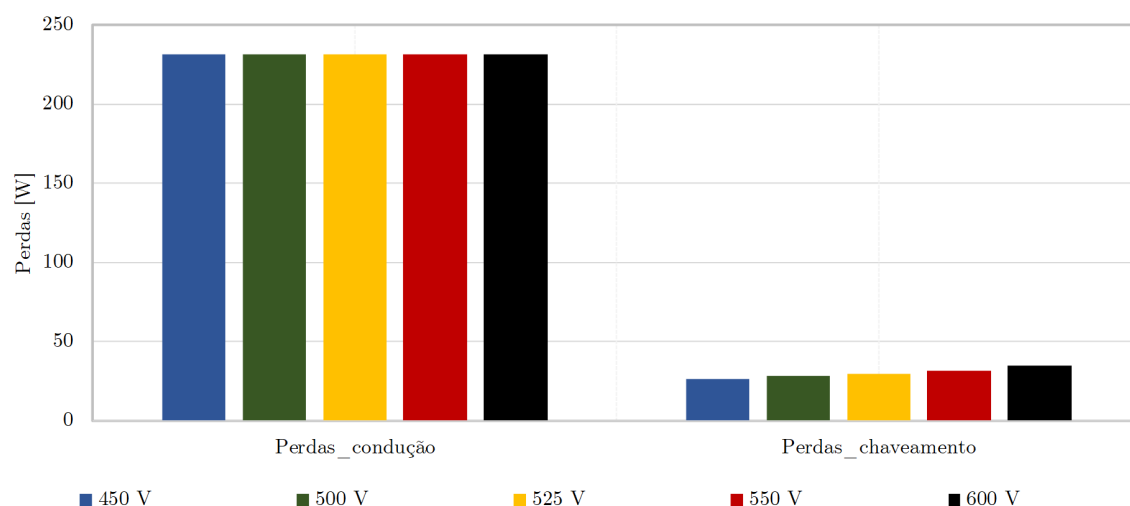


Figura 60 – Perdas do conversor em plena carga para vários valores de tensão do Elo c.c.

Fonte: De autoria própria.

reduzida, a eficiência do conversor aumenta. Foi possível identificar um ganho de até 0,5% para a topologia e chave adotadas.

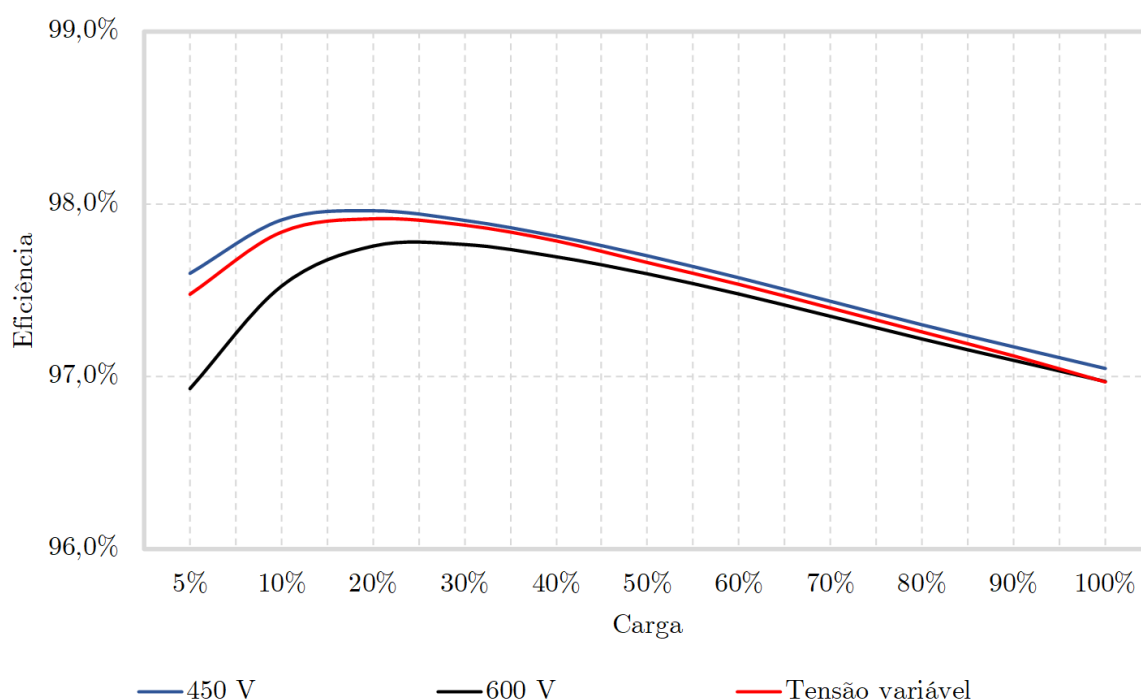


Figura 61 – Impacto da tensão variável na curva de rendimento do conversor.

Fonte: De autoria própria.

4.7.3 Variação do projeto térmico

Outro fator muito relevante no rendimento do conversor é a temperatura de projeto. A temperatura afeta diretamente as perdas de condução pela alteração da resistência do canal do MOSFET e também altera as perdas por chaveamento, uma vez que a temperatura está diretamente ligada com a velocidade de alteração do estado da chave.

Normalmente, os fabricantes fornecem poucas opções de temperatura em suas curvas dos *datasheets*, o que dificulta explorar tal fator no projeto. Entretanto, caso a curva que relaciona a resistência do canal ($R_{ds,on}$) e temperatura de junção (T_j) esteja disponível, esta pode ser utilizada para compensar o rendimento do conversor, uma vez que esta curva liga as perdas de condução com a temperatura de projeto. A Figura 62 apresenta as curvas de rendimento do conversor para as condições de carga e geração para 4 diferentes temperaturas, sendo: i) 100°C; ii) 125°C; iii) 150°C e; iv) 175°C. A Figura 63 apresenta o impacto na média do rendimento do conversor. Em todas as simulações, considerou-se frequência de chaveamento de 15,36kHz, tensão de 500V e projeto de indutores LC e LCL para 20% de *ripple* de corrente.

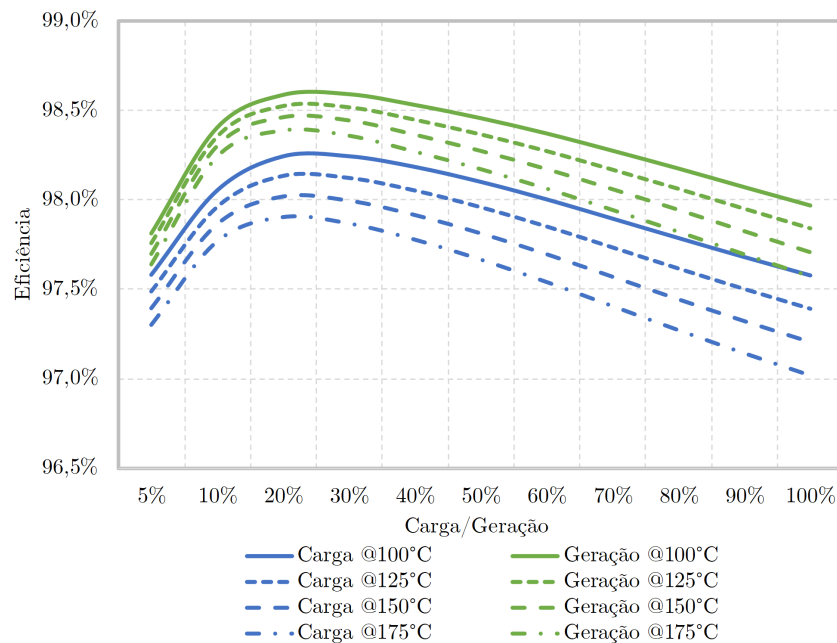


Figura 62 – Impacto da temperatura de projeto na curva de rendimento do conversor.

Fonte: De autoria própria.

Analisando o comportamento da eficiência do conversor, é possível dizer que o ganho de eficiência do conversor é maior quando comparado com a alteração de tensão do elo c.c., o que deve ser mais vantajoso quando se busca alto rendimento. Nesse caso, um ganho médio de, aproximadamente, 0,5% pode ser observado ao longo da curva de carga e cerca de 0,3% para a condição de geração. Entretanto, o ganho de rendimento do conversor se dá em função de um aumento do peso e volume (pelo aumento dos dissipadores de calor), e isso deve ser levado em conta. De maneira geral, o projeto com temperatura de 125°C se mostrou equilibrado, além de proporcionar uma capacidade de sobrecarga reserva de segurança.

4.7.4 Variação do projeto do filtro LCL

Para o projeto do filtro LCL, considerou-se os quatro projetos para comparação, sendo: i) 10% de *ripple*; ii) 20% de *ripple*; iii) 30% de *ripple* e; iv) projeto econômico

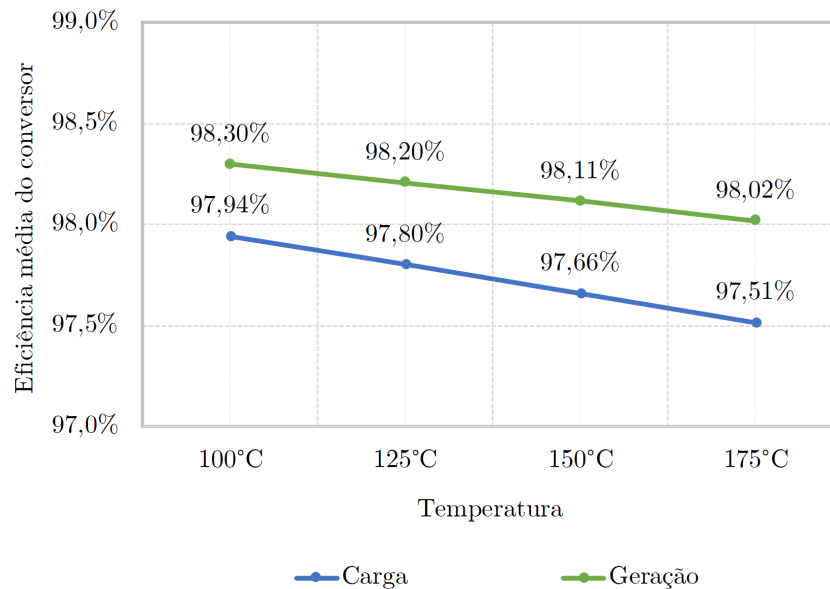


Figura 63 – Eficiência média do conversor de acordo com a temperatura de projeto.

Fonte: De autoria própria.

(equivalente a 50% de *ripple*). Os três primeiros projetos foram baseados em [1], enquanto que este último foi baseado em [2] e [36]. A Figura 64 apresenta as curvas de rendimento do conversor para os 4 projetos propostos.

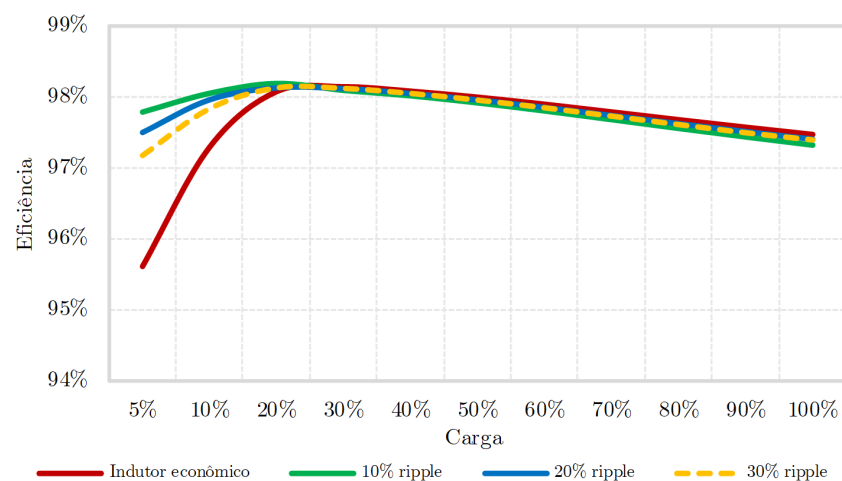


Figura 64 – Eficiência do conversor de acordo com o projeto do filtro LCL.

Fonte: De autoria própria.

É possível observar que o projeto do filtro, para além das alterações na parte de controle e influência na qualidade de energia, altera também a curva de eficiência do conversor. Como o projeto econômico tem um valor menor de indutância, suas perdas em plena carga são até menores que os demais projetos, justamente pelo valor da indutância estar diretamente ligado às perdas. Entretanto, em carga leve o filtro econômico mostrou ser menos eficiente que os demais, pois a corrente com mais *ripple* acaba aumentando as perdas de chaveamento que, por estarem em carga leve, se tornam mais significativas.

Já no outro extremo, o filtro de 10% de *ripple* de corrente possui a vantagem de possuir menos perdas em baixa carga justamente por possuir um *ripple* pequeno. Entretanto, para isso sua indutância é, significativamente, maior que o projeto econômico, aumentando as perdas em cargas elevadas e reduzindo de maneira sutil a eficiência do conversor. No meio do caminho, há os projetos com 20% e 30% de *ripple* que parecem ser os melhores valores, pois aliam baixas perdas em carga leve e também baixas perdas em carga nominal. Portanto, a escolha da metodologia do projeto econômico, proposto por [2], deve ser a escolha visando altas densidade de potência e eficiência em carga nominal.

Seguindo o mesmo que foi proposto em [16], optou-se por um filtro com 20% de *ripple*, uma vez que tal valor ainda permite um valor baixo de indutância e tem ganho de eficiência em cargas leves. Vale ressaltar que [16] mostra que o ganho é mais significativo quando a chave escolhida tem maiores perdas de chaveamento.

É importante ressaltar que alguns estudos mostram que o uso de *ripple* de corrente elevado em SiC MOSFET's pode ter o efeito inverso do apresentado, isto é, aumentar a eficiência do conversor em baixas cargas para condições onde o chaveamento ocorre em corrente negativa ou zero, reduzindo assim as perdas de comutação [43]. Portanto, esse efeito deve ser melhor investigado em aplicações de filtros LCL.

4.7.5 Variação do projeto do filtro LC

De maneira análoga ao filtro LCL, para o projeto de filtro de saída LC foram comparados 4 projetos conforme apresentado no tópico 2.5.1, sendo *i)*: $L_{cc}=1,5$ mH e $C_{cc}=380$ μF ; *ii)*: $L_{cc}=1$ mH e $C_{cc}=260$ μF ; *iii)*: $L_{cc}=0,5$ mH e $C_{cc}=170$ μF ; *iv)*: $L_{cc}=0,25$ mH e $C_{cc}=100$ μF . Para isso, utilizou-se como base a frequência de 15,36 kHz, tensão de 500V, temperatura de projeto de 125°C e filtro LCL com 20% de *ripple* de corrente, conforme escolhas apresentadas anteriormente. A Figura 65 apresenta as curvas de eficiência do conversor para os projetos de filtro LC propostos.

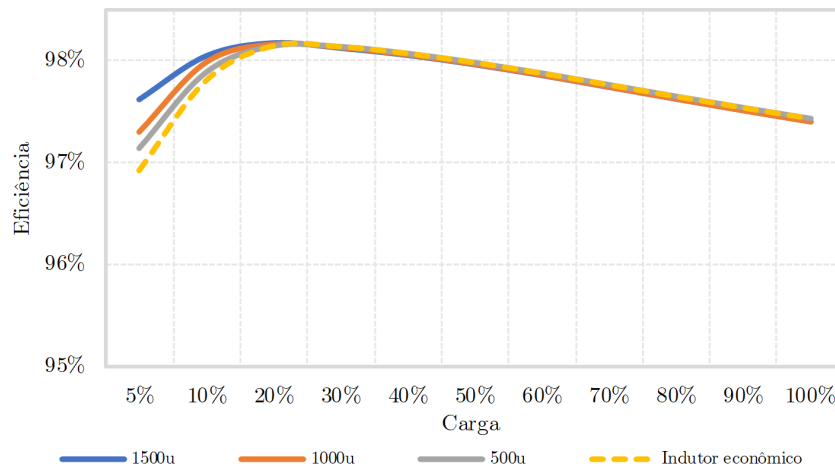


Figura 65 – Eficiência do conversor de acordo com o projeto do filtro LCL.

Fonte: De autoria própria.

Semelhante ao caso anterior, quanto maior o valor da indutância, mais eficiente é o conversor em carga leve, entretanto, como o segundo estágio possui uma corrente menor devido ao nível de tensão dos barramentos, a diferença entre os projetos de indutores foi visível apenas entre 5% e 20%, o que deve ser menos relevante. Nesse caso, diferentemente dos indutores do filtro LCL, um projeto econômico pode ser mais interessante, uma vez que, ao se optar por tal estratégia, o peso e volume do conversor caem consideravelmente sem perdas significativas de eficiência. Cabe ressaltar que o mesmo efeito de redução de perdas de chaveamento pode ocorrer no filtro LC, conforme [43].

4.8 Proposta de metodologia de projeto ótimo orientado por curva de carga

O uso do Limite de Pareto para análise de projeto ótimo de conversores tem um papel fundamental na escolha assertiva de um projeto, uma vez que pode se afirmar que não há mais uma relação direta entre o custo e a eficiência quando há diferentes tecnologias e topologias. Além disso, projetos não vantajosos podem ser identificados e evitados, reduzindo custos e facilitando a escolha do conversor a ser construído. Entretanto, o Pareto convencional considera apenas o ponto de operação em carga nominal, o que é eficaz apenas quando o ponto de operação desejável do conversor é nesta carga em específico. Considerando uma aplicação residencial/comercial, que é o foco deste conversor de interface, um projeto orientado por curva de carga será investigado para avaliar seu impacto na tomada de decisão sobre o conversor ótimo ou até mesmo uma comparação entre projetos específicos.

Para isso, será aplicado algumas curvas de carga típicas que foram selecionadas de ambientes residencial e comercial (na qual estes projetos são direcionados), adaptada para a potência do conversor de acordo [44], conforme apresentado nas Figuras 66 e 67. Em ambos os casos, quatro curvas foram consideradas (40%, 60%, 80% e 100%) simulando condições de sobredimensionamento. É importante ressaltar que, como o conversor de interface é responsável por gerenciar todo fluxo de potência entre o barramento c.c. da microrrede e a rede elétrica, ele deve ser dimensionado para atender o pior cenário de demanda de potência da instalação, mas em geral atuará com uma carga média abaixo da sua potência nominal, por isso o estudo de diferentes fatores de sobredimensionamento se fazem necessários.

Em seguida, serão apresentados quatro exemplos de projeto ótimo orientado por curva de carga e seu impacto na escolha do conversor. Os exemplos foram feitos seguindo a lógica de comparar o projeto ótimo em carga nominal com a aplicação de curva de carga do tipo: *i*) residencial 100%, apresentado na Figura 68; *ii*) residencial 40% (simulando o sobredimensionamento), na Figura 69; *iii*) comercial 100%, apresentado na Figura 70 e;

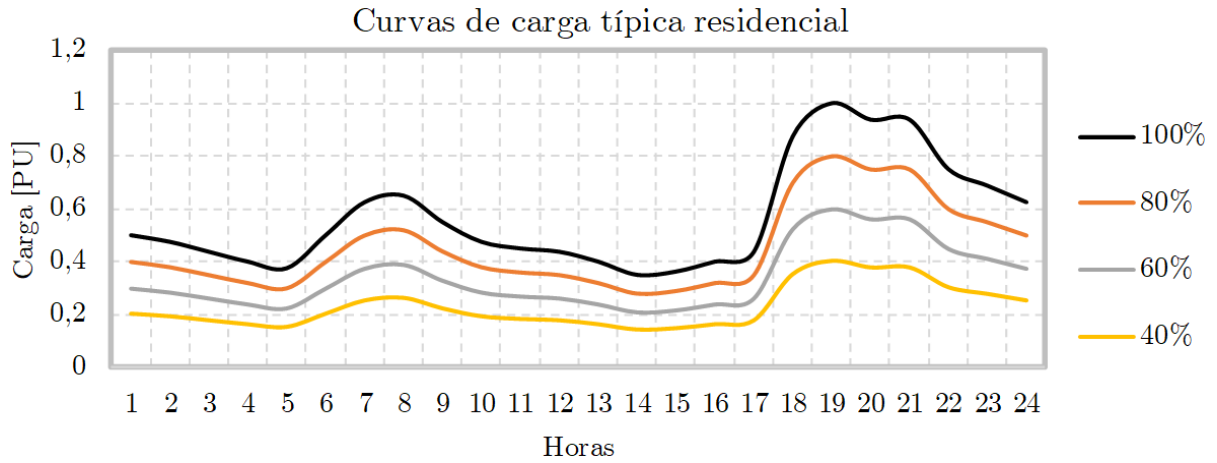


Figura 66 – Curva de carga típica residencial.

Fonte: Adaptado de [44].

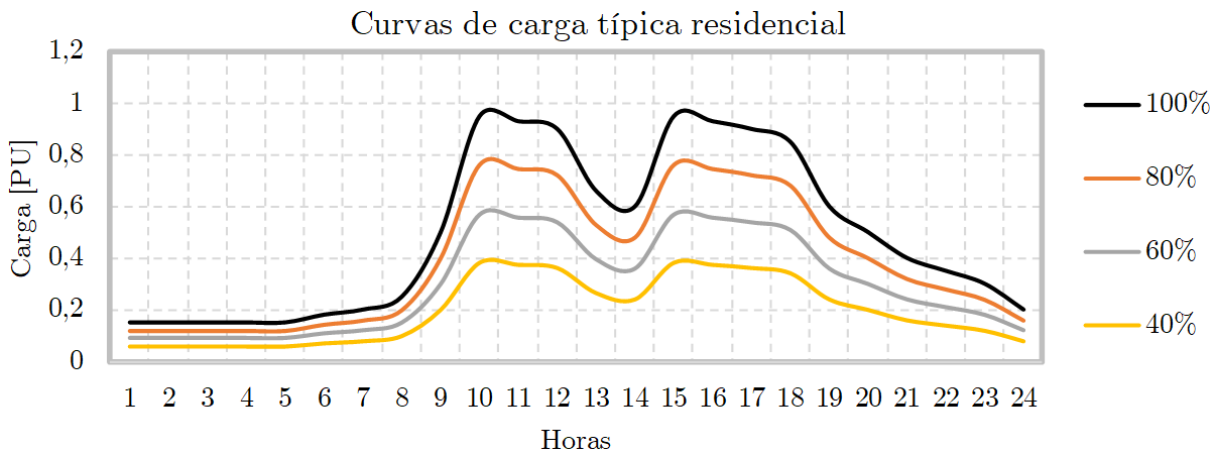


Figura 67 – Curva de carga típica comercial.

Fonte: Adaptado de [44].

iv) comercial 40%, apresentado na Figura 71.

Ao analisar os exemplos, percebe-se notavelmente uma mudança na distribuição da nuvem de soluções. Conversores com eficiência maior em carga leve tendem a ganhar mais relevância na aplicação em curva de carga, uma vez que a condição de sobredimensionamento pode ser feita visando aumento de carga futura. Neste cenário, apesar dos conversores Full SiC e híbridos serem mais caros, estes levam vantagem por serem ótimas soluções independentemente da curva de carga. Por outro lado, caso o custo seja um fator determinante, com essa metodologia de projeto ótimo orientado por curva de carga, surgem diversas outras soluções interessantes, como topologias baseadas em NPC com o uso de IGBTs.

Como exemplo, utilizou-se dos conversores ótimos (1-Full SiC; 3-Híbrido e 6- Full IGBT) e o conversor 'Não Otimizado' (NO), apresentados na Figura 52, e foram aplicados nas curvas de carga residencial e comercial. Além disso, utilizou-se das figuras de mérito

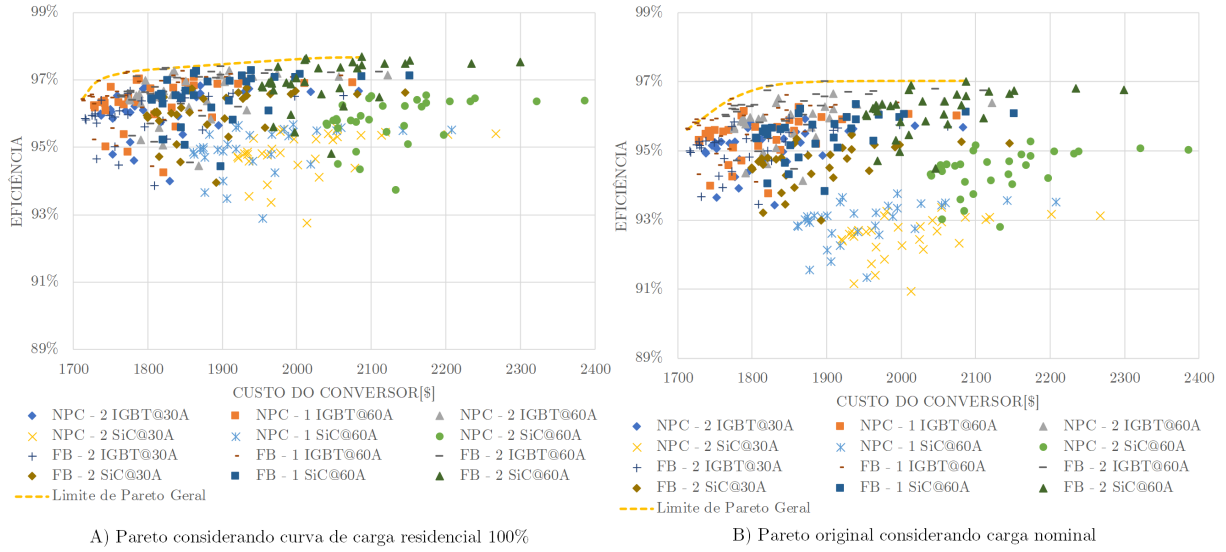


Figura 68 – Comparação entre projeto ótimo nominal e orientado por curva de carga residencial 100%.

Fonte: Autoria própria.

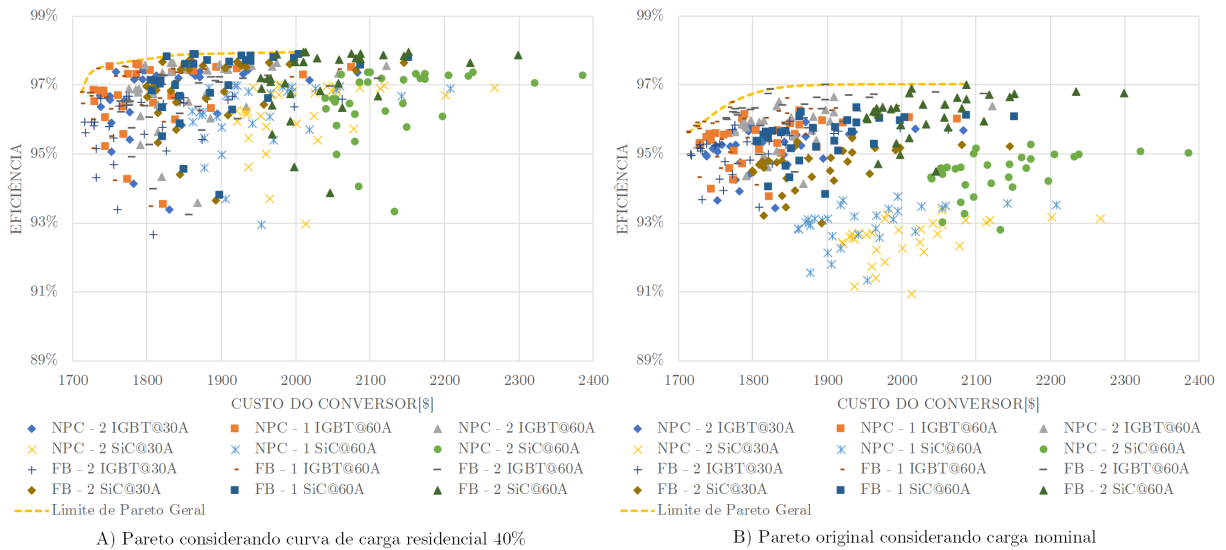


Figura 69 – Comparação entre projeto ótimo nominal e orientado por curva de carga residencial 40%.

Fonte: Autoria própria.

"eficiência típica diária", que como o nome sugere, visa normalizar a eficiência do conversor ao longo de um dia típico de operação e "perda típica mensal", cuja ideia é avaliar as perdas de cada projeto e compará-las. As Figuras 72 e 73 apresentam os resultados da aplicação das curvas de cargas residenciais para eficiência típica diária e perda mensal, respectivamente

Analisando os resultados, percebe-se que pela curva de carga possuir a maior parcela de carga entre 40%-60%, os conversores 1 e 3 são beneficiados. Entretanto, o ganho

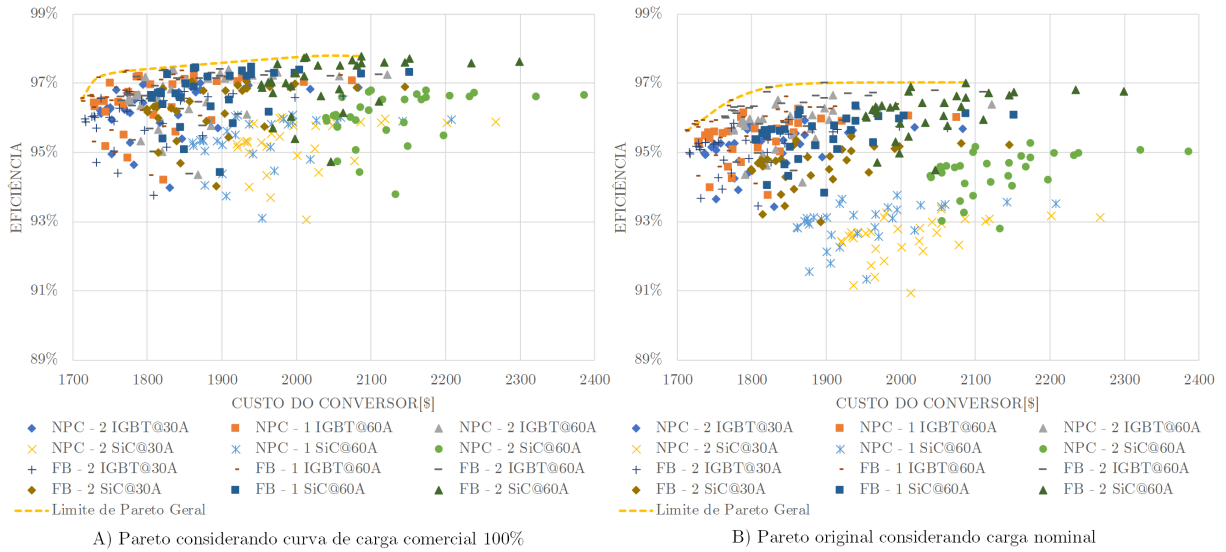


Figura 70 – Comparação entre projeto ótimo nominal e orientado por curva de carga comercial 100%.

Fonte: Autoria própria.

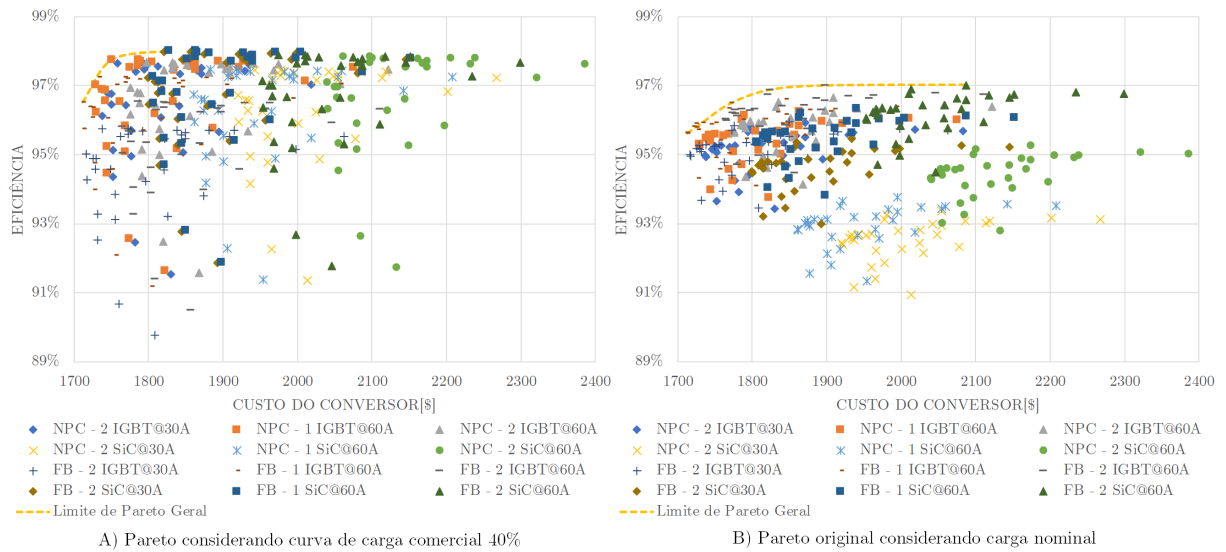


Figura 71 – Comparação entre projeto ótimo nominal e orientado por curva de carga comercial 40%.

Fonte: Autoria própria.

é baixo, uma vez que o ganho de eficiência entre os conversores ótimos é pequeno, sendo menor que 1%. Entretanto, ao comparar com o conversor não otimizado, há uma grande diferença, sendo esta na ordem de 4,7% no pior caso. Portanto, ainda é possível concluir que, no quesito custo, conversores com IGBT's ou híbridos, tal como os conversores 6 e 3, respectivamente, são mais vantajosos por possuírem bom nível de eficiência a um baixo custo. No entanto, a longo prazo, com a tendência de redução do custo de fabricação de SiC's, o ganho de eficiência fará com que essa tecnologia seja mais vantajosa.

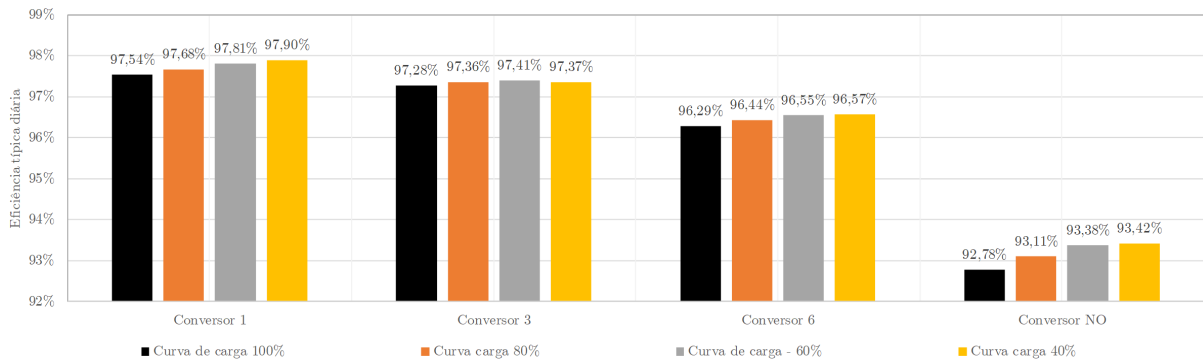


Figura 72 – Eficiência típica de conversores em aplicação residencial.

Fonte: De autoria própria.

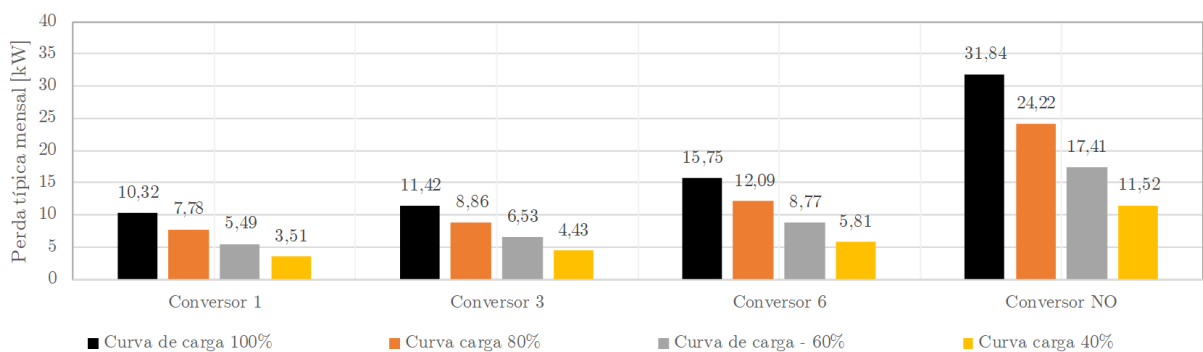


Figura 73 – Perda mensal de conversores em aplicação residencial.

Fonte: De autoria própria.

Outro ponto a ser analisado são as perdas mensais dos conversores. Neste caso, o conversor 6 obteve cerca de 50% a mais de perdas ao longo de um mês em comparação com o conversor 1, no melhor caso. Enquanto isso, o conversor híbrido teve em média 10-15% a mais de perdas, o que demonstra a otimização do projeto do conversor Full SiC, além do ganho proporcionado pelo conversor híbrido em relação ao Full-IGBT. Já no caso do conversor não otimizado, foi visto uma diferença na ordem de 200% em comparação com o conversor 6 (Full IGBT). Esse caso demonstra que mesmo o conversor 6 sendo o "pior" entre os conversores ótimos, há uma grande diferença entre outros conversores quando estes não são otimizados, justificando mais uma vez a metodologia de projeto ótimo.

Analogamente, as Figuras 74 e 75 apresentam os resultados da aplicação das curvas de cargas comerciais para eficiência típica diária e perda mensal, respectivamente.

Pode-se notar que houve, na aplicação comercial, a mesma tendência da aplicação residencial. Essa característica mostra que, em ambas as aplicações, o conversor Full SiC ainda é, por pequena margem, mais vantajoso. A mesma conclusão pode ser feita em relação às perdas. Entretanto, em ambos os cenários (residencial e comercial), o conversor 3 continua sendo uma melhor opção de redução de perdas com menor custo, comparado ao conversor 1. Isso se dá, uma vez que o conversor 3 ainda é um projeto ótimo e, mesmo sendo

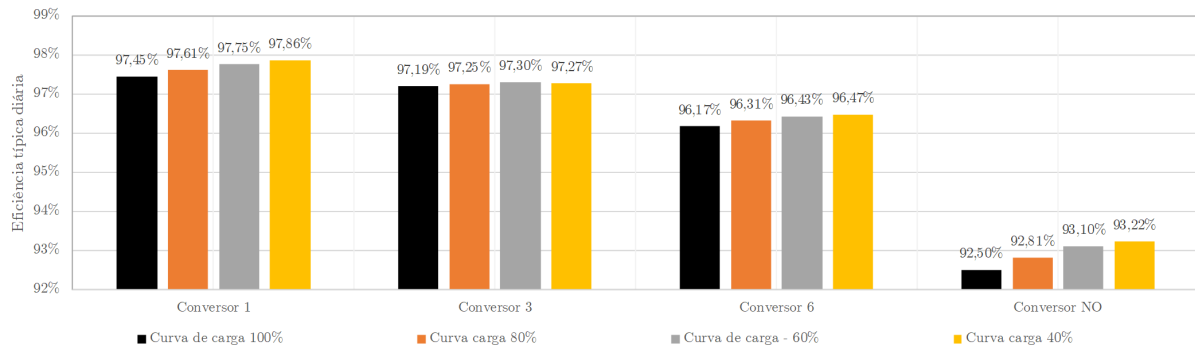


Figura 74 – Eficiência típica de conversores em aplicação comercial.

Fonte: De autoria própria.

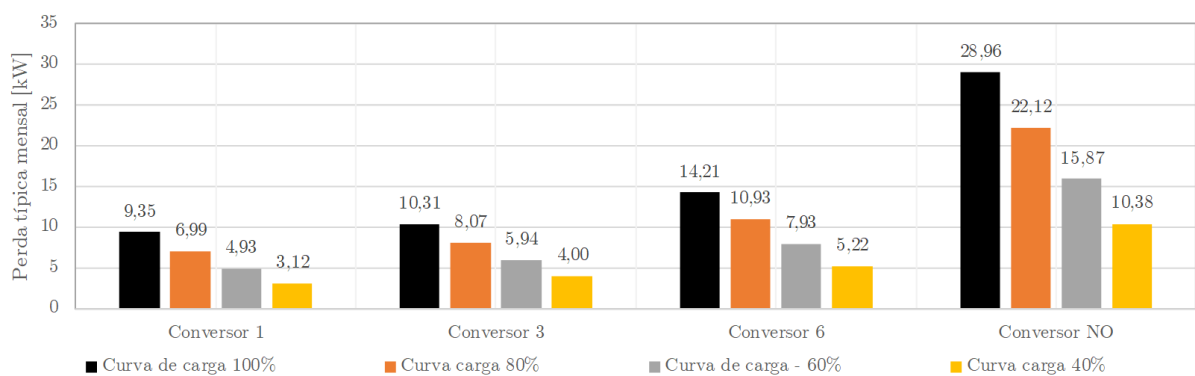


Figura 75 – Perda mensal de conversores em aplicação comercial.

Fonte: De autoria própria.

um conversor mais barato, mostrou possuir baixas perdas, onde dificilmente a diferença entre estas perdas façam compensar um outro conversor ótimo. Como exemplo, caso seja avaliado um *payback* do conversor 1 em relação ao conversor 6, levando em consideração a diferença das perdas entre eles, o conversor 1 precisaria de cerca de 30 anos, em uma análise de tempo de retorno simples, considerando um valor de R\$1,00/kWh. Neste cenário, o custo dos transistores do conversor 1 precisa ser cerca de 50% menor, para que fosse possível um *payback* em torno de 10 anos justificando a escolha. Em outras palavras, o custo da chave SiC deverá ser no, máximo, 35% mais caro que um IGBT equivalente, para se tornar vantajoso. Caso a comparação de *payback* seja feita entre os conversores 1 e 3, este *payback* ultrapassa, com facilidade, os 100 anos, o que mostra que o conversor híbrido é o mais adequado.

Por fim, uma última análise que pode ser feita é em relação ao projeto ótimo para cada condição. Nesse sentido, a Tabela 21 apresenta uma síntese da influência da curva de carga na escolha do projeto ótimo.

Após análise da tabela, pode-se notar que nenhum dos conversores ótimos, considerando as curvas de carga, estão presentes no Pareto original considerando apenas carga nominal, conforme apresentado na Figura 53. Outro ponto interessante é que a chave

Tabela 21 – Conversores ótimos considerando cada curva de carga.

Parâmetro de projeto ótimo	Eficiência	Topologia	Transistores 1º St	Transistores 2ºSt	Custo
Carga nominal	96,88%	FB-HB	2xIGBT@60A	1xSiC@60A	\$1824,54
Curva residencial 100%	96,96%	FB-HB	1xIGBT@60A	1xSiC@30A	\$1732,76
Curva residencial 80%	97,16%	FB-HB	1xIGBT@60A	1xSiC@30A	\$1732,76
Curva residencial 60%	97,34%	FB-HB	1xIGBT@60A	1xSiC@30A	\$1732,76
Curva residencial 40%	97,53%	NPC-HB	1xIGBT@60A	1xSiC@30A	\$1750,60
Curva comercial 100%	97,16%	FB-HB	1xIGBT@60A	1xSiC@30A	\$1732,76
Curva comercial 80%	97,34%	FB-HB	1xIGBT@60A	1xSiC@30A	\$1732,76
Curva comercial 60%	97,53%	NPC-HB	1xIGBT@60A	1xSiC@30A	\$1750,60
Curva comercial 40%	97,76%	NPC-HB	1xIGBT@60A	1xSiC@30A	\$1750,60

1xIGBT@60A tende a ser a melhor opção para o primeiro estágio, bem como o 1xSiC@30A tende a ser a melhor escolha no segundo estágio. Essa combinação mostra que para onde a corrente é maior, é melhor usar IGBT devido às baixas perdas de condução. Além disso, pode-se verificar que onde a corrente é menor, é mais vantajoso o uso de SiC, pela menor perda de chaveamento. Vale ressaltar que, em alguns casos de baixa carga a topologia NPC foi melhor devido à redução das perdas de chaveamento.

4.9 Conclusão do capítulo

Nesse capítulo, foram apresentados os resultados de simulação realizadas no PSIM e MATLAB. A metodologia de projeto ótimo resultou em conversores candidatos das três possíveis combinações (Full IGBT, híbrido e Full SiC), sendo mais vantajoso, do ponto de vista de custo/eficiência, conversores IGBTs ou híbridos, pois estão no "joelho da curva" do gráfico de Pareto. Em todos os projetos ótimos apresentados na seção 4.6, a topologia FB-HB foi comum, isto é, pode-se considerar a combinação de topologia mais eficiente para esta aplicação. Já para o estudo de parâmetros, utilizou-se o conversor 1, com 2xSiC@60A(FB-HB), frequência de chaveamento de 15,36 kHz, projeto térmico com T_j de 125°C em plena carga, tensão do elo c.c. de 500V, filtro LCL com 20% de *ripple* de corrente e filtro LC econômico. Essas combinações tornaram possível uma curva *flat* de eficiência.

Foi possível concluir que os parâmetros mais relevantes na curva rendimento do conversor foram a frequência de chaveamento e o projeto térmico, sendo que frequências entre 15kHz e 50kHz fornecem os melhores resultados do ponto de vista de eficiência para a topologia e chave propostas. Apesar de também influenciar no rendimento do conversor, a tensão do elo c.c. e o projeto dos filtros não tiveram influência significativa quando comparados aos acima citados, ficando a decisão a cargo do projetista, uma vez que esses parâmetros alteram pouco a eficiência e muito na densidade de potência. Nesse caso, recomenda-se utilizar tensão variável, para aproveitar a densidade de potência e o ganho de eficiência, cargas menores e projeto de indutores econômicos, pois além do custo menor,

seu volume também será menor pela baixa indutância.

Uma proposta de projeto ótimo, orientado por curva de carga, foi introduzida na seção 4.8, que deverá ser investigada mais a fundo para entender melhor seu comportamento. Porém, os resultados preliminares mostram que o uso da curva de carga altera, significativamente, a nuvem de soluções e, conseqüentemente, o projeto ótimo. Essa abordagem é interessante e particularmente promissora quando há a informação da curva de carga disponível, uma vez que não só o projeto ótimo muda, mas também a topologia ótima.

De modo geral, IGBT's e SiC's possuem bons rendimentos quando estes são comparados de forma mais justa e ainda é justificável o uso de IGBT's, principalmente pelo seu baixo custo. Fica evidente, no entanto, que o uso de conversores SiC's tendem a possuir uma curva mais plana de eficiência e, no geral, tendem a ser uma melhor escolha no futuro, quando o custo dessa tecnologia reduzir. Como o objetivo deste trabalho foi projetar um conversor com curva *flat* de eficiência, utilizou-se o conversor 1 para avaliar a influência de parâmetros na curva de eficiência. No entanto, as soluções ótimas mostram que, no momento, conversores híbridos são a melhor escolha, pois combinam um custo menor e eficiência semelhante aos conversores SiC.

Capítulo 5

Conclusão e trabalhos futuros

Tendo em vista a necessidade de aumentar o rendimento de conversores para permitir um melhor aproveitamento de energia, o estudo de projeto de conversores deve ser explorado com a intenção de aumentar sua eficiência, mantendo assim, um custo baixo para tornar o produto acessível. Essa discussão é, e deverá ser explorada principalmente no Brasil, com o aumento da inserção de energias renováveis do tipo solar e eólica e também com a disseminação de microrredes de pequeno porte, com fins residenciais/comerciais.

Ao longo dessa dissertação de mestrado, diversas ferramentas para o projeto do conversor foram apresentadas. Dentre elas, dois métodos de cálculo de filtro LCL propostos por [1] e [2], onde este último se mostrou ser mais adequado para projetos econômicos (indutores L_1 e L_2 iguais) com, maior densidade de potência e maior eficiência em plena carga. Já o método mais tradicional [1], é interessante pelo fato do filtro ser dimensionado através de parâmetros que interferem diretamente no rendimento do conversor, como é o caso do *ripple* de corrente. Vale ressaltar que essa abordagem deve ser realizada, especialmente quando os transistores tiverem altas perdas de chaveamento e/ou quando se deseja maior eficiência em cargas leves.

Outro ponto abordado que influencia diretamente no custo do conversor é o seu banco de capacitores, onde foi apresentada uma ferramenta desenvolvida por [17] para cálculo do capacitor ótimo. Visando baixo custo e maior densidade de potência, o valor mínimo do banco deve ser adotado com uma maior tensão de operação ou barramento de tensão variável. Já para aqueles que buscam por maior flexibilidade de operação, do ponto de vista de controle ou redução de perdas, um banco maior deve ser adotado, conforme metodologia apresentada. Por fim, este trabalho também apresentou alguns parâmetros de boas práticas para projeto de PCB's, algo pouco abordado na literatura e que deve ser levado em consideração quando o quesito rendimento for parte do objetivo.

Já em relação aos resultados obtidos, notou-se que há uma tendência da topologia Full-Bridge/Half-Bridge ser a melhor escolha no quesito custo e eficiência, que ocorre pelo menor número de chaves do conversor. Entretanto, a escolha por essa topologia deve ser

feita considerando suas limitações, uma vez que outros parâmetros não foram levados em consideração. Outro ponto interessante a ser considerado é que o uso de IGBT's ainda é vantajoso, onde foi inferido que um transistor SiC deve custar, no máximo, 35% mais caro que um IGBT equivalente, para se tornar financeiramente viável. Isso acaba culminando em projetos de conversores híbridos como uma forma de melhorar o rendimento do conversor, com pouco custo adicional, estratégia que se mostrou vantajosa, como visto no conversor 3.

Além disso, esse estudo constatou que o uso de uma curva de carga aplicada à curva de rendimento do conversor, pode alterar a decisão sobre o conversor ótimo da curva de Pareto. Isso ocorre devido as curvas de cargas escolhidas terem uma distribuição variável com maior parte do tempo em carga leve, o que favorece conversores com maior eficiência entre 30-50% de nível de carga. Ademais, resultados diferentes podem ser obtidos caso a curva de carga escolhida seja diferente, que pode ser abordado em trabalhos futuros. Vale ressaltar também que as curvas de cargas utilizadas neste trabalho foram construídas com base em norma técnica específica, baseado em séries históricas de instalações residenciais/comerciais.

Outro ponto interessante abordado, foi a influência da variação de parâmetros de projeto na curva de eficiência do conversor. Após a escolha do conversor, o estudo concluiu que a faixa de frequência ideal para chaveamento de SiC's, visando alto rendimento, é de 15-50kHz. Isso ocorreu pelo aumento das perdas dos elementos magnéticos, principalmente em carga nominal e também pela maior parcela de perdas de chaveamento em baixa carga. Já a temperatura de junção foi relevante em toda a curva de carga de maneira mais linear, e temperaturas em torno de 100-125°C são ideais para aumentar o rendimento médio do conversor, sem comprometer demasiadamente seu tamanho e ainda proporcionar uma operação segura. Ademais, a variação da tensão do elo c.c. se mostrou eficaz principalmente em carga leve, podendo agregar ganhos em torno de 0,5% na redução de 600V para 500V, o que pode ser interessante ao desconsiderar o aumento do banco de capacitores e eventual redução da densidade de potência do conversor. Outra solução é permitir tensão variável, onde, assim, o banco de capacitores é reduzido, ao passo que o rendimento aumenta em baixa carga. Finalmente, o projeto dos indutores do filtro LCL mostrou que é interessante optar por valores intermediários visando eficiência geral, enquanto que no filtro LC a recomendação é por indutores econômicos, uma vez que o conversor c.c./c.c. possui menores perdas e, portanto, é menos afetado pelo *ripple* de corrente.

À luz do exposto, o trabalho conclui que as ferramentas apresentadas ao longo da dissertação para o projeto do conversor e também a metodologia escolhida para selecionar o projeto ótimo, são satisfatórias para esse fim, atingindo o esperado. Entretanto, alguns problemas/sugestões foram identificados como:

- Avaliar o impacto da tecnologia do banco capacitivo (filme e eletrolítico) na curva de rendimento do conversor;
- Avaliar outras topologias com o uso de transformador para conversores isolados e/ou topologias de alto ganho;
- Avaliar de forma mais profunda o projeto dos filtros LCL e LC, principalmente para outras frequências de chaveamento;
- Avaliar a influência do resistor de *gate* (R_G) na curva de rendimento do conversor;
- Analisar o comportamento de outros conversores perante a variação de parâmetros de projeto. Tais características são variáveis, conforme topologia e transistor utilizado;
- Levantar resultados do protótipo construído em bancada para validação da metodologia apresentada;
- Investigar a metodologia proposta de projeto ótimo orientado por curva de carga, com a intenção de determinar seu comportamento na tomada de decisão.

Referências

- [1] M. Liserre, F. Blaabjerg, and S. Hansen, “Design and control of an lcl-filter-based three-phase active rectifier,” *IEEE Transactions on Industry Applications*, vol. 41, no. 5, pp. 1281–1291, 2005.
- [2] R. Peña-Alzola, M. Liserre, F. Blaabjerg, M. Ordonez, and Y. Yang, “Lcl-filter design for robust active damping in grid-connected converters,” *IEEE Transactions on Industrial Informatics*, vol. 10, no. 4, pp. 2192–2203, 2014.
- [3] ANEEL, “Atlas de energia elétrica do brasil 2008.” <http://www2.aneel.gov.br/arquivos/pdf/atlas3ed.pdf>, 1 2008. Acesso em 24-08-2022.
- [4] EPE, “Plano nacional de energia - pne 2050.” <https://www.epe.gov.br/pt/publicacoes-dados-abertos/publicacoes/Plano-Nacional-de-Energia-2050>, 12 2020. Acesso em 27-08-2022.
- [5] O. N. D. S. E. ONS, “Histórico da operação - carga de energia.” http://www.ons.org.br/Paginas/resultados-da-operacao/historico-da-operacao/carga_energia.aspx, 1 2022. Acesso em 27-08-2022.
- [6] EPE, “Atlas da eficiência energética 2021.” <https://www.epe.gov.br/pt/publicacoes-dados-abertos/publicacoes/atlas-da-eficiencia-energetica-brasil>, 2 2022. Acesso em 27-08-2022.
- [7] Empresa de Pesquisa Energética, “Matriz energética e elétrica.” <https://www.epe.gov.br/pt/abcdenergia/matriz-energetica-e-eletrica>. Acesso em 16-12-2022.
- [8] A. R. BERNARDY, “Análise da matriz elétrica brasileira: Histórico e tendências,” 2018.
- [9] A. N. de Águas e Saneamento Básico, “Crise hídrica no brasil - cenários presente e futuro.” <https://www.gov.br/agricultura/pt-br/assuntos/camaras-setoriais-tematicas/documentos/camaras-tematicas/infraestrutura-e-logistica/2021/79ro/apresentacao-ana-ctlog-18ago21.pdf>, 08 2021. Acesso em 16-12-2022.

- [10] EPE, “Balanço energético nacional - ben 2022.” <https://www.epe.gov.br/pt/publicacoes-dados-abertos/publicacoes/balanco-energetico-nacional-ben>, 7 2022. Acesso em 07-10-2021.
- [11] E. Unamuno and J. A. Barrena, “Hybrid ac/dc microgrids—part i: Review and classification of topologies,” *Renewable and Sustainable Energy Reviews*, vol. 52, pp. 1251–1259, 2015.
- [12] T. R. Oliveira, *Estudo e desenvolvimento de nanorredes inteligentes de distribuição local de energia em corrente contínua para aplicações residenciais e comerciais*. PhD thesis, Universidade Federal de Minas Gerais, -, 4 2014. Qualificação de Doutorado.
- [13] T. R. Oliveira, *Distribuição local de energia em corrente contínua: Estudo, desenvolvimento e implementação de um protótipo de nanorrede cc dedicado aos setores residencial e comercial*. PhD thesis, Universidade Federal de Minas Gerais, <https://ppgee.ufmg.br/defesas/193D.PDF>, 4 2016. Tese de Doutorado.
- [14] S. Charadi, Y. Chaibi, A. Redouane, A. Allouhi, A. El Hasnaoui, and H. Mahmoudi, “Efficiency and energy-loss analysis for hybrid ac/dc distribution systems and microgrids: A review,” *International Transactions on Electrical Energy Systems*, vol. 31, no. 12, p. e13203, 2021.
- [15] R. B. Fang Chen and D. Boroyevich, “Efficiency comparison of a single-phase grid-interface bidirectional ac/dc converter for dc distribution systems,” *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, October 2015.
- [16] F. Chen, R. Burgos, and D. Boroyevich, “Efficiency comparison of a single-phase grid-interface bidirectional ac/dc converter for dc distribution systems,” in *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 6261–6268, 2015.
- [17] D. Dong, “Ac-dc bus-interface bi-directional converters in renewable energy systems - doctoral thesis,” 2012.
- [18] H. H. Sathler, “Estudo de um conversor bidirecional c.c.-c.a. monofásico de dois estágios baseados na topologia npc para interface entre uma nanorrede c.c. e a rede elétrica,” 2017.
- [19] J. W. Kolar, J. Biela, S. Waffler, T. Friedli, and U. Badstuebner, “Performance trends and limitations of power electronic systems,” in *2010 6th International Conference on Integrated Power Electronics Systems*, pp. 1–20, 2010.
- [20] R. M. BURKART, *Advanced Modeling and Multi-Objective Optimization of Power Electronic Converter Systems*. PhD thesis, ETH Zurich, <https://www.research-collection.ethz.ch/handle/20.500.11850/155815>, 8 2016. Phd Thesis.

- [21] T. Test and M. Equipment, “Componentes sic/gan: 5 testes principais,” 2022.
- [22] P. Solar, “Dados do mercado de energia solar no brasil.” <https://www.portalsolar.com.br/mercado-de-energia-solar-no-brasil.html>. Acesso em 16-12-2022.
- [23] T. M. U. Ned Mohan and W. P. Robbins, “Converters, applications, and design,” 2012.
- [24] I. Technology, “Silicon carbide coolsic™ mosfets.” <https://www.infineon.com/cms/en/product/power/mosfet/silicon-carbide/>. Acesso em 16-12-2022.
- [25] W. Technology, “Evolution of wolfspeed’s silicon carbide mosfet.” <https://www.wolfspeed.com/knowledge-center/article/evolution-of-wolfspeeds-sic-mosfet/>. Acesso em 16-12-2022.
- [26] N. M. N. D. MEDEIROS, “Obtenção de carbetos de silício através da redução carbotérmica de sílica via irradiação de micro-ondas,” 07 2016. Trabalho de Conclusão de Curso.
- [27] W. Technology, “Powering forward: Reflections on the 10th anniversary of the sic mosfet release.” <https://www.wolfspeed.com/knowledge-center/article/powering-forward-reflections-on-the-10th-anniversary-of-the-sic-mosfet-release>. Acesso em 16-12-2022.
- [28] Wolfspeed, “Discrete silicon carbide mosfets.” <https://www.wolfspeed.com/products/power/sic-mosfets/>. Acesso em 07-10-2022.
- [29] M. Eletronics, “Semicondutores discretos.” <https://br.mouser.com/c/semiconductors/discrete-semiconductors/>. Acesso em 16-12-2022.
- [30] Infineon, “What are the advantages of sic-based designs and how can you implement them?.” https://www.infineon.com/dgdl/Infineon-WBG_CoolSiC_MOSFET_what_are_the_advantages_of_SiC-based_designs_and_how_can_you_implement_them_PSD-Article-v01_00-EN.pdf?fileId=5546d4627476829c017476ebf3d30004. Acesso em 21-12-2022.
- [31] F. Chen, R. Burgos, and D. Boroyevich, “A bidirectional high-efficiency transformerless converter with common-mode decoupling for the interconnection of ac and dc grids,” *IEEE Transactions on Power Electronics*, vol. 34, no. 2, pp. 1317–1333, 2019.
- [32] W. Technology, “Wolfspeed’s gen 3 family of 1200 v silicon carbide mosfets are optimized for use in high power applications.” <https://www.wolfspeed.com/1200v-bare-die-silicon-carbide-mosfets-gen3/>. Acesso em 16-12-2022.

- [33] S. A. D. Contreras, *Inversores Entrelaçados Aplicados a Sistemas de Energia Ininterrupta*. PhD thesis, Universidade Federal de Minas Gerais, <https://ppgee.ufmg.br/defesas/181M.PDF>, 6 2010. Dissertação de Mestrado.
- [34] “Ieee standard for interconnection and interoperability of distributed energy resources with associated electric power systems interfaces,” *IEEE Std 1547-2018 (Revision of IEEE Std 1547-2003)*, pp. 1–138, 2018.
- [35] R. D. Araújo, “Projeto e simulação de filtros l e lcl para interconexão de inversor npc trifásico à rede,” 2012.
- [36] H. A. P. Camilo C. Gomes, Allan F. Cupertino, “Damping techniques for grid-connected voltage source converters based on lcl filter: An overview,” *Renewable and Sustainable Energy Reviews*, vol. 81, pp. 116–135, January 2018.
- [37] D. Dong, F. Luo, D. Boroyevich, and P. Mattavelli, “Leakage current reduction in a single-phase bidirectional ac–dc full-bridge inverter,” *IEEE Transactions on Power Electronics*, vol. 27, no. 10, pp. 4281–4291, 2012.
- [38] P. H. J. Vilkn, “Desenvolvimento de metodologia para projeto de indutores utilizados em ups de alto rendimento,” 11 2018. Dissertação de Mestrado.
- [39] A. P. L. Cota, “Desenvolvimento de ferramentas computacionais para análise de perdas em conversores estáticos: aplicação ao cálculo de rendimento de upss trifásicas de dupla conversão,” 7 2016. Dissertação de Mestrado.
- [40] I. T. AG, “Gate driver ics.” <https://www.infineon.com/cms/en/product/power/gate-driver-ics/>. Acesso em 07-10-2022.
- [41] P. Brasil, “Cálculo para dimensionamento da largura de trilha,” 2023.
- [42] I. for Interconnecting and I. Packaging Electronic Circuits (Northbrook, *Generic Standard on Printed Board Design: IPC-2221B*. IPC, 2013.
- [43] B. Cougo, H. Schneider, and T. Meynard, “High current ripple for power density and efficiency improvement in wide bandgap transistor-based buck converters,” *IEEE Transactions on Power Electronics*, vol. 30, no. 8, pp. 4489–4504, 2015.
- [44] E. de Pesquisa Energética, “Metodologia: Projeção de curva de carga horária.”