



UNIVERSIDADE FEDERAL DE MINAS GERAIS
Escola de Engenharia
Programa de Pós-Graduação em Engenharia Elétrica

Nikolas Augusto de Araújo Siqueira

Estudo de Conversores Otimizados com Chaves de Silício e Carbetto de Silício Aplicados a UPS através de uma Ferramenta Computacional

Belo Horizonte, 13 de dezembro de 2024

Nikolas Augusto de Araújo Siqueira

**ESTUDO DE CONVERSORES OTIMIZADOS COM
CHAVES DE SILÍCIO E CARBETO DE SILÍCIO
APLICADOS A UPS ATRAVÉS DE UMA
FERRAMENTA COMPUTACIONAL**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Minas Gerais, como requisito parcial à obtenção do título de Mestre em Engenharia Elétrica.

Área de Concentração: Engenharia de Potência
Linha de Pesquisa: Eletrônica de Potência

Orientador: Prof. Dr. Lenin Martins Ferreira Morais
Co-Orientador: Prof. Dr. Thiago Ribeiro de Oliveira

Belo Horizonte

2024

S618e

Siqueira, Nikolas Augusto de Araújo.

Estudo de conversores otimizados com chaves de silício e carbeto de silício aplicados a UPS através de uma ferramenta computacional [recurso eletrônico] / Nikolas Augusto de Araújo Siqueira. - 2024.

1 recurso online (178 f. : il., color.) : pdf.

Orientador: Lenin Martins Ferreira Morais.

Coorientador: Thiago Ribeiro de Oliveira.

Dissertação (mestrado) - Universidade Federal de Minas Gerais, Escola de Engenharia.

Apêndices: f. 178.

Bibliografia: f. 166-177.

Exigências do sistema: Adobe Acrobat Reader.

1. Engenharia elétrica - Teses. 2. Carbeto de silício - Teses.
3. Otimização - Teses. 4. Inversores elétricos - Teses.
5. Energia elétrica - Teses. 6. Computadores - Teses. I. Morais,
Lenin Martins Ferreira. II. Oliveira, Thiago Ribeiro de .
III. Universidade Federal de Minas Gerais. Escola de Engenharia.
IV. Título.

CDU: 621.3(043)



UNIVERSIDADE FEDERAL DE MINAS GERAIS

ESCOLA DE ENGENHARIA

COLEGIADO DO CURSO DE GRADUAÇÃO / PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA

FOLHA DE APROVAÇÃO

"Estudo de Conversores Otimizados Com Chaves de Silício e Carbetto de Silício Aplicados A Ups Através de Uma Ferramenta Computacional"

Nikolas Augusto de Araújo Siqueira

Dissertação de Mestrado submetida à Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em Engenharia Elétrica da Escola de Engenharia da Universidade Federal de Minas Gerais, como requisito para obtenção do grau de Mestre em Engenharia Elétrica.

Aprovada em 13 de dezembro de 2024.

Por:

Prof. Dr. Lenin Martins Ferreira Moraes
DELT (UFMG) - Orientador

Prof. Dr. Thiago Ribeiro de Oliveira
DELT (UFMG) - Coorientador

Prof. Dr. Gabriel Azevedo Fogli
DELT (UFMG)

Prof. Dr. Porfírio Cabaleiro Cortizo
DELT (UFMG)

Dr. Bernardo Cogo França
(IRT Saint Exupéry - Toulouse - França)



Documento assinado eletronicamente por **Lenin Martins Ferreira Moraes, Professor do Magistério Superior**, em 13/12/2024, às 12:59, conforme horário oficial de Brasília, com fundamento no art. 5º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



Documento assinado eletronicamente por **Gabriel Azevedo Fogli, Professor do Magistério Superior**, em 13/12/2024, às 18:11, conforme horário oficial de Brasília, com fundamento no art. 5º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



Documento assinado eletronicamente por **Bernardo Cogo França, Usuário Externo**, em 15/12/2024, às 20:52, conforme horário oficial de Brasília, com fundamento no art. 5º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



Documento assinado eletronicamente por **Porfirio Cabaleiro Cortizo, Membro de comissão**, em 16/12/2024, às 15:51, conforme horário oficial de Brasília, com fundamento no art. 5º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



Documento assinado eletronicamente por **Thiago Ribeiro de Oliveira, Professor do Magistério Superior**, em 17/12/2024, às 08:52, conforme horário oficial de Brasília, com fundamento no art. 5º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



A autenticidade deste documento pode ser conferida no site https://sei.ufmg.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0, informando o código verificador **3802439** e o código CRC **89D428B0**.

*À minha família, pelo suporte essencial para
realizar meus sonhos.*

Agradecimentos

Primeiramente, gostaria de agradecer aos meus pais, Rosimere e Welerson, que sempre me deram muito amor e carinho, além de me acalmarem nos momentos mais difíceis. Agradeço por todo o apoio e criação ao longo de minha vida e pelo esforço que sempre fizeram para que eu tivesse uma educação de qualidade, permitindo que eu chegasse até aqui. Sem eles, este trabalho não existiria.

Agradeço à minha irmã Nikole e toda a minha família, que compreenderam a minha ausência em vários momentos importantes para dedicação aos estudos, mas mesmo assim não deixaram de me apoiar nesta jornada. Em especial à minha Avó Maria (*in memoriam*) pelo carinho e pelas orações.

Aos meus amigos que sempre foram parceiros nas horas boas e ruins, e aos novos que conquistei durante o período do Mestrado, pela amizade e pelos momentos de dificuldades e conquistas que passamos juntos. Esta ajuda foi recebida não somente nos aspectos técnicos, mas também nas conversas e nos momentos de descontração.

Também expresso o meu agradecimento aos professores Lenin Morais e Thiago de Oliveira, pela orientação, pela oportunidade de poder participar desse projeto, por confiarem no meu potencial e por todos os ensinamentos concedidos. Sem dúvida, ambos tiveram um papel fundamental para a conclusão deste trabalho.

Aos demais professores do PPGEE-UFMG, pelos conhecimentos repassados no decorrer das disciplinas, os quais foram fundamentais para a construção de uma base teórica sólida que permitiu o desenvolvimento desta dissertação.

Aos membros da banca, Porfírio Cortizo, Bernardo Cougo e Gabriel Fogli, pela disponibilidade para participarem deste trabalho e por terem dedicado tempo à avaliação da pesquisa.

À ENGETRON pela oportunidade de conciliar as atividades profissionais e acadêmicas, e com isso viabilizar a realização do Mestrado. Agradeço a toda a sua equipe pelo suporte e pela contribuição no desenvolvimento deste trabalho.

Enfim, agradeço a todos aqueles que, de uma forma direta ou indireta, contribuíram

para a minha formação, tanto pessoal como profissional, e que viabilizarão a realização desta pesquisa. Deixo aqui os meus sinceros agradecimentos!

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES) - Código de Financiamento 001, por meio do Programa de Excelência Acadêmica (PROEX).

"Deixem que o futuro diga a verdade e avalie cada um de acordo com o seu trabalho e realizações. O presente pertence a eles, mas o futuro, pelo qual eu sempre trabalhei, pertence a mim."

Nikola Tesla.

Resumo

As fontes de energia ininterruptas (UPS, *Uninterruptible Power Supply*) são dispositivos que garantem o fornecimento contínuo de energia elétrica a cargas críticas, protegendo-as contra anomalias da rede elétrica. As UPSs são comumente baseadas na tecnologia de semicondutores IGBT de silício (Si, *Silicon*) e devem ter seu projeto otimizado, principalmente no aspecto de custo e volume, visando garantir a competitividade comercial do produto. Para alcançar maior eficiência e melhor qualidade de energia, as topologias de três níveis se tornaram uma das principais alternativas nos projetos de conversores que compõem a UPS, em substituição às topologias tradicionais de dois níveis. Graças às perdas de comutação significativamente reduzidas dos semicondutores de carbeto de silício (SiC, *Silicon Carbide*), uma solução de UPS baseada em chaves SiC se torna atrativa como alternativa à melhoria do desempenho da UPS em detrimento da utilização das topologias de três níveis, que dependem de maior quantidade de componentes na composição do conversor. Este trabalho apresenta uma análise multiobjetiva de inversores otimizados, utilizando uma ferramenta computacional, para aplicações em UPS. É apresentado um estudo de caso comparativo de um inversor trifásico de 10 kW baseado em chaves de Si, nas topologias de dois níveis e de três níveis, e baseado em chaves SiC com topologia de dois níveis. Foram comparados diferentes indicadores qualitativos de desempenho para definição do projeto otimizado do conversor com melhor compromisso de densidade de potência, rendimento e custo.

Palavras-chave: *UPS; carbeto de silício; otimização; ferramenta computacional; inversores.*

Abstract

Uninterruptible Power Supplies (UPS) are devices that guarantee the continuous supply of electrical power to critical loads, protecting them against power grid anomalies. UPSs are commonly based on silicon (Si) IGBT semiconductor technology and must have their design optimized, especially in terms of cost and volume, in order to ensure the product's commercial competitiveness. To achieve higher efficiency and better power quality, 3-level topologies have become one of the main alternatives in the converter designs that make up UPS, replacing traditional 2-level topologies. Due to the significantly reduced switching losses of silicon carbide (SiC) semiconductors, a UPS solution based on SiC switches becomes attractive as an alternative to improving UPS performance over the use of 3-level topologies, which use a greater number of components in the converter composition. This work presents a multiobjective analysis of optimized inverters, using a computational tool, for UPS applications. A comparative case study of a 10kW three-phase inverter is presented with 2-level and 3-level Si-based topologies, and a 2-level SiC-based topology. Different qualitative performance indicators were compared to define the optimized converter design with the best compromise of power density, efficiency, and cost.

Keywords: *UPS; silicon carbide; optimization; computational tool; inverters.*

Lista de Figuras

2.1	Diagrama simplificado da UPS <i>offline</i>	31
2.2	Diagrama simplificado da UPS <i>interativo</i>	33
2.3	Diagrama simplificado da UPS <i>online</i>	34
2.4	Exemplos de topologias de inversor (a) 2 níveis <i>half-bridge</i> (meia ponte) (b) 3 níveis NPC1 (tipo I) (c) 3 níveis NPC2 (tipo T)	36
2.5	Comparação das características entre as tecnologias Si, SiC e GaN.	42
3.1	Fluxograma-resumo do algoritmo de otimização da ferramenta computacional.	45
3.2	Interface geral da ferramenta computacional.	46
3.3	Interface de configurações das preferências de simulação dos semicondutores.	47
3.4	Interface de configurações das preferências de simulação dos magnéticos.	48
3.5	Interface de configurações das preferências de simulação do <i>gate driver</i>	48
3.6	Filtros para controle de simulação.	49
3.7	Espaço de soluções obtidos pela ferramenta computacional.	51
3.8	Detalhes da solução.	52
3.9	Exemplo da base de dados de materiais magnéticos.	53
3.10	Exemplo da base de dados de núcleos magnéticos.	54
3.11	Exemplo da base de dados de semicondutores.	55
3.12	Exemplo da base de dados dos dissipadores.	56
3.13	Exemplo da base de dados dos capacitores.	57

LISTA DE FIGURAS

4.1	Correção da resistência térmica do dissipador de acordo com a velocidade do ar.	71
4.2	Correção da variação de temperatura do dissipador de acordo com a potência dissipada.	72
4.3	Correção da resistência térmica do dissipador de acordo com o comprimento.	72
4.4	Demonstração do método iGSE.	81
5.1	Topologias avaliadas (representação fase única).	89
5.2	Comparação do desempenho das configurações de referência 2 níveis (HB).	94
5.3	Distribuição de volume na configuração de referência 2 níveis (HB).	95
5.4	Distribuição de perdas na configuração de referência 2 níveis (HB).	96
5.5	Distribuição de custos na configuração de referência 2 níveis (HB).	96
5.6	Comparação do desempenho das configurações de referência $3n$ e $2n$	98
5.7	Distribuição de perdas nas configurações de referência $3n$ e $2n$	99
5.8	Distribuição de volume nas configurações de referência $3n$ e $2n$	99
5.9	Distribuição de custos nas configurações de referência $3n$ e $2n$	100
5.10	Espaço de soluções para a configuração otimizada #1	102
5.11	Comparação do desempenho da configuração otimizada #1 e das referências comerciais.	104
5.12	Distribuição de perdas na configuração otimizada #1	105
5.13	Distribuição de volume na configuração otimizada #1	105
5.14	Distribuição de custos na configuração otimizada #1	106
5.15	Espaço de soluções para a configuração otimizada #2	107
5.16	Comparação do desempenho da configuração otimizada #2 e das referências comerciais.	109
5.17	Distribuição de volume na configuração otimizada #2	109
5.18	Distribuição de custos na configuração otimizada #2	110
5.19	Distribuição de perdas na configuração otimizada #2	111
5.20	Espaço de soluções para a configuração otimizada #3	112

5.21	Comparação do desempenho da configuração otimizada #3 e das referências comerciais.	114
5.22	Distribuição de perdas na configuração otimizada #3.	114
5.23	Distribuição de volume na configuração otimizada #3.	115
5.24	Distribuição de custos na configuração otimizada #3.	116
5.25	Espaço de soluções para a configuração otimizada #4.	117
5.26	Comparação dos perfis e dimensões dos modelos de dissipadores.	119
5.27	Comparação do desempenho da configuração otimizada #4 e das referências comerciais.	119
5.28	Distribuição de perdas na configuração otimizada #4.	120
5.29	Distribuição de volume na configuração otimizada #4.	121
5.30	Distribuição de custos na configuração otimizada #4.	122
5.31	Espaço de soluções para a configuração otimizada #5.	123
5.32	Comparação do desempenho da configuração otimizada #5 e das referências comerciais.	125
5.33	Distribuição de perdas na configuração otimizada #5.	126
5.34	Distribuição de volume na configuração otimizada #5.	127
5.35	Distribuição de custos na configuração otimizada #5.	128
5.36	Espaço de soluções para a configuração otimizada #6.	129
5.37	Comparação do desempenho da configuração otimizada #6 e das referências comerciais.	131
5.38	Distribuição de perdas na configuração otimizada #6.	131
5.39	Distribuição de volume na configuração otimizada #6.	133
5.40	Distribuição de custos na configuração otimizada #6.	134
5.41	Espaço de soluções para a configuração otimizada #7.	135
5.42	Comparação do desempenho da configuração otimizada #7 e das referências comerciais.	137
5.43	Distribuição de perdas na configuração otimizada #7.	138
5.44	Distribuição de volume na configuração otimizada #7.	138

LISTA DE FIGURAS

5.45	Distribuição de custos na configuração otimizada #7.	140
5.46	Espaço de soluções para a configuração otimizada #8.	141
5.47	Comparação do desempenho da configuração otimizada #8 e das referências comerciais.	142
5.48	Distribuição de perdas na configuração otimizada #8.	143
5.49	Distribuição de volume na configuração otimizada #8.	144
5.50	Distribuição de custos na configuração otimizada #8.	145
5.51	Espaço de soluções para a configuração otimizada #9.	146
5.52	Comparação do desempenho da configuração otimizada #9 e das referências comerciais.	148
5.53	Distribuição de perdas na configuração otimizada #9.	149
5.54	Distribuição de volume na configuração otimizada #9.	149
5.55	Distribuição de custos na configuração otimizada #9.	150
5.56	Comparação do desempenho de todas as configurações de inversor avaliadas no estudo de caso.	153
5.57	Distribuição de perdas nas configurações avaliadas no estudo de caso. . . .	154
5.58	Distribuição de volume nas configurações avaliadas no estudo de caso. . . .	156
5.59	Distribuição de custos nas configurações avaliadas no estudo de caso. . . .	157

Lista de Tabelas

5.1	Principais parâmetros e critérios de projeto.	90
5.2	Condições de comparações do inversor.	91
5.3	Especificações de referência do inversor.	93
5.4	Desempenho da referência comercial $2n$ para as duas possibilidades de chaves.	94
5.5	Desempenho das configurações de referência comercial, $3n$ em relação à $2n$	97
5.6	Especificações da configuração otimizada #1.	103
5.7	Desempenho da configuração otimizada #1 e das referências comerciais.	103
5.8	Especificações da configuração otimizada #2.	108
5.9	Desempenho da configuração otimizada #2 e das referências comerciais.	108
5.10	Especificações da configuração otimizada #3.	113
5.11	Desempenho da configuração otimizada #3 e das referências comerciais.	113
5.12	Especificações da configuração otimizada #4.	118
5.13	Desempenho da configuração otimizada #4 e das referências comerciais.	118
5.14	Especificações da configuração otimizada #5.	124
5.15	Desempenho da configuração otimizada #5 e das referências comerciais.	125
5.16	Especificações da configuração otimizada #6.	130
5.17	Desempenho da configuração otimizada #6 e das referências comerciais.	130
5.18	Especificações da configuração otimizada #7.	136
5.19	Desempenho da configuração otimizada #7 e das referências comerciais.	136
5.20	Especificações da configuração otimizada #8.	141

LISTA DE TABELAS

5.21	Desempenho da configuração otimizada #8 e das referências comerciais. . .	142
5.22	Especificações da configuração otimizada #9.	147
5.23	Desempenho da configuração otimizada #9 e das referências comerciais. . .	147
5.24	Desempenho dos projetos de referência e de todas as configuração otimizadas.	152
5.25	Tempo computacional necessário para otimização de cada configuração. . .	158
A.1	Especificações do Computador Utilizado.	178

Lista de Abreviaturas e Siglas

$2n$	Dois níveis
$3n$	Três níveis
AWG	Escala Americana de Seções de Fios (do inglês <i>American Wire Gauge</i>)
c.a.	Corrente Alternada
c.c.	Corrente Contínua
ESL	Indutância Série Equivalente (do inglês <i>Equivalent Series Inductance</i>)
ESR	Resistência Série Equivalente (do inglês <i>Equivalent Series Resistance</i>)
FoM	Figura de Mérito (do inglês <i>Figure of Merit</i>)
GaN	Nitreto de Gálio (do inglês <i>Gallium Nitride</i>)
GEP	Grupo de Eletrônica de Potência da UFMG
HB	Meia Ponte (do inglês <i>Half Bridge</i>)
IEC	Comissão Eletrotécnica Internacional (do inglês <i>International Electrotechnical Commission</i>)
IGBT	Transistor Bipolar de Porta Isolada (do inglês <i>Insulated Gate Bipolar Transistor</i>)

LISTA DE ABREVIATURA E SIGLAS

iGSE	Equação de Steinmetz Generalizada Melhorada (do inglês <i>improved Generalized Steinmetz Equation</i>)
MLT	Comprimento Médio por Espira (do inglês <i>Mean Length Turn</i>)
MOSFET	Transistor de Efeito de Campo de Semicondutor de Óxido Metálico (do inglês <i>Metal Oxide Semiconductor Field Effect Transistor</i>)
NPC	Ponto de Neutro Grampeado (do inglês <i>Neutral Point Clamped</i>)
Si	Silício (do inglês <i>Silicon</i>)
SiC	Carbeto de Silício (do inglês <i>Silicon Carbide</i>)
SQL	Linguagem de Consulta Estruturada (do inglês <i>Structured Query Language</i>)
UPS	Fonte Ininterrupta de Energia (do inglês <i>Uninterruptible Power Supply</i>)
VFD	Dependente da Tensão e Frequência (do inglês <i>Voltage and Frequency Dependent</i>)
VFI	Independente da Tensão e Frequência (do inglês <i>Voltage and Frequency Independent</i>)
VI	Independente da Tensão (do inglês <i>Voltage Independent</i>)
WBG	Larga Banda de Energia (do inglês <i>Wide Bandgap</i>)

Sumário

1	Introdução	23
1.1	Objetivos	26
1.2	Organização do texto	27
2	Revisão Bibliográfica	29
2.1	UPS: estado da arte	29
2.1.1	UPS offline	31
2.1.2	UPS interativa	32
2.1.3	UPS online	34
2.2	Comparação de topologias para o inversor	36
2.3	Semicondutores de potência	38
2.3.1	Dispositivos de silício	39
2.3.2	Dispositivos de carbeto de silício	40
2.3.3	Comparação entre as tecnologias de semicondutores	41
2.4	Conclusões do capítulo	43
3	Ferramenta Computacional para Projeto Multiobjetivo de Conversores	44
3.1	Estrutura da ferramenta	44
3.2	Banco de dados de componentes	52
3.3	Conclusões do capítulo	58
4	Metodologia de Análise de Desempenho de Conversores	60

4.1	Algoritmos de otimização	61
4.1.1	Semicondutor	61
4.1.1.1	Perdas de chaveamento no transistor	63
4.1.1.2	Perdas de condução no transistor	65
4.1.1.3	Perdas de chaveamento no diodo	66
4.1.1.4	Perdas de condução no diodo	67
4.1.1.5	Perdas totais	68
4.1.2	Dissipador	68
4.1.3	Indutor	73
4.1.3.1	Perdas no enrolamento	78
4.1.3.2	Perdas no núcleo	79
4.1.3.2.1	Método Steinmetz	79
4.1.3.2.2	Método iGSE	80
4.1.3.3	Perdas totais e elevação de temperatura	82
4.1.4	Capacitor do barramento c.c.	83
4.2	Figura de mérito	85
4.3	Conclusões do capítulo	86
5	Estudo de Caso e Resultados de Simulações	88
5.1	Metodologia e organização dos resultados	88
5.2	UPS comercial de referência	92
5.2.1	Topologia 2 níveis	93
5.2.2	Topologia 3 níveis	97
5.3	Inversor 2 níveis otimizado com chaves Si	101
5.3.1	Configuração #1: Projeto $2n$ livre com frequência fixa	101
5.3.2	Configuração #2: Projeto $2n$ livre com variação de frequência no padrão 1	107
5.3.3	Configuração #3: Projeto $2n$ livre com variação de frequência no padrão 2	112

5.4	Inversor 3 níveis otimizado com chaves Si	116
5.4.1	Configuração #4: Projeto $3n$ livre com frequência fixa	117
5.4.2	Configuração #5: Projeto $3n$ livre com variação de frequência no padrão 1	123
5.4.3	Configuração #6: Projeto $3n$ livre com variação de frequência no padrão 2	129
5.5	Inversor 2 níveis otimizado com chaves SiC	134
5.5.1	Configuração #7: Projeto $2n$ livre com frequência fixa	135
5.5.2	Configuração #8: Projeto $2n$ livre com variação de frequência no padrão 1	140
5.5.3	Configuração #9: Projeto $2n$ livre com variação de frequência no padrão 2	146
5.6	Projeto ótimo considerando as figuras de mérito	151
5.7	Desempenho Computacional	157
5.8	Conclusões do capítulo	159
6	Conclusão	161
6.1	Propostas de continuidade	164
Referências Bibliográficas		166
Apêndice A Especificações do Computador Utilizado para Simulações		178

Capítulo 1

Introdução

A crescente dependência de sistemas eletrônicos em setores estratégicos da economia tem intensificado a demanda por soluções de fornecimento de energia confiáveis e eficientes. No mundo orientado pela tecnologia de hoje, a disponibilidade ininterrupta de energia é essencial para diversos setores, incluindo telecomunicações, centros de dados, instalações de saúde e processos industriais críticos [1].

As Fontes Ininterruptas de Energia (UPS) surgem como um componente crucial, garantindo a continuidade do fornecimento de energia para cargas críticas em caso de falhas ou flutuações na rede elétrica. Esses sistemas são responsáveis por fornecer energia elétrica contínua para equipamentos críticos, evitando perda de dados, danos a equipamentos e interrupções não programadas em processos [2, 3].

A UPS garante o fornecimento contínuo de energia às cargas ou sistemas de alta criticidade em caso de interrupções ou variações na energia oriunda da fonte de alimentação principal, usualmente a rede elétrica. Ele funciona como um intermediário entre a fonte de energia primária, normalmente a rede elétrica, e os dispositivos eletrônicos protegidos. A UPS condiciona a energia em uma fonte secundária, tipicamente um banco de baterias, que é demandada em caso de falha no fornecimento de energia primário [4].

O propósito fundamental de uma UPS é duplo [5]: oferecer *backup* imediato de energia em caso de interrupção e garantir a qualidade do fornecimento ao regular flutuações de tensão e frequência.

Contudo, as exigências por maior eficiência, redução de custos e incremento da densidade de potência têm impulsionado avanços significativos nos métodos de projeto e nas tecnologias utilizadas em UPS [6, 7].

Para aprimorar o desempenho de sistemas UPS, estudos recentes sugerem a adoção de topologias de três níveis tanto no retificador quanto no inversor. Em [8], são comparados conversores de 2 e 3 níveis, focando em densidade de potência, custo e desempenho. Os resultados mostram que o conversor 3 níveis, apesar de ter custo 17% maior que o 2 níveis, oferece melhor desempenho devido à maior frequência de comutação (até 16 kHz contra 8 kHz no 2 níveis), maior densidade de potência e menor volume. A topologia 3 níveis se demonstrou mais eficiente e econômica para frequências superiores a 6,75 kHz , enquanto a topologia 2 níveis demandou configurações paralelas mais caras e volumosas para alcançar frequências similares.

Em [9], foi desenvolvida uma UPS de alta eficiência e grande capacidade utilizando um conversor multiníveis do tipo NPC. Com a implementação da topologia de três níveis, o sistema proposto atinge uma eficiência de até 97%, além de reduzir em mais de 50% o volume e peso em comparação com sistemas tradicionais. Os resultados experimentais confirmam a superioridade em eficiência e desempenho do sistema proposto.

Outra alternativa tecnológica, que visa melhorar o rendimento de conversores e que também vem ganhando destaque no segmento dos conversores de potência, são os semicondutores de Carbeto de Silício (SiC), que apresentam características superiores em relação aos semicondutores convencionais de Silício (Si). A alta eficiência de comutação e a capacidade de operar em frequências e temperaturas mais elevadas tornam os dispositivos SiC particularmente atraentes para aplicações em conversores de potência [10].

Para demonstrar e quantificar os benefícios dos dispositivos SiC, pesquisas recentes demonstram a possibilidade de otimização de conversores. Em [11], uma ferramenta de projeto otimizada foi desenvolvida para inversores trifásicos de 2 níveis baseados em SiC e comparada com o projeto otimizado de Si-IGBT. O estudo demonstrou que conversores com dispositivos SiC podem alcançar uma densidade de potência 159,4% maior que com dispositivos de silício, além de atingir eficiência de até 97,5%.

Em [12], foram investigados os benefícios na utilização de dispositivos SiC na composição de um inversor 3 níveis do tipo NPC2, para aplicações conectadas à rede elétrica, com foco em sistemas fotovoltaicos residenciais. O objetivo principal é analisar e comparar as perdas nos dispositivos semicondutores ao usar tecnologias de silício e carbeto de silício. Constatou-se que a substituição apenas das chaves externas do inversor reduz as perdas em mais de 50%, melhorando a eficiência e permitindo aumento da frequência de comutação ou da potência nominal do conversor.

Na pesquisa desenvolvida por [13], foi realizado o projeto de uma UPS trifásica de 20 *kW* utilizando IGBTs de Silício e diodos Schottky de Carbetto de Silício. Foi aplicada a otimização pela metodologia da fronteira de Pareto na determinação da eficiência e densidade de potência. O resultado mostrou uma eficiência de 96,6% com uma frequência de chaveamento de 16 *kHz*.

O desempenho dos conversores eletrônicos de potência pode ser definido por uma variedade de métricas de performance. As medidas quantitativas técnicas mais comuns incluem as perdas durante a conversão de potência, o peso do conversor, o volume, os custos dos componentes e a taxa de falhas. Diante desse cenário, a utilização de ferramentas computacionais capazes de simular e otimizar projetos de conversores surge como uma abordagem promissora [14].

Em [15], é abordada a otimização de custo e eficiência de transformadores de baixa frequência em sistemas UPS com foco em aplicações de pequeno porte. Utilizando modelos detalhados para perdas no núcleo e nos enrolamentos, juntamente com validações experimentais, o estudo propõe o uso de técnicas de otimização através da fronteira de Pareto para encontrar o melhor equilíbrio entre custo e eficiência. Os resultados mostram a possibilidade de redução dos custos em determinadas potências, sem comprometer o desempenho.

O trabalho apresentado em [16] investiga a otimização de inversores trifásicos utilizando dispositivos de larga banda, como SiC e GaN. Através de um algoritmo de otimização baseado na fronteira de Pareto, são analisadas diferentes topologias de conversores, onde foi possível determinar a topologia que oferece o melhor custo-benefício.

A operação dos conversores de potência com maiores frequências de chaveamento permite reduzir o tamanho e peso dos componentes passivos, como capacitores e indutores, o que resulta na compactação do conversor e, conseqüentemente, em maior densidade de potência.

Entretanto, o aumento da frequência também implica em maiores perdas de chaveamentos nos dispositivos semicondutores, o que reduz o rendimento do conversor. Ademais, quanto maiores as perdas nos dispositivos, maiores e mais pesados serão os dissipadores de calor do conversor, aumentando o volume e o peso geral do sistema.

Torna-se perceptível o desafio na otimização dos conversores de potência, principalmente entre eficiência e densidade de potência. Esse compromisso é frequentemente visualizado usando as fronteiras de Pareto, onde busca-se um ponto ideal que maximize a eficiência ao mesmo tempo que atinge uma densidade de potência aceitável, atendendo às restrições específicas de cada aplicação [17, 18].

1.1 Objetivos

Nesse contexto, o presente trabalho tem como objetivo comparar, através da ferramenta computacional, diferentes projetos de inversor para UPS e determinar a configuração otimizada de topologia e componentes. Diferentes topologias serão avaliadas e as principais diferenças serão discutidas. Com base nos cálculos de eficiência, os benefícios econômicos serão apresentados para as diferentes soluções.

Essa pesquisa é uma continuidade aos estudos desenvolvidos pelo Grupo de Eletrônica de Potência (GEP) da UFMG sobre otimização de conversores estáticos. Esses estudos resultaram no desenvolvimento de uma ferramenta computacional para projeto multi-objetivo de conversores baseada na Análise da Fronteira de Pareto, a partir de um banco de dados de componentes reais.

A ferramenta computacional será aplicada nesta dissertação e tem como objetivo auxiliar no desenvolvimento de projetos de conversores estáticos para UPS, tendo em vista a automação do projeto de elementos e na estimação de índices de desempenho como

eficiência, densidade de potência e custo de material. Busca-se oferecer visualmente a fronteira de Pareto e a descrição do projeto para cada topologia de conversor selecionada, permitindo a análise de cenários e comparação entre projetos.

Objetivos Específicos

- Realizar uma revisão bibliográfica sobre topologias de inversores aplicados à UPS;
- Avaliar a utilização de semicondutores SiC visando o melhor performance do conversor;
- Utilizar a ferramenta para análise multiobjetiva desenvolvida no projeto P&D Engetron/UFMG para comparar as topologias disponíveis no aspecto de eficiência, densidade de potência e custos;
- Validar a funcionalidade da ferramenta através de estudos de casos com a referência de projeto de uma UPS comercial;
- Fornecer uma curva com o ponto ótimo do projeto do conversor, considerando os parâmetros e requisitos do projeto.

1.2 Organização do texto

Estruturalmente, o texto desta dissertação é composto por cinco outros capítulos, além deste, introdutório.

- **Capítulo 2:** Realiza uma revisão bibliográfica para fundamentação e conceituação do trabalho. Neste capítulo são abordadas as principais classes de UPS e as características de cada classe. Inclui uma discussão sobre topologias 2 níveis e 3 níveis. Em seguida, as tecnologias para construção dos semicondutores de potência são apresentadas e as vantagens e desvantagens de cada tipo são discutidas;

- **Capítulo 3:** Detalha o desenvolvimento e uso de uma ferramenta computacional para otimização de projetos de conversores. Inclui a descrição da estrutura da ferramenta e do banco de dados de componentes para encontrar as soluções otimizadas;
- **Capítulo 4:** Apresenta a metodologia para análise de desempenho, abordando cálculos de perdas, volumes e custos para componentes como semicondutores, dissipadores, indutores e capacitores. Também descreve a aplicação de algoritmos de otimização e a definição de uma Figura de Mérito para avaliar o desempenho global;
- **Capítulo 5:** Este capítulo apresenta os estudos de caso realizados para validar a metodologia proposta e discute os resultados teóricos da pesquisa;
- **Capítulo 6:** Este capítulo discorre sobre as conclusões e as propostas de continuidade deste trabalho.

Capítulo 2

Revisão Bibliográfica

Este capítulo dedica-se a uma revisão bibliográfica do tema em questão, que tem-se mostrado promissor e objeto de intenso estudo na comunidade científica. Considerando a crescente quantidade de trabalhos publicados, esta revisão se concentrará em contextualizar sobre as UPSs, analisando as diversas combinações de topologias, bem como os materiais e tecnologias empregados na fabricação dos semicondutores de potência.

2.1 UPS: estado da arte

Os sistemas ininterruptos de energia, também conhecidos como UPS (do inglês, *Uninterruptible Power Supply*), e comumente chamados de “*nobreaks*”, são equipamentos elétricos que garantem o fornecimento contínuo de energia às cargas ou sistemas de alta criticidade em caso de interrupções ou variações na energia oriunda da fonte de alimentação principal, usualmente a rede elétrica. A UPS condiciona a energia em uma fonte secundária, tipicamente um banco de baterias, que é demandada em caso de falha no fornecimento de energia primário [19].

As UPSs constituem um grupo de conversores de potências cuja composição convencional contém, no mínimo, um retificador e um inversor. Retificadores são dispositivos eletrônicos que convertem corrente alternada (c.a.) em corrente contínua (c.c.), e são comumente utilizados em sistemas que requerem uma fonte de alimentação c.c. a partir

da rede elétrica. Os inversores, por outro lado, são conversores c.c.-c.a. compostos por um conjunto de chaves que, quando comandadas adequadamente, permitem a conversão da energia para corrente alternada a partir de uma fonte c.c.. Em aplicações como UPS, é necessário que o inversor mantenha os parâmetros de tensão e frequência de saída estáveis, eliminando os efeitos de distúrbios elétricos da rede [20].

O início da história das UPS remonta ao desenvolvimento de sistemas de armazenamento de energia baseados em máquinas eletromecânicas rotativas. Ao longo dos anos, as UPS passaram por diversas evoluções, impulsionadas pelo avanço da eletrônica de potência e pelo surgimento de novas tecnologias, como os conversores estáticos utilizando tiristores e diodos, e posteriormente com a adoção de IGBTs, proporcionando maior eficiência e menor tamanho [21]. Um dos últimos avanços nas UPS é a utilização de semicondutores de larga banda de energia, como carbeto de silício, permitindo maior densidade de potência e eficiência [22].

As UPSs podem ser classificadas de acordo com diferentes critérios, como a classe, sendo rotativa, estática ou até mesmo híbridas; além da topologia, como *online*, *offline*, ou seja, a configuração dos seus componentes e a forma como convertem a energia. A UPS Estática utiliza conversores e inversores eletrônicos de potência para processar, armazenar e fornecer energia em caso de falha da rede elétrica, enquanto a UPS Rotativa utiliza motores e geradores para realizar a mesma função [23, 24]. Em alguns casos, uma combinação dos dois sistemas, estático e rotativo, é utilizada, sendo comumente chamada de sistema UPS Híbrido [25, 26].

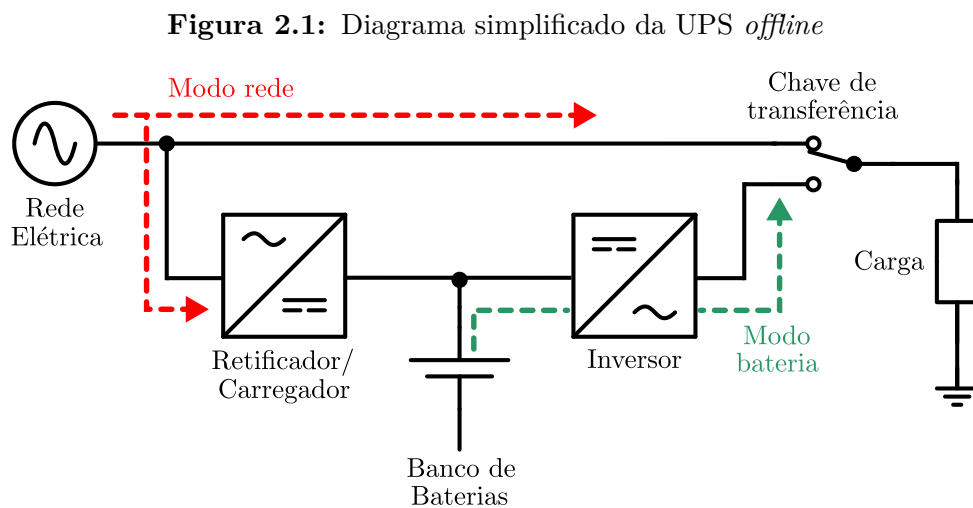
Os sistemas de UPS estáticos são os mais amplamente utilizados e atendem a uma ampla gama de aplicações, desde equipamentos de baixa potência, chegando a sistemas de alta potência conectados à rede elétrica [19, 21]. Por esse motivo, este trabalho irá focar neste tipo de UPS.

Pode-se haver certa confusão no mercado de termos em relação aos diferentes tipos de UPS estáticas e suas características. Para isso, as normas IEC 62040-3 [27] e NBR 15014 [28] classificam as UPS estáticas em três tipos, conforme a interação com a rede elétrica e a independência em relação à tensão e frequência da rede.

- UPS *offline* (também chamado de *stand-by*);
- UPS *interativa* (também chamado de *line-interactive*);
- UPS *online* (também chamado de *dupla conversão*).

2.1.1 UPS offline

A UPS *offline*, também chamada de UPS *stand-by*, é um equipamento mais simples, comumente utilizado para proteger cargas individuais, como computadores de mesa. A Figura 2.1 apresenta o diagrama esquemático dessa topologia, sendo composta por um retificador/carregador de baterias, um inversor e uma chave de transferência. No modo normal de operação, a carga é alimentada com energia da rede elétrica e o retificador carrega o banco de baterias. Nessa condição, o inversor permanece em modo de espera, por isso o nome *stand-by*, e a tensão e frequência de saída ficam dependentes da tensão e da frequência da rede elétrica de entrada [29].



Quando as características da rede elétrica estiverem fora das faixas operacionais pré-estabelecidas da UPS, o conjunto bateria e inversor mantém o fornecimento de energia à carga no modo bateria. Comumente, é utilizado um inversor de onda quadrada nesse tipo de UPS. Uma chave de transferência desativa o ramal de entrada da rede c.a., evitando

retroalimentação a partir do inversor [23]. A UPS mantém a operação no modo bateria pelo tempo de duração permitido pela energia armazenada e disponível no banco de baterias, ou até o retorno da rede elétrica de entrada para os níveis normais especificados, o que ocorrer primeiro.

Como a UPS *offline* não possui circuito para regular a tensão ou a frequência de saída no modo normal, a norma IEC classifica sua dependência de entrada como *Dependente de Tensão e Frequência* (VFD) [27].

A UPS *offline* protege contra a maioria dos picos de tensão, mas não mantém uma saída de qualidade durante pequenas quedas e surtos de energia, devido ao tempo de comutação da chave de transferência, na ordem de 10 *ms*. Às vezes, é utilizado um filtro e um supressor de surtos na saída do UPS para evitar ruídos e distúrbios da rede antes de fornecer energia à carga [20].

No tempo de transferência entre os modos, há uma interrupção no fornecimento de energia à carga de saída. Com isso, o fator principal para a qualidade da UPS *offline* é a faixa de tensão que o equipamento admite operar, antes de mudar para o modo bateria. Quanto maior a faixa de tensão, menor será a necessidade de alternância de modo e, conseqüentemente, menor o consumo de energia da bateria.

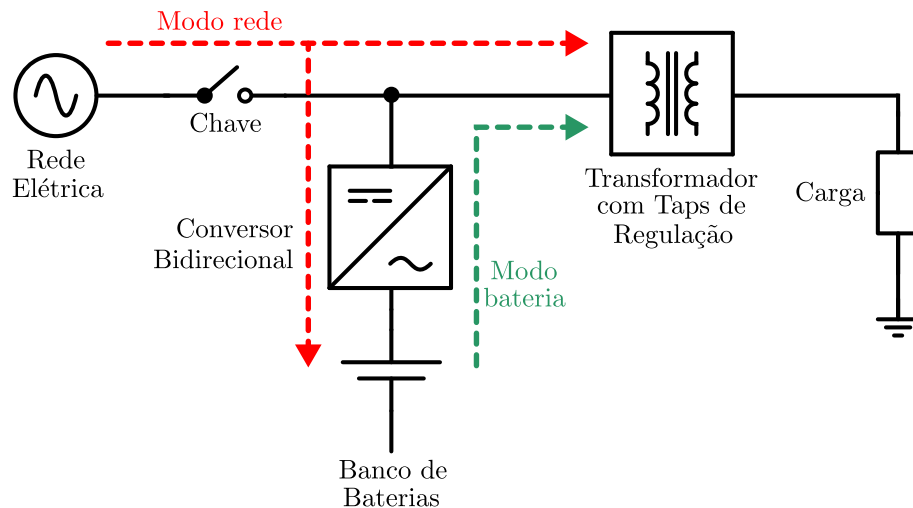
A vantagem da UPS *offline* é o projeto simples, que proporciona uma solução de baixo custo e tamanho reduzido. Entretanto, a ausência de isolamento real da carga e a falta de regulação de tensão são as principais desvantagens desse sistema. Além disso, o tempo de transferência pode ser um fator crítico para determinadas cargas e implicar no desligamento das mesmas. Por esses motivos, esse tipo de UPS é adequado para cargas menores, com capacidade de até aproximadamente 600 VA [26].

2.1.2 UPS interativa

A UPS interativa é composta por uma chave estática, um conversor bidirecional, um banco de baterias e um transformador com *taps* para regulação da tensão, como ilustrado no diagrama da Figura 2.2. O transformador com mudança de *taps* permite a regulação

de tensão, ajustando os *taps* do transformador conforme a variação da tensão no lado primário, seja quando operando no modo normal ou quando operando no modo bateria.

Figura 2.2: Diagrama simplificado da UPS *interativo*



Fonte: Adaptado de [26] e [28].

No modo de operação normal, a rede elétrica fornece energia à carga e o conversor bidirecional carrega a bateria. Em caso de falha na rede, a chave estática desconecta a carga da rede elétrica e o banco de baterias passa a fornecer energia para a carga através do conversor operando como inversor [29].

O conversor da UPS está sempre ligado, operando de forma reversa para carregar a bateria enquanto a rede elétrica está normal, e alternando para a bateria quando a entrada c.a. falha. A transferência entre o modo rede e o modo bateria ocasiona uma interrupção de 4 a 6 *ms*.

Como a UPS interativa geralmente inclui um transformador com *taps* para regular a tensão de saída, mas não regula a frequência, a norma IEC classifica sua dependência de entrada como *Independente de Tensão* (VI) [27].

Os sistemas UPS interativos oferecem tanto o condicionamento e regulação da energia, quanto o *backup* de energia pelas baterias. Essa topologia suporta ampla faixa de variações da tensão de entrada antes de alternar para o modo bateria, devido à utilização do transformador com *taps*. Essa topologia é especialmente eficaz em locais onde as quedas

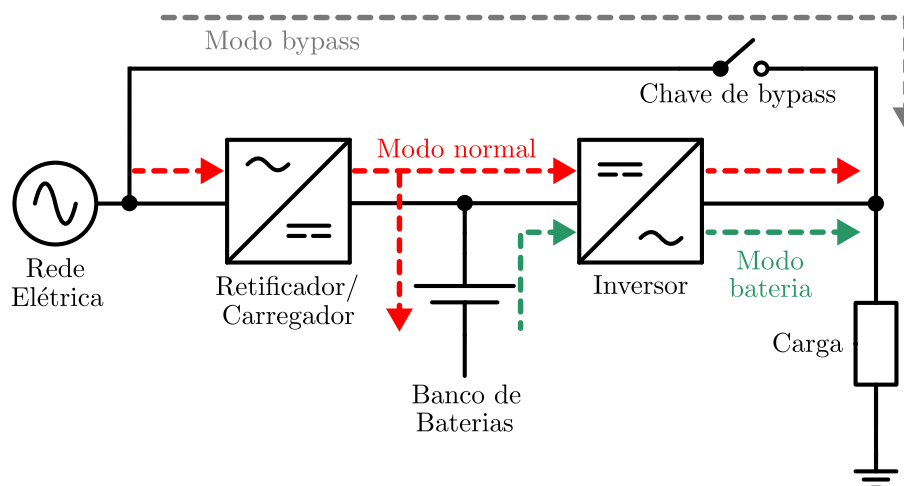
de energia são raras, mas as flutuações de energia são frequentes.

As principais vantagens da UPS interativa incluem baixo custo, tamanho reduzido, forma de onda senoidal na saída e capacidade de corrigir variações da tensão de entrada. Isso faz com que essa topologia de UPS seja predominante na faixa de potência entre 600 VA e 5 kVA [30].

2.1.3 UPS online

A Figura 2.3 apresenta o diagrama em blocos da topologia UPS *online* onde, na condição normal de operação, o caminho de energia até a carga é a partir da rede elétrica, passando pelo retificador e pelo inversor. A UPS *online* também é composta por uma chave de *bypass*, proporcionando um caminho alternativo de energia da rede até a carga. Para esta topologia, existem três modos de funcionamento: modo normal, modo de bateria e modo *bypass* [31].

Figura 2.3: Diagrama simplificado da UPS *online*



Fonte: Adaptado de [26].

A UPS *online* opera no modo normal quando os parâmetros de entrada e saída estão dentro das especificações. Neste modo, a carga é continuamente alimentada pelo conjunto retificador (conversão de c.a. para c.c.) e inversor (conversão de c.c. para c.a.), por isso o termo dupla conversão. O banco de baterias é recarregado, ou mantido na condição de

flutuação, caso já esteja recarregado. Neste modo, a tensão e a frequência de saída são totalmente independentes da tensão e da frequência de entrada.

Quando a rede elétrica na entrada falha ou apresenta alterações fora dos limites da UPS, o retificador é desligado e a UPS passa a operar no modo bateria. O inversor continua fornecendo energia à carga, porém agora utilizando a energia do banco de baterias. Como o inversor está sempre em operação, seja no modo rede ou no modo bateria, não há transferências (também citado como tempo de transferência de 0 ms), o que resulta em ausência de interrupção no fornecimento para a carga. Quando a rede c.a. é restaurada, o retificador volta a suportar a maior parte da carga e inicia o processo de recarga das baterias.

O modo bypass ocorre em caso de falha da UPS ou quando algum parâmetro ultrapassa os limites do equipamento (e.g., sobrecarga na saída), que garante o fornecimento de energia à saída através de um ramal alternativo. O retificador opera em menor potência apenas para recarregar as baterias, e o inversor permanece em *stand-by*.

Como essa topologia no modo normal regula tanto a tensão quanto a frequência de saída, a norma IEC classifica a UPS como *Independente da Tensão e Frequência* (VFI). No modo bypass, a UPS não é capaz de regular a tensão nem a frequência de saída; por isso, quando operando nesse modo, é classificada como VFD [27].

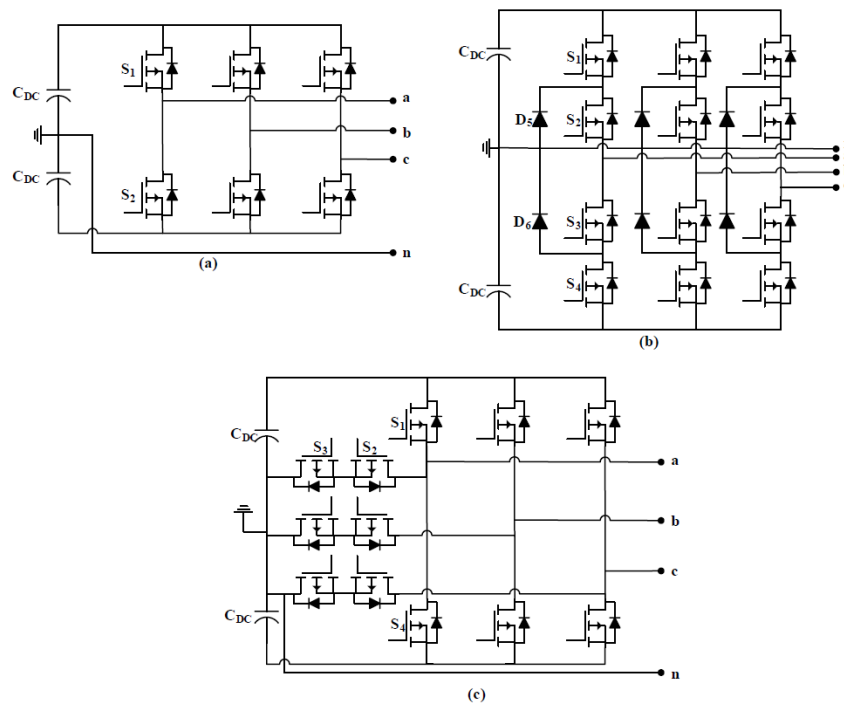
A topologia *online* oferece total independência entre a entrada e a saída, pois a energia passa continuamente pelo inversor, o que proporciona uma forma de onda de saída com excelente qualidade. Isso significa que a qualidade da energia fornecida por uma UPS *online* é significativamente melhor do que a de outras topologias.

Como demonstrado anteriormente, as topologias *offline* e interativa reduzem o impacto de distúrbios na rede (e.g., picos, surtos e quedas de tensão), regulando a tensão ou alternando para o modo bateria. No entanto, dentro da faixa normal da onda senoidal, a maioria das flutuações de energia na rede elétrica é ignorada. Já a UPS *online* sempre sintetiza uma onda senoidal na saída através do inversor, ao invés de apenas condicionar o fornecimento da rede. Praticamente todas as UPS comerciais acima de 5 kVA são com topologia *online* [26].

2.2 Comparação de topologias para o inversor

Existem diferentes topologias de conversores que podem ser empregados nos estágios de uma UPS, cada uma com suas vantagens e desvantagens em termos de eficiência, custo e complexidade [32]. As topologias frequentemente utilizadas para aplicações industriais são apresentadas na Figura 2.4.

Figura 2.4: Exemplos de topologias de inversor (a) 2 níveis *half-bridge* (meia ponte) (b) 3 níveis NPC1 (tipo I) (c) 3 níveis NPC2 (tipo T)



Fonte: [32].

Comumente, topologias de conversores de 2 ou 3 níveis são preferidas em montagens comerciais, sendo que, para minimizar as perdas e volume, além de promover maior eficiência dos conversores, pode-se utilizar topologia de 3 níveis (e.g., o retificador Vienna, o inversor NPC1 ou o inversor NPC2), substituindo as topologias de 2 níveis. No entanto, as topologias de 3 níveis também demandam maior quantidade de interruptores estáticos e de circuitos de acionamento do que as topologias de 2 níveis [32, 33].

Para superar as limitações das topologias de 2 níveis, e visando maior eficiência e

densidade de potência, novas pesquisas têm se concentrado em topologias multiníveis, como os inversores NPC (*Neutral Point Clamped*), que oferecem uma distribuição de tensão mais equilibrada entre os componentes, permitem a utilização de semicondutores com menor tensão nominal e reduzem as perdas por comutação, além de oferecer maior qualidade na forma de onda de saída, reduzindo as distorções harmônicas [34].

A topologia NPC1 (tipo I), por exemplo, utiliza diodos de grampeamento para limitar a tensão reversa sobre os dispositivos de comutação, enquanto a topologia NPC2 (tipo T) proporciona maior flexibilidade no projeto, permitindo uma redução adicional nas perdas de condução e comutação [35].

Contudo, essas topologias mais avançadas vêm acompanhadas do aumento na complexidade do circuito e nos custos de implementação, devido ao maior número de componentes necessários [36]. Esse *trade-off* entre eficiência e complexidade tem levado à exploração de soluções híbridas, que combinam diferentes topologias para otimizar o desempenho geral do sistema UPS. Por exemplo, um sistema híbrido pode empregar uma topologia de 3 níveis no retificador e uma topologia de 2 níveis no inversor, buscando um equilíbrio entre alta eficiência e custos reduzidos [37].

Na topologia 2 níveis de meia ponte, utilizam-se dois interruptores por fase e a tensão de fase assume apenas dois níveis possíveis, $+V_{dc}/2$ e $-V_{dc}/2$. Trata-se de uma topologia de construção simples, com menor número de componentes, tornando-a mais fácil de controlar e implementar. Por sua vez, as chaves são dimensionadas para suportar a tensão plena do barramento c.c. (V_{dc}). Embora a topologia 2 níveis preserve a qualidade da energia, sua eficiência é limitada pelas altas perdas de comutação nas chaves [8].

A topologia de 3 níveis NPC1 introduz um terceiro ponto à configuração, chamado de ponto de neutro. Tal topologia utiliza diodos de grampeamento para dividir a tensão total do barramento em dois níveis de tensão menores, que reduz para a metade ($V_{dc}/2$) a tensão sobre cada chave quando estão bloqueadas. Essa característica diminui as perdas de comutação e permite operação com semicondutores de menor tensão de bloqueio. Há três níveis possíveis de tensão de fase, $+V_{dc}/2$, 0 e $-V_{dc}/2$. Sendo assim, a forma de onda de saída apresenta menor distorção harmônica em relação à topologia de 2 níveis [38].

Já a topologia de 3 níveis NPC2 é uma evolução do NPC1, onde o número de chaves ativas é o mesmo, porém eliminando a necessidade do diodo de grampeamento. Na topologia NPC2, são utilizados semicondutores com diferentes tensões de bloqueio. As chaves externas se conectam diretamente ao barramento c.c. e devem suportar a tensão total do mesmo. Já as chaves internas, que se conectam ao ponto de neutro, suportam apenas metade da tensão do barramento. Isso é uma vantagem, pois permite o uso de chaves de menor capacidade de bloqueio nos interruptores internos, o que aumenta a eficiência e reduz as perdas de comutação [39].

Em geral, o inversor 2 níveis é considerado mais simples e econômico, enquanto os inversores 3 níveis são mais complexos, pela maior quantidade de chaves e condições de controle necessárias, mas oferecem vantagens em termos de qualidade da forma de onda e eficiência energética [40].

2.3 Semicondutores de potência

Os semicondutores utilizados em UPS ainda se baseiam em IGBTs de Silício (Si), contudo, têm-se experimentado avanços significativos na tecnologia, impulsionados principalmente pelo desenvolvimento de interruptores de potência baseados em materiais de larga banda (WBG), como o Carbeto de Silício (SiC) e o Nitreto de Gálio (GaN) [41].

Esses novos materiais oferecem propriedades superiores em comparação com o silício convencional, como maior capacidade de operação em altas temperaturas, maior eficiência em altas frequências de comutação, e menor necessidade de dissipação de calor. Esses fatores contribuem para a redução do tamanho e do peso dos componentes passivos, como indutores e capacitores, resultando em maior densidade de potência da UPS [42].

Estudos recentes têm evidenciado a viabilidade da aplicação de semicondutores WBG em conversores operando em altas frequências de chaveamento, tensões elevadas e temperaturas de trabalho elevadas, inclusive em sistemas de UPS, como estratégia para aprimorar o desempenho dos conversores [43, 44].

2.3.1 Dispositivos de silício

Os semicondutores de potência à base de Silício desempenham um papel central no desenvolvimento da eletrônica de potência, sendo amplamente utilizados em uma gama diversificada de aplicações, incluindo conversores de potência, inversores, retificadores e outras aplicações que exigem controle preciso de corrente e tensão. O silício, como material semicondutor, tornou-se dominante devido à sua abundância, custo acessível e robustez tecnológica, consolidando-se como o pilar fundamental para dispositivos como os MOSFETs, IGBTs e diodos de potência [45].

Os dispositivos semicondutores de silício mais comuns são os MOSFETs e os IGBTs, ambos os dispositivos apresentam características distintas e são adequados para diferentes aplicações. Os MOSFETs são caracterizados por alta velocidade de comutação e baixa perda por condução, sendo amplamente utilizados em aplicações que exigem alta frequência de chaveamento. No entanto, a tensão de ruptura dos MOSFETs de silício é limitada, o que restringe seu uso em aplicações de alta tensão. Já os IGBTs combinam as vantagens dos MOSFETs e dos transistores bipolares (BJT), oferecendo alta capacidade de corrente e baixa perda por condução. São amplamente utilizados em aplicações de média e alta potência, como drives de motores e inversores [46].

Embora os dispositivos de silício tenham dominado o mercado de semicondutores de potência por várias décadas, eles enfrentam desafios significativos à medida que as demandas por maior eficiência, densidade de potência e operação em alta temperatura aumentam. Uma das principais limitações do silício é sua faixa de temperatura de operação [47]. Isso restringe o uso de dispositivos de silício em ambientes de alta temperatura ou em sistemas que exigem maior densidade de potência, onde o gerenciamento térmico é um fator crítico.

Outro desafio importante é a eficiência em alta frequência de chaveamento. Embora os MOSFETs de silício sejam adequados para frequências de chaveamento mais altas, os IGBTs enfrentam dificuldades devido às maiores perdas de chaveamento em altas frequências. Isso torna os dispositivos de silício inadequados para aplicações que exigem comu-

tação rápida e alta eficiência, como sistemas de energia renovável e inversores de veículos elétricos [48].

Além disso, os semicondutores de silício enfrentam limitações em termos de tensão de bloqueio e densidade de corrente. À medida que a tensão de operação aumenta, a resistência de condução dos MOSFETs de silício também aumenta, o que resulta em perdas maiores [49].

2.3.2 Dispositivos de carbeto de silício

O SiC tem emergido como um material semicondutor promissor para a fabricação de dispositivos de potência, oferecendo propriedades superiores ao silício tradicional. Sua larga banda de energia, alta temperatura de operação e alta resistência à quebra dielétrica o tornam ideal para aplicações que buscam aumentar a eficiência energética, a densidade de potência e a confiabilidade de seus sistemas [22].

Os dispositivos semicondutores baseados em SiC oferecem uma série de vantagens sobre os equivalentes de Si, especialmente no que diz respeito à eficiência de comutação e capacidade de operação em alta frequência. Em conversores de potência, as perdas de chaveamento representam uma fração significativa das perdas totais do sistema, especialmente em altas frequências. O SiC se destaca nesse aspecto devido às suas características intrínsecas que permitem uma comutação mais rápida com perdas mínimas, resultando em maior eficiência energética em comparação com os dispositivos de silício [49].

As propriedades intrínsecas do SiC o tornam um material semicondutor altamente atraente para a fabricação de dispositivos de potência. A largura de banda é cerca de três vezes maior que a do silício, o que resulta em uma menor corrente de fuga e maior resistência à temperatura. Os dispositivos SiC podem operar em temperaturas muito mais elevadas do que os dispositivos de Si, permitindo uma maior densidade de potência e maior confiabilidade [50].

O SiC possui uma resistência à quebra dielétrica muito maior que o silício, permitindo a fabricação de dispositivos com maior tensão de bloqueio. Além disso, devido à sua alta

velocidade de comutação e baixas perdas por condução, os dispositivos de SiC apresentam maior eficiência em comparação com os dispositivos de silício.

Apesar dos dispositivos SiC oferecerem vantagens significativas sobre os equivalentes de silício, existem desafios que ainda precisam ser superados para uma adoção mais ampla dessa tecnologia. Um dos principais obstáculos é o custo de fabricação dos dispositivos de SiC, que ainda é significativamente maior do que o custo dos dispositivos de silício convencionais [51].

Além disso, a tecnologia de encapsulamento e montagem de dispositivos de SiC ainda está em desenvolvimento, especialmente no que diz respeito à confiabilidade e longevidade dos dispositivos em condições extremas de operação. Apesar do SiC possibilitar operação em altas temperaturas e tensões, tais benefícios precisam ser acompanhados por avanços nos métodos de integração e encapsulamento para garantir o funcionamento dos dispositivos de forma confiável ao longo de sua vida útil [52].

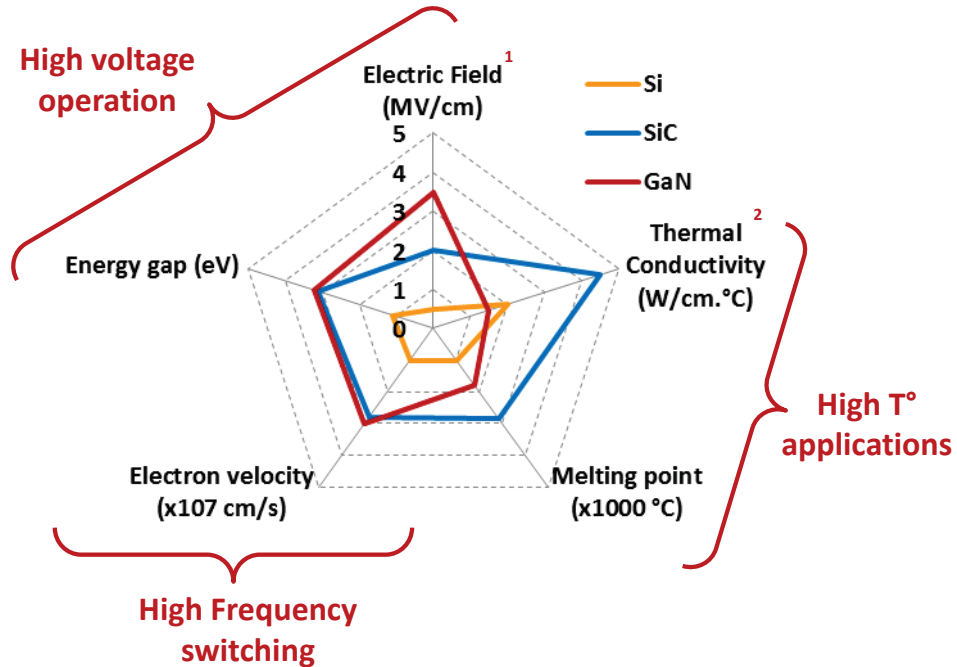
No entanto, à medida que a demanda por maior eficiência energética e densidade de potência continua a crescer, espera-se que o custo de produção dos dispositivos de SiC diminua, o que facilita a adoção em larga escala. Além disso, com o desenvolvimento contínuo de processos de fabricação e avanços na ciência dos materiais, é provável que novos dispositivos de SiC com melhor desempenho e menor custo surjam nos próximos anos, acelerando a transição para essa tecnologia em mais aplicações [47].

2.3.3 Comparação entre as tecnologias de semicondutores

A Figura 2.5 compara as principais características dos interruptores de Si com as tecnologias WBG, como o SiC e o GaN, onde nota-se o desempenho superior das novas tecnologias em diversos parâmetros.

O SiC tem banda de energia maior que o Si, o que permite operação em temperaturas mais elevadas e tolerância a maiores tensões. Além disso, o SiC tem maior condutividade térmica, que possibilita maior dissipação de potência e, conseqüentemente, operação com maior eficiência [53].

Figura 2.5: Comparação das características entre as tecnologias Si, SiC e GaN.



Fonte: [53].

Valendo-se de características superiores para operação em maiores frequências de chaveamento e altas temperaturas, o uso de MOSFET-SiC em substituição aos IGBT-Si em conversores de potência tende a promover maior eficiência energética e maior densidade de potência.

Os dispositivos de potência de silício, como os IGBTs e MOSFETs, continuam a desempenhar um papel fundamental na eletrônica de potência moderna. No entanto, à medida que as limitações térmicas e de eficiência se tornam mais evidentes, a busca por alternativas mais avançadas, como os dispositivos de SiC, está ganhando força. Logo, espera-se que os dispositivos WBG substituam gradualmente o silício em aplicações de alta performance, como UPSs de alta densidade.

O SiC representa uma revolução na eletrônica de potência, oferecendo vantagens substanciais em termos de eficiência, densidade de potência e capacidade de operação em condições extremas. Embora existam desafios a serem superados, a tendência de adoção de dispositivos de SiC está claramente em ascensão. À medida que a demanda por

sistemas mais eficientes e compactos continua a crescer, é provável que o SiC se torne a tecnologia dominante em aplicações de alta potência, alta tensão e alta frequência, substituindo gradualmente o silício tradicional em uma variedade de indústrias [54].

2.4 Conclusões do capítulo

Este capítulo realizou uma breve revisão bibliográfica sobre o estado da arte das UPS, considerando os tipos de UPS estático, as principais topologias de inversores e as tecnologias de semicondutores de potência utilizados. A evolução das UPS, impulsionada pela demanda por maior confiabilidade, eficiência e densidade de potência, tem levado ao desenvolvimento de soluções cada vez mais sofisticadas, capazes de atender às necessidades de cargas críticas e ambientes industriais de alta performance.

A comparação das diferentes topologias de inversores, como o inversor de dois níveis, NPC1 e NPC2, evidenciou as vantagens e limitações de cada uma em termos de complexidade de implementação, custos e desempenho. Essa análise comparativa mostra que a escolha da topologia depende fortemente do equilíbrio entre custo, complexidade e eficiência, sendo essencial para otimizar o desempenho das UPS.

Por fim, a discussão sobre as tecnologias de semicondutores de potência, com foco nos dispositivos de silício e carbeto de silício, revelou as diferenças fundamentais entre essas tecnologias e suas implicações no desempenho das UPS. Assim, a escolha entre Si e SiC depende diretamente das exigências específicas da aplicação, sendo um fator crítico no design de UPS mais eficientes e compactas.

Capítulo 3

Ferramenta Computacional para Projeto Multiobjetivo de Conversores

Neste trabalho, uma ferramenta computacional para projeto multiobjetivo de conversores foi utilizada para a investigação proposta. A ferramenta foi desenvolvida pelo GEP-UFMG, em ambiente MATLAB com banco de dados de componentes em SQL e permite que o usuário defina diversas condições de projeto de conversores, de modo a possibilitar a personalização dos cenários de análise. Os detalhes do desenvolvimento da ferramenta são abordados em [55, 56].

A ferramenta utiliza dados de perdas nos semicondutores, características dos indutores e outros parâmetros relevantes para encontrar um ponto ótimo de projeto. Para análise multiobjetiva do projeto dos conversores, utiliza-se a metodologia da curva de Pareto, assim como em [57].

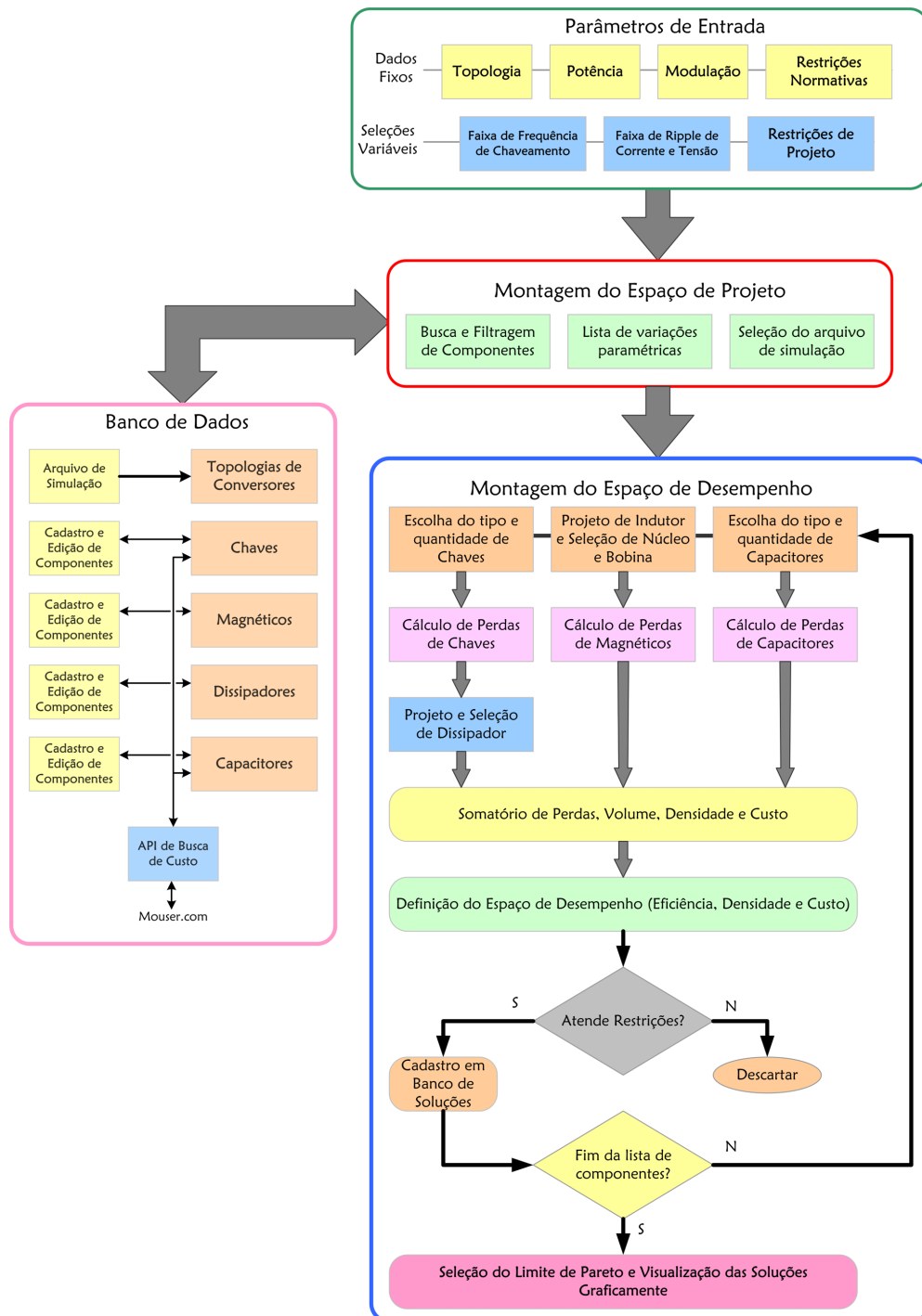
3.1 Estrutura da ferramenta

O procedimento de otimização da ferramenta computacional é baseado na análise de Pareto do espaço de soluções dos possíveis projetos que atendam às especificações iniciais, com foco na otimização da eficiência, densidade de potência e custo.

Apresenta-se na Figura 3.1 um fluxograma-resumo contendo o algoritmo de otimização

da ferramenta computacional, destacando os principais passos desde a entrada dos dados até a obtenção da solução otimizada de maneira a satisfazer as condições de projeto.

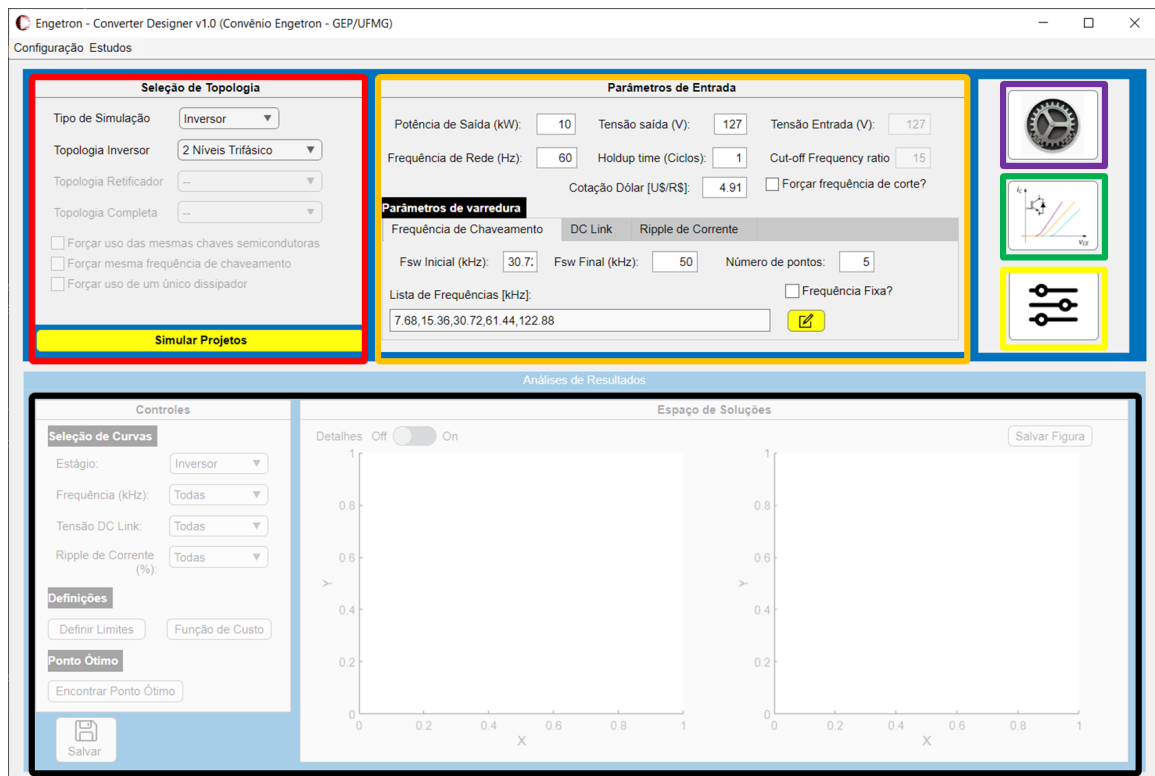
Figura 3.1: Fluxograma-resumo do algoritmo de otimização da ferramenta computacional.



Fonte: Dados da Pesquisa, 2024.

Primeiramente, estabelecem-se como dados de entrada na ferramenta os critérios de projeto do conversor, como: a topologia, tensões e potências nominais, frequência de chaveamento, *ripple* de corrente, etc. A Figura 3.2 apresenta a interface geral da ferramenta computacional de otimização multiobjetivo, utilizada neste trabalho.

Figura 3.2: Interface geral da ferramenta computacional.



Fonte: Dados da Pesquisa, 2024.

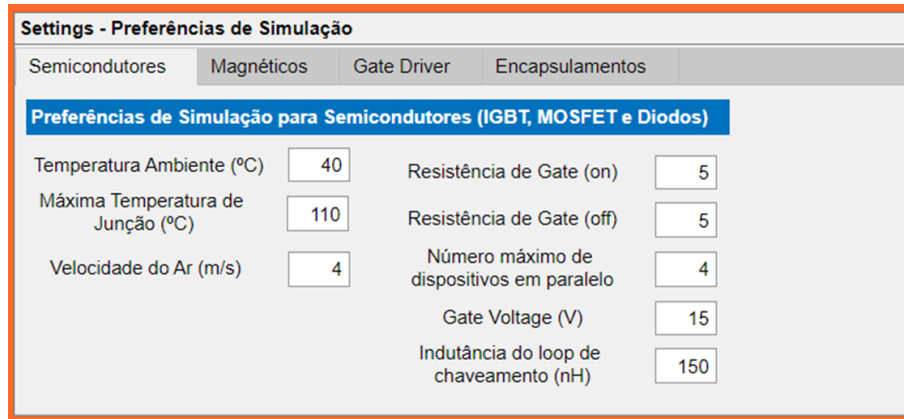
Conforme destacado em vermelho na Figura 3.2, seleciona-se qual conversor será simulado: retificador, inversor ou ambos. O foco deste trabalho de mestrado será os projetos e análise do inversor. Além disso, define-se também a topologia a ser considerada no projeto: 2 níveis ou 3 níveis NPC1, e a configuração elétrica do conversor, monofásico ou trifásico.

Os parâmetros elétricos do conversor, como potência, frequência, potência e tempo de *holdup* do barramento c.c. são inseridos nas opções representadas no retângulo laranja na Figura 3.2. Também é informada a cotação do dólar a ser considerada no cálculo de custos dos componentes cujos preços são definidos nessa moeda.

Ainda no retângulo laranja, é possível definir a faixa de varredura de três parâmetros: (1) frequência de chaveamento, (2) tensão do barramento c.c. e (3) *ripple* da corrente. Pode-se tanto definir uma lista de valores para tais parâmetros, que serão alterados automaticamente pela ferramenta durante as simulações, quanto pode-se definir um valor fixo para os parâmetros que não serão modificados.

Destacado na cor lilás na Figura 3.2 é o botão para acesso ao submenu para configurações das preferências de simulação. São apresentadas na Figura 3.3 as opções de definições das preferências relacionadas aos semicondutores (IGBT, MOSFET e diodos).

Figura 3.3: Interface de configurações das preferências de simulação dos semicondutores.



Fonte: Dados da Pesquisa, 2024.

Tais definições influenciarão principalmente a modelagem e o cálculo das perdas desses componentes, a partir das condições de operação definidas. Por exemplo, a tensão de gate (*Gate Voltage*) influencia diretamente a seleção das curvas de desempenho dos semicondutores disponíveis no banco de dados. Esse parâmetro é essencial porque as características elétricas dos dispositivos, como perdas de condução e comutação, variam em função da tensão aplicada no gate.

Na Figura 3.4 destacam-se o conjunto de preferências de simulação para elementos magnéticos. Essas configurações são cruciais para a modelagem precisa dos indutores na simulação do conversor. São definidos parâmetros como fator de utilização máximo do núcleo magnético, máxima variação da indutância em relação ao valor nominal, fator de crista da forma de onda da corrente no enrolamento, entre outros.

Figura 3.4: Interface de configurações das preferências de simulação dos magnéticos.

Settings - Preferências de Simulação			
Semicondutores	Magnéticos	Gate Driver	Encapsulamentos
Preferências de Simulação para elementos magnéticos			<input type="checkbox"/> Cálculo de Perdas pelo iGSE
Fator de utilização máximo	<input type="text" value="0.4"/>	Máxima densidade de corrente (A/mm²)	<input type="text" value="4.5"/>
Máxima densidade de fluxo (pu)	<input type="text" value="0.8"/>	Máximo número de Bundles no enrolamento:	<input type="text" value="2"/>
Máximo número de núcleos toroidais empilhados	<input type="text" value="3"/>	Distância mínima entre fios de um enrolamento (mm)	<input type="text" value="0.01"/>
Máxima degeneração de indutância (pu)	<input type="text" value="0.15"/>	Preço por kilo do fio esmaltado:	<input type="text" value="125.4"/>
Fator de Crista Desejado	<input type="text" value="3"/>	Moeda:	<input type="text" value="BRL"/>

Fonte: Dados da Pesquisa, 2024.

Por fim, no que refere-se às configurações de preferências, a Figura 3.5 apresenta a seção das configurações relacionadas ao *gate driver*. É possível selecionar o modelo específico de *gate driver* que será utilizado na simulação, de acordo com o tipo da chave, IGBT ou MOSFET. Ademais, especifica-se a tensão máxima suportada pelo *gate driver*, o número de dispositivos que são acionados simultaneamente e o custo unitário do *gate driver*. No exemplo, é apresentado um modelo genérico considerado para acionamento de uma única chave.

Figura 3.5: Interface de configurações das preferências de simulação do *gate driver*.

Settings - Preferências de Simulação			
Semicondutores	Magnéticos	Gate Driver	Encapsulamentos
Modelos de Gate Driver considerados nas simulações			
Tecnologia	<input type="text" value="IGBT"/>	Modelo de Gate Driver:	<input type="text" value="GDriver-1SW-IGBT"/>
Detalhes			
Versão:	<input type="text" value="v1.0"/>	Tensão máxima (V)	<input type="text" value="1200"/>
		Chaves Acionadas:	<input type="text" value="1"/>
Descrição:	<input type="text" value="Gate Driver para 1 IGBT"/>		
Preço Unitário	<input type="text" value="50"/>	BRL	<input type="button" value="Editar/Criar Nova"/>

Fonte: Dados da Pesquisa, 2024.

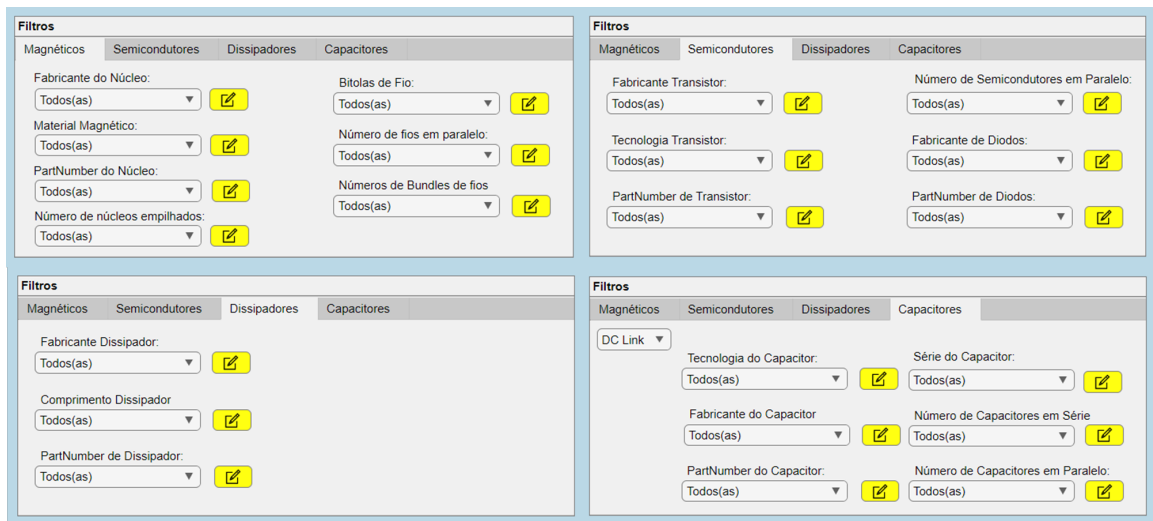
Na ferramenta computacional, o *gate driver* influencia diretamente na composição do custo total do conversor, pois seu valor é calculado com base na quantidade de chaves

utilizadas nas diferentes topologias simuladas. Assim, o modelo genérico de *gate driver* adotado considera apenas o custo unitário multiplicado pelo número de dispositivos acionados. No entanto, outros aspectos relacionados à influência do *gate driver* na operação do conversor, como desempenho dinâmico, perdas adicionais ou limitações práticas no acionamento das chaves, não foram avaliados nas análises realizadas neste trabalho.

Na Figura 3.2 é destacado em amarelo o botão para acesso à interface de filtros disponíveis na ferramenta que permitem o controle de simulação. Tais opções são apresentadas na Figura 3.6 e permitem que o usuário selecione e filtre os componentes a serem considerados na simulação, de acordo com critérios específicos. Os filtros são úteis, por exemplo, para agilizar o processo de seleção de componentes, especialmente em projetos com um grande número de opções disponíveis, ou até mesmo adaptar a simulação a diferentes cenários e requisitos de projeto.

No submenu de filtros, cada painel oferece uma série de filtros para refinar a seleção, que são distribuídos para cada tipo específico de componente: magnéticos, semicondutores, dissipadores e capacitores.

Figura 3.6: Filtros para controle de simulação.



Fonte: Dados da Pesquisa, 2024.

Após a definição dos parâmetros e variáveis de entrada do projeto, inicia-se as comparações internas de componentes. Durante essas comparações, diversas opções de projeto

são simuladas, levando em conta a base de dados escolhida. Os detalhes sobre essas comparações serão abordados em seções posteriores.

A ferramenta realiza diversas interações para simular o desempenho do conversor nas diferentes condições definidas pelo usuário, avaliando todas as opções de projeto disponíveis. Realiza-se uma análise de Pareto preliminar e individual para cada lista de componentes, como magnéticos, semicondutores, dissipadores e capacitores. Esse processo visa reduzir a quantidade de alternativas viáveis dentro de cada categoria, direcionando as análises para soluções com desempenho mais promissor e diminuindo o esforço computacional.

Posteriormente, as alternativas selecionadas em cada lista são combinadas para uma avaliação conjunta na análise da fronteira de Pareto global do conversor. O objetivo é encontrar a melhor combinação dentro da fronteira de Pareto. Cada solução encontrada é armazenada no decorrer das interações, e então uma nova combinação é analisada.

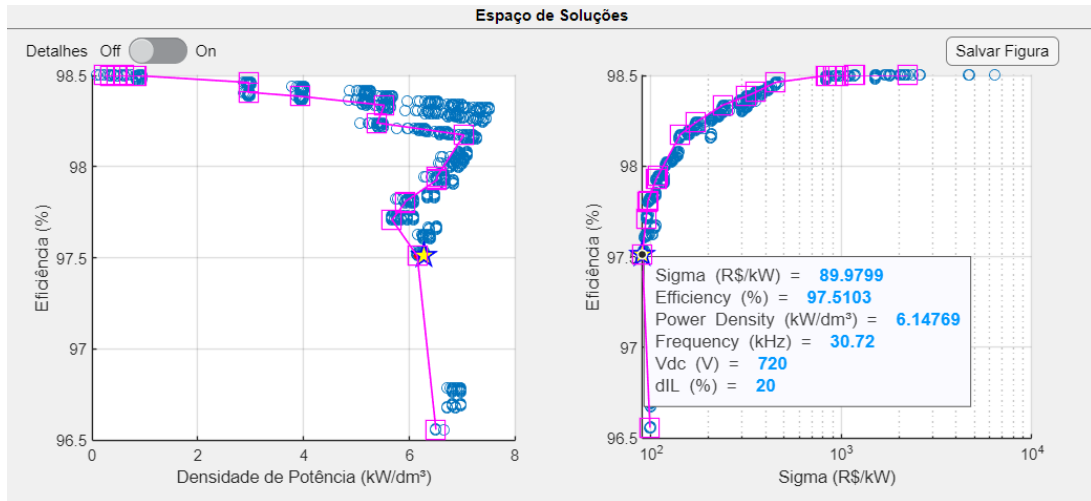
Com a conclusão da avaliação das variáveis de entrada, considerando os eventuais filtros aplicados, a ferramenta gera um gráfico do espaço de soluções possíveis, permitindo escolher o modelo que melhor atenda às necessidades do projeto. Os resultados são apresentados na área destacada pelo retângulo preto na Figura 3.2.

Ilustra-se na Figura 3.7 um exemplo de solução retornada pela ferramenta, onde observa-se os resultados da simulação em gráficos de eficiência (η) x densidade de potência (ρ), e de eficiência (η) x custo por potência (σ). Cada ponto azul corresponde a uma solução possível obtida e representa um conjunto específico de parâmetros de projeto, como modelos de chaves, projetos dos indutores, etc.

A ferramenta permite encontrar o ponto ótimo de operação do conversor, que resulta no melhor compromisso entre os diferentes critérios de desempenho. A solução considerada ótima é destacada pela estrela amarela em ambos os gráficos.

A região destacada em lilás na Figura 3.7 indica a fronteira de Pareto de um gráfico, e sua correspondência no gráfico oposto. Na fronteira de Pareto, nenhuma solução domina completamente outra, e cada ponto representa um compromisso entre os diferentes objetivos. Para melhorar um objetivo, é necessário sacrificar outro [58].

Figura 3.7: Espaço de soluções obtidos pela ferramenta computacional.



Fonte: Dados da Pesquisa, 2024.

Por fim, ao selecionar um determinado ponto, são apresentadas informações detalhadas sobre o respectivo projeto, como a relação de custo por potência, a eficiência e a densidade do conversor no ponto de operação, entre outros, conforme ilustrado na Figura 3.8.

Destaca-se que este relatório é disponível para todos os projetos possíveis do espaço de soluções proposto pela ferramenta computacional, o que permite avaliar, além do projeto otimizado, os demais projetos na vizinhança do mesmo.

Além disso, são apresentados os dados de implementação do projeto, divididos para cada parte do conversor. Os detalhes do dimensionamento de cada parcela serão abordados no Capítulo 4.

- Nos semicondutores é feito o detalhamento como modelo e tipo de chave utilizada, o modelo de diodo (se aplicável à topologia) e quantidades dos componentes.
- Para o dissipador é apresentado o modelo específico, a dimensão física do mesmo e temperatura máxima atingida.
- Para o indutor são apresentadas os detalhes de projeto como modelo do núcleo, número de espiras, tipo de fio, com quantidade utilizada e forma de agrupamento, etc.

Figura 3.8: Detalhes da solução.

The screenshot shows a software window titled "Relatório de Projeto" with two main sections: "Dados de desempenho" and "Dados de implementação".

Dados de desempenho:

Perdas (W):	255.3	Preço (R\$):	899.8	Frequência (kHz):	30.72
Peso (kg):	3.105	Eficiência (%):	97.51	DC Link (V):	720
Volume(dm³):	1.627	Densidade (kW/dm³):	6.148	Ripple (%):	20

Dados de implementação:

Navigation tabs: Semicondutores, **Dissipador**, Indutor, Capacitor DC Link, Cap

Chave:	IKW30N65ES5	Tecnologia:	IGBT
Fabricante:	Infineon	Chaves em paralelo:	1
Diodo:	APT60DQ60BG	Fabricante:	Microchip
Gate Driver:	HCPL-1SW-001		
Preço Chaves (R\$):	48.4	Temperatura de Junção (°C):	149.7
Preço Diodos (R\$):	16.72	Perdas nas Chaves (W):	178.7
Preço Gate Drivers (R\$):	110	Perdas nos Diodos (W):	36.65
Preço Total (R\$):	175.1	Perdas Totais (W):	215.3
Quantidade de Chaves:	4	Quantidade de Diodos:	2
Quantidade de Gate Drivers:	4		

Fonte: Dados da Pesquisa, 2024.

- Para os capacitores são apresentados os modelos e quantidades aplicadas, além da forma de associação em série e/ou paralelo.

Em todos os grupos de componente são apresentados também os preços e perdas associados a cada parcela do conversor. O relatório de desempenho auxilia a identificar possíveis empecilhos e áreas de melhoria, o que contribui para o processo de otimização do projeto.

O botão destacado na cor verde na Figura 3.2 trata-se da opção para acesso ao banco de dados de componentes da ferramenta, que será abordado em mais detalhes a seguir.

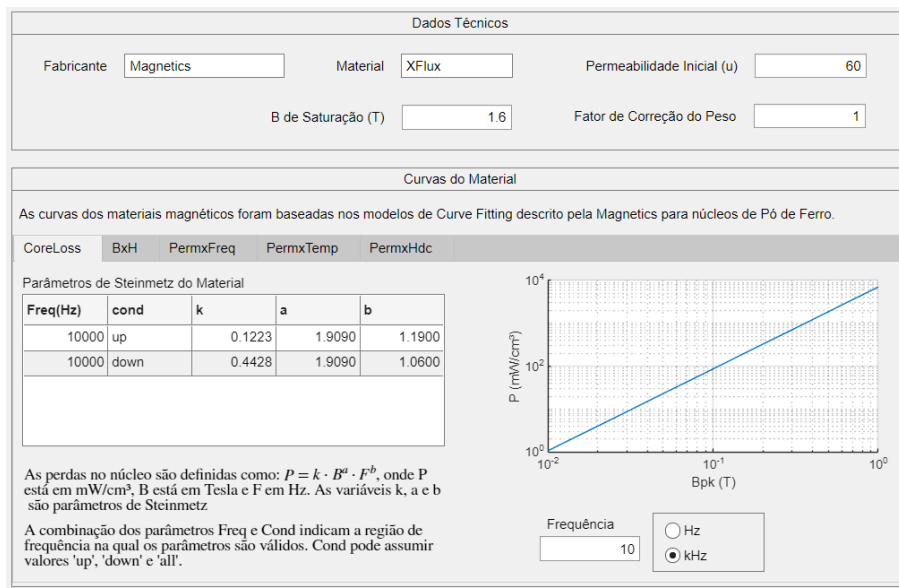
3.2 Banco de dados de componentes

A ferramenta computacional integra um banco de dados abrangente, que reúne os principais parâmetros de diferentes componentes como semicondutores, indutores, capa-

citores, dissipadores de calor e outros elementos fundamentais para o funcionamento dos conversores. Este banco de dados fornece uma ampla gama de opções na análise das diversas possibilidades durante o processo de definição do projeto.

No trabalho foram considerados núcleos toroidais de pó de ferro das famílias *MPP*, *Kool Mμ*, *High Flux* e *XFlux* do fabricante Magnetics. A Figura 3.9 exemplifica a interface de dados técnicos que descreve as propriedades de um material magnético específico. Há uma seção principal com informações sobre o fabricante do material, a denominação do material (linha do fabricante) e a permeabilidade inicial do material. Também são incluídas as curvas de desempenho dos materiais magnéticos, baseadas nas constantes e modelos de ajustes de curvas disponibilizados pelo fabricante.

Figura 3.9: Exemplo da base de dados de materiais magnéticos.



Fonte: Dados da Pesquisa, 2024.

A Figura 3.10 apresenta a interface do banco de dados relacionada aos núcleos magnéticos. O campo de dados básicos contém informações essenciais como o fabricante e modelo do núcleo, o material e sua permeabilidade, além do valor AL (nH/e²), que está relacionado à indutância. Também são fornecidas as dimensões do núcleo, como o diâmetro externo e interno e a altura. Outros parâmetros, como a área efetiva, comprimento efetivo e volume efetivo, completam a descrição geométrica do núcleo.

Figura 3.10: Exemplo da base de dados de núcleos magnéticos.

Dados Básicos			
PartNumber	78110	Fabricante	Magnetics
Cod. Núcleo	55109A2	Peso (g)	180
Permeabilidade (u)	60	Material	XFlux
AL (nH/e²)	75		

Dimensões - Núcleo		Dimensões com Enrolamento		Área de Superfície	
OD (mm)	57.2	40% de Fator de ocupação	OD (mm)	25.9	Núcleo nú (mm²)
Aw (mm²)	948	HT (mm)	63.5	Núcleo 40% (mm²)	7700
ID (mm)	35.6	Ocupação completa da janela	OD (mm)	81.3	
Ae (mm²)	144	HT (mm)	44.4		1.3e+04
HT (mm)	14				
Le (mm)	143				
Ve (mm²)	2.07e+04				
Area Product (mm4)	1.37e+05				

Preço	
Preço Unitário	19.12
Moeda:	BRL

Comprimento médio por espira	
F.U.	MLT (mm)
0%	53
20%	61.9
25%	64.3
30%	65.8
35%	68.7
40%	71
45%	73.2
50%	76
60%	81.3
70%	87.1

Fonte: Dados da Pesquisa, 2024.

Além disso, a Figura 3.10 mostra informações sobre o enrolamento do núcleo, incluindo o diâmetro externo com enrolamento e a ocupação da janela com 40% de fator de utilização. A área de superfície do núcleo, tanto nu quanto com 40% de ocupação, também é indicada. O banco de dados também fornece uma tabela de comprimentos médios por espira (MLT), que varia conforme o fator de utilização do núcleo (F.U.) aumenta.

Por fim, também é especificado o preço unitário do núcleo, a ser considerado na composição de preço do indutor. As informações contidas no banco de dados possibilitam à ferramenta selecionar o núcleo mais adequado para o projeto, considerando diferentes fatores.

O banco de dados da ferramenta computacional também dispõe de uma tabela detalhada dos fios condutores para diferentes bitolas AWG, que inclui informações sobre os diâmetros e áreas de seção transversal, com e sem isolamento, além da resistência elétrica e o peso por unidade de comprimento. Esses dados são utilizados na definição da bobina do indutor, auxiliando no dimensionamento adequado e na análise de desempenho.

O preço total da bobina do indutor é calculado usando o preço por quilograma do fio

esmaltado definido nas preferências de simulação de Magnéticos (Figura 3.4), multiplicado pelo peso total do enrolamento. Define-se o peso do enrolamento da bobina pela multiplicação do peso do fio por unidade de comprimento pelo número de espiras, número de fios em paralelo e comprimento médio por espira.

Para os semicondutores, foram selecionadas chaves IGBT Si com tensões de bloqueio de 650 V e 1200 V, além de chaves MOSFETs SiC com tensão de 900 V, de diferentes fabricantes, como Infineon, Magnachip, OnSemi, ROHM, Wolfspeed, entre outros. Exemplifica-se na Figura 3.11 a interface do banco de dados com informações detalhadas sobre um semiconductor, organizada em diferentes seções.

Figura 3.11: Exemplo da base de dados de semicondutores.

The screenshot shows a web-based interface for semiconductor data, organized into three main sections: 'Dados Básicos', 'Dados Técnicos', and 'Curvas'.

- Dados Básicos:** Includes fields for Part Number (IKW50N65ES5), Fabricante (Infineon), and Tipo (Discrete).
- Dados Técnicos:** Includes Package (TO-247), SinkType (HeatSink), Clamp (FALSE), VCE (V) (650), IC@25°C (A) (80), IC@TjMax (A) (60.5), TjMax (°C) (175), Rthjc_Q (K/W) (0.55), Rthjc_D (K/W) (0.63), and Le (nH) (13).
- Curvas:** A grid of buttons representing various characteristic curves, such as 'Ic x VCE', 'Eon x Ic', 'Eon x RG', 'Eon x T', 'Eon x VCE', 'Eoff x Ic', 'Eoff x RG', 'Eoff x T', 'Eoff x VCE', 'IF x VF', 'Err x IF', 'Err x RG', 'Err x dIF/dt', 'Qrr x IF', 'Qrr x dIF/dt', and 'dlrr x dIF'.
- Custo:** A table showing quantity and price for different quantities:

Quantidade	Preço
1	\$6.00
10	\$5.04
25	\$4.76
100	\$4.08
240	\$3.85
480	\$3.62

 Below the table is an 'Atualizar' button and a 'Mouser' logo.

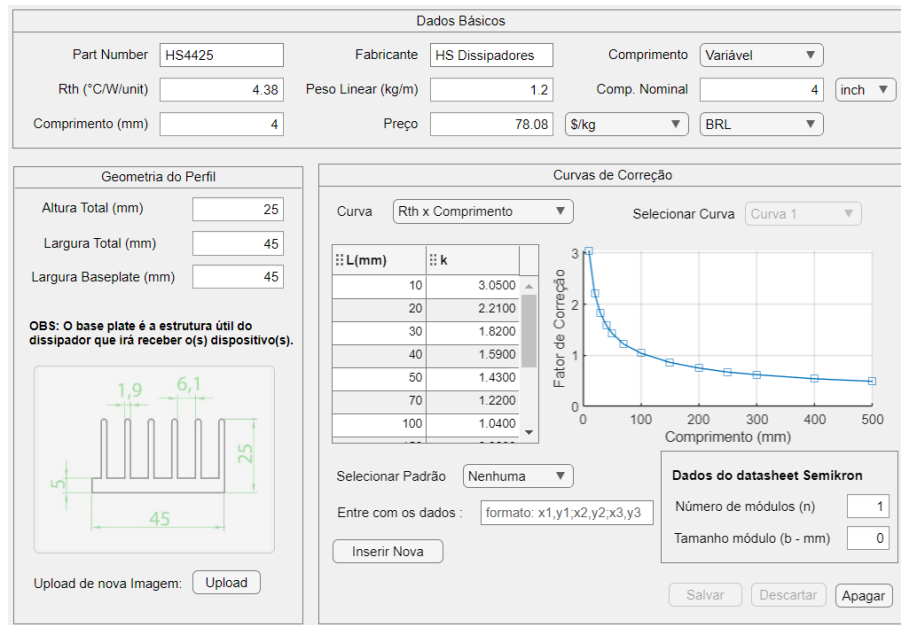
Fonte: Dados da Pesquisa, 2024.

Inicialmente há campos básicos como fabricante, *part number* e tipo de encapsulamento para identificar o componente específico. Em seguida, são informados os parâmetros essenciais para a caracterização elétrica e térmica do componente, como corrente máxima de operação em diferentes condições de temperatura, temperatura máxima de junção e a tensão de bloqueio do componente. Os campos das resistências térmicas também estão incluídos para fornecer informações sobre o desempenho térmico durante a operação.

Na seção de custos do semicondutor, há uma tabela que apresenta o preço do componente conforme a quantidade a ser adquirida. Também há uma seção dedicada às curvas de desempenho, digitalizadas a partir do *datasheet* dos componentes, onde diferentes gráficos são incluídos para análise, como a relação entre corrente e tensão, energia de comutação e tempo de recuperação. Esses gráficos são fundamentais para as simulações pela ferramenta do comportamento dinâmico do componente nas diversas condições de operação previstas nos requisitos de projeto.

Para os dissipadores foram utilizados modelos extrudados do fabricante HS Dissipadores, com as geometrias do perfil similares ao modelo da UPS de referência avaliada no estudo de caso. Na Figura 3.12 ilustra-se a interface do banco de dados para as informações técnicas e comerciais do dissipador, com campos para identificação do componente, como o *part number* e o fabricante. Há também informações específicas do dissipador, como a resistência térmica ($^{\circ}C/W$), o peso linear do dissipador (kg/m), comprimento nominal e o preço, que podem ser configurados em diferentes unidades monetárias.

Figura 3.12: Exemplo da base de dados dos dissipadores.



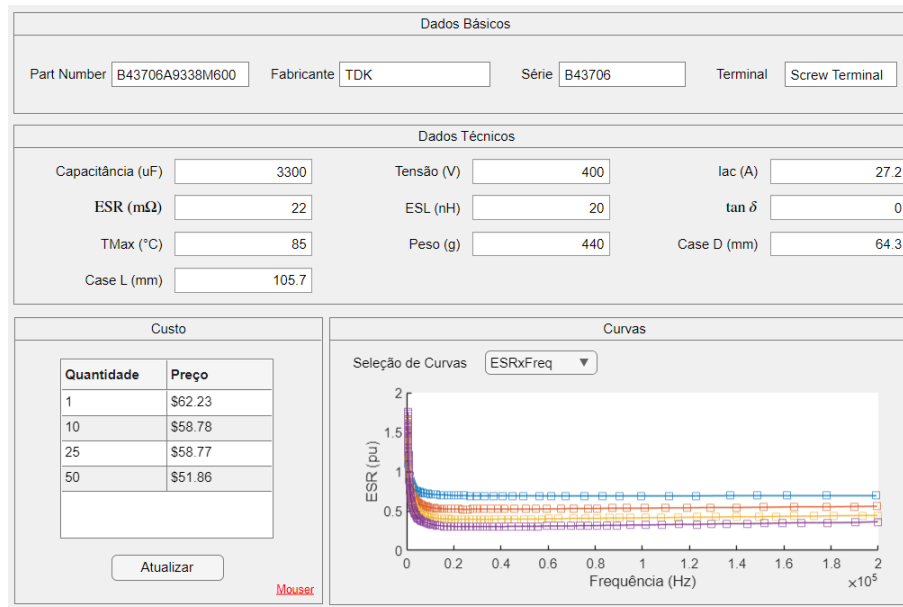
Fonte: Dados da Pesquisa, 2024.

Em relação à geometria do perfil do dissipador, são exibidas as dimensões físicas do

modelo, incluindo altura total, largura total e largura do *baseplate*. Uma ilustração do perfil geométrico do dissipador é apresentada com dimensões detalhadas, fornecendo uma visão clara da estrutura física do dissipador. Além disso, há também as curvas de correção, onde são exibidos gráficos e tabelas que correlacionam a resistência térmica do dissipador em função do comprimento ou da velocidade do ar.

Já para os capacitores, foram considerados no banco de dados da ferramenta modelos eletrolíticos dos fabricantes KEMET e TDK para o banco do barramento c.c., e modelos poliéster (MKT) dos mesmos fabricantes, além da PANASONIC, para o projeto do filtro de saída do inversor. A Figura 3.13 apresenta a interface voltada para a caracterização dos capacitores no banco de dados.

Figura 3.13: Exemplo da base de dados dos capacitores.



Fonte: Dados da Pesquisa, 2024.

A seção de dados básicos contempla informações de identificação do componente como fabricante, *part number* e série, além do tipo de terminal utilizado no capacitor. Na seção de dados técnicos, estão listados parâmetros essenciais para a utilização do capacitor, como a capacitância, tensão nominal, o valor de ESR (*Equivalent Series Resistance*) e o valor de ESL (*Equivalent Series Inductance*).

Além disso, são mostradas a temperatura máxima de operação e a corrente de ripple suportada. O peso e as dimensões físicas do capacitor também estão presentes, o que permite validar a montagem física da solução completa do banco de capacitores necessários no projeto do conversor.

Há também uma tabela de preços dos capacitores que varia conforme a quantidade de capacitores comprados. Por fim, há gráficos que mostram a variação da ESR em função da frequência, de acordo com a temperatura de operação.

3.3 Conclusões do capítulo

Este capítulo foi destinado à apresentação da ferramenta computacional multiobjetiva utilizada neste trabalho. Foram apresentadas a estrutura organizacional da ferramenta e do banco de dados de componentes utilizados para as simulações dos conversores.

Na etapa inicial, estão os parâmetros de entrada que representam os dados fixos, além de seleções variáveis, como frequência de chaveamento, tensão de barramento e ripple de corrente de saída. Esses parâmetros são essenciais para estabelecer as diretrizes do projeto e orientar a busca por componentes e configurações que atendam às exigências do conversor em desenvolvimento.

O espaço de projeto abrange as fases de busca e filtragem de componentes, geração de uma lista de variações paramétricas e a seleção dos arquivos de simulação adequados, conforme a topologia escolhida. Cada topologia possui um arquivo de simulação específico no Simulink, que é utilizado para obter os vetores de corrente adequados para os componentes, o que garante que a composição de componentes da topologia seja analisada alinhada aos parâmetros de funcionamento do conversor. Este espaço é construído com base nos dados de entrada e possibilita uma análise inicial das opções de componentes, viabilizando a escolha de soluções que melhor se adequem às especificações do projeto.

O banco de dados é uma base fundamental da ferramenta, contendo informações detalhadas de componentes como chaves, magnéticos, dissipadores e capacitores. Cada componente é caracterizado por suas especificações técnicas, com os parâmetros relevantes para

o projeto. Essas informações permitem que a ferramenta compute o desempenho esperado do conversor pela combinação de diferentes componentes e, posteriormente, selecione os elementos mais adequados para atender aos requisitos do projeto.

Na montagem do espaço de desempenho ocorre a seleção de chaves, o projeto de indutores e a escolha de capacitores, com cálculos de perdas detalhados. Com os resultados, o projeto passa por uma verificação de restrições e, se aprovado, é cadastrado no banco de soluções. Caso contrário, é descartado. Ao final, são geradas as soluções otimizadas, com base no limite de Pareto, permitindo ao usuário visualizar graficamente o desempenho, densidade e custo das opções geradas.

Essa estrutura modular e integrada da ferramenta, aliada ao banco de dados de componentes, proporciona um processo de projeto eficiente e detalhado, permitindo que o usuário explore múltiplas soluções, sempre orientado por critérios técnicos e econômicos, oferecendo flexibilidade e precisão na otimização do conversor.

Capítulo 4

Metodologia de Análise de Desempenho de Conversores

Comparações de desempenho dos conversores, principalmente eficiência e densidade de potência, exigem considerações das perdas e volumes de cada parte integrante do sistema, como os circuitos de potência e sistemas de refrigeração. Para simplificar a avaliação e ainda assim manter a relevância dos resultados, deve-se concentrar principalmente nos estágios que mais impactam a performance do conversor, como as perdas nos semicondutores e o projeto do indutor [59].

Mesmo concentrando as figuras de mérito a serem analisadas nos blocos essenciais do conversor, o espaço de soluções é muito vasto, uma vez que diferentes condições iniciais no projeto dos conversores (e.g., frequência de chaveamento, ripple de corrente, etc.) podem produzir um grande volume de soluções possíveis para um mesmo ponto de operação. Com isso, o uso de ferramentas computacionais para projeto multiobjetivo de conversores e a posterior análise das soluções encontradas se torna uma necessidade [60, 61].

Nesta seção, a metodologia de projeto da ferramenta computacional utilizada será discutida. A metodologia envolve o cálculo das perdas e dos volumes dos componentes relevantes, e posteriormente a análise de variáveis como eficiência, densidade de potência e custos, com o objetivo de encontrar a composição ótima que proporciona melhor desempenho para o conversor completo.

4.1 Algoritmos de otimização

A abordagem de otimização empregada neste estudo considera os principais componentes que têm impacto significativo no projeto final do conversor. A ferramenta computacional avalia o modelo elétrico do conversor, considerando a topologia do mesmo, além das correntes e tensões para as condições de projeto especificadas.

A partir dos vetores de correntes obtidos da simulação computacional do conversor, são avaliadas cada etapa do sistema, como os semicondutores de potência, analisando as perdas de condução e chaveamento, e os dissipadores, avaliando o modelo térmico e volume do perfil que atenda aos requisitos de projeto.

Avalia-se o projeto do indutor, incluindo perdas nos fios e no núcleo através do modelo térmico do mesmo, além da montagem mecânica do indutor, com empilhamentos de núcleos e enrolamento e agrupamentos dos fios na bobina, para avaliação do volume ocupado. Analisa-se também os capacitores do conversor, principalmente no barramento c.c., compatíveis com a capacitância total necessária, visando atender às condições de *hold-up time* do sistema.

A otimização do projeto do inversor é baseada na análise de Pareto do conjunto de soluções viáveis em cada etapa do conversor. A solução ótima que atenda às especificações iniciais é encontrada através da avaliação de múltiplos objetivos de otimização, com foco no volume, perdas e preço.

4.1.1 Semicondutor

O projeto dos dispositivos semicondutores é uma etapa fundamental na otimização de conversores de potência. Neste contexto, é comum que o projeto seja realizado sob a premissa de que os dispositivos operam nas piores condições possíveis, um conceito conhecido como *pior caso*. Essa abordagem conservadora implica que os semicondutores são projetados para funcionar com a temperatura de junção máxima, que está associada ao limite térmico do dispositivo. Tal suposição introduz uma margem de segurança no

dimensionamento dos componentes, garantindo que eles operem de forma confiável mesmo em condições adversas [62].

O cálculo das perdas nos semicondutores é baseado nas formas de onda de corrente instantâneas, juntamente com as curvas características disponíveis nos datasheets dos respectivos componentes. Tais curvas descrevem o comportamento dos dispositivos durante a condução e as energias dissipadas nos processos de chaveamento, tanto no ligamento (*turn-on*), quanto no desligamento (*turn-off*).

A ferramenta computacional implementa uma função para o dimensionamento de múltiplos projetos de conversores com semicondutores, avaliando dispositivos como IGBTs, MOSFETs e diodos, com tecnologia de Si e SiC, com foco em determinar as configurações que atendem aos requisitos elétricos e térmicos do sistema.

A lógica de cálculo da função envolve a seleção, filtragem e análise de dispositivos semicondutores para o projeto de conversores, considerando suas perdas e características térmicas. Inicialmente, define-se a tensão máxima (v_{stress}) nos dispositivos semicondutores com base na topologia do inversor. Para a topologia HB, o fator de estresse é igual a 1, indicando que a tensão aplicada aos dispositivos equivale à tensão total do barramento c.c.. Já para a topologia NPC, o fator é 0,5, pois a tensão máxima nos dispositivos é metade da tensão do barramento.

A próxima etapa estabelece os parâmetros e limites a serem analisados, como resistência de gate ($R_{g,on}$ e $R_{g,off}$), tensão de gate (V_{gate}), número máximo de dispositivos que podem ser conectados em paralelo (N_{par}), atribuídos nas preferências de simulação, conforme apresentado previamente na Figura 3.3. Neste trabalho, foi arbitrada uma temperatura ambiente de 40 °C, uma temperatura máxima de junção dos semicondutores de 140 °C e uma velocidade do ar imposta por ventilação forçada de 4 m/s.

Na sequência, o algoritmo busca os dispositivos disponíveis no banco de dados e aplica uma filtragem inicial. Os dispositivos são filtrados por tipo, tecnologia, fabricante e *part number*, para atender a restrições específicas ou preferências do projeto. Além disso, apenas dispositivos cuja tensão nominal seja superior à tensão máxima esperada, mais uma margem de segurança, são considerados ($V_{CE}/V_{DS}/V_r \geq v_{stress} \cdot 1,25$).

Após selecionar os dispositivos, o algoritmo extrai as curvas de corrente para os semicondutores, dividindo-as entre a corrente no transistor (I_Q) e a corrente do diodo (I_D). Para cada dispositivo na lista, são avaliadas configurações com um número crescente de dispositivos em paralelo, de 1 até o limite N_{par} . A utilização de dispositivos em paralelo permite que o algoritmo explore diferentes configurações de corrente compartilhada, o que reduz o estresse térmico e as perdas individuais.

Para cada configuração de dispositivos em paralelo, realiza-se o cálculo de perdas de forma iterativa, considerando as perdas de condução e de comutação para cada componente. As perdas nos semicondutores foram determinadas utilizando a metodologia de cálculo proposta em [55, 63], avaliando o desempenho de cada semiconductor com base nas formas de onda de corrente previamente simuladas.

4.1.1.1 Perdas de chaveamento no transistor

Os fabricantes dos dispositivos semicondutores disponibilizam nos datasheets dos componentes as curvas de energia associadas aos processos de chaveamento dos dispositivos, incluindo as energias de acionamento (E_{on}) e desligamento (E_{off}) dos transistores, bem como a energia de recuperação reversa dos diodos (E_{RR}). Essas curvas são apresentadas em função das correntes comutadas pelos dispositivos, sendo específicas para um resistor de gate de referência, uma temperatura de junção correspondente e uma tensão de bloqueio de referência.

O cálculo das energias de chaveamento das chaves na ferramenta computacional é dividido em dois casos principais, para IGBTs e MOSFETs, adaptando a lógica conforme o tipo de dispositivo. O algoritmo trata as curvas disponíveis no banco de dados dos componentes para interpolação ou ajuste.

A curva $E_{on} \times I_C$ pode-se apresentar com diferentes temperaturas. Se existem curvas para diferentes temperaturas, o algoritmo identifica os valores mais próximos e realiza interpolação linear entre as temperaturas disponíveis para gerar uma curva ajustada para a temperatura desejada.

A curva $E_{on} \times R_g$ também pode-se apresentar com diferentes temperaturas, bem como

diferentes correntes. No caso de diferentes temperaturas, busca-se encontrar uma curva T desejada e aplica-se um fator de correção. No caso de diferentes correntes, utiliza-se um fator de correção médio. Além disso, um fator de correção (k_{Rg}) é calculado para ajustar os valores de energia utilizando a resistência de gate na caracterização dos fabricantes em relação à resistência desejada no projeto.

Caso estejam disponíveis curvas $E_{on} \times T_j$, um fator de correção (k_T) é calculado para ajustar os valores de energia de acordo com a temperatura de operação. Essa correção não é realizada caso as curvas anteriores de $E_{on} \times I_C$ e de $E_{on} \times R_g$ já tenham computado a correção de temperatura.

Para casos onde existem curvas $E_{on} \times T_j$ indicando variações da energia com a tensão de coletor, um fator de correção (k_V) é aplicado. Por fim, aplica-se os fatores de correção às curvas de energia de acionamento (E_{on}) do dispositivo. As mesmas lógicas de correção são aplicadas às curvas de E_{off} , para ajustar os dados experimentais fornecidos pelos fabricantes às condições específicas de operação simuladas.

Caso o dispositivo seja do tipo MOSFET, realiza-se o mesmo procedimento de extração das curvas de energia descrito previamente. Primeiramente, utilizam-se as curvas de energia e, caso não existam tais curvas diretas de energia, utiliza-se um modelo analítico para estimativa da energia pelas curvas de capacitância, conforme proposto em [64].

Após ajustar as curvas E_{on} e E_{off} , o algoritmo processa a corrente no dispositivo semiconductor para identificar os momentos de chaveamento (ligamento e desligamento), analisando as transições na corrente. Para cada transição, o valor de energia é interpolado a partir das curvas ajustadas, somando-se os valores ao total de energia acumulada. As perdas de comutação do transistor são determinadas pelas equações (4.1) e (4.2).

$$P_{on(Q)} = k_{Rg} \cdot k_T \cdot k_V \cdot \frac{1}{T} \cdot \sum_{k=1}^{T/T_s} E_{on}(i_q[k]) \quad (4.1)$$

$$P_{off(Q)} = k_{Rg} \cdot k_T \cdot k_V \cdot \frac{1}{T} \cdot \sum_{k=1}^{T/T_s} E_{off}(i_q[k]) \quad (4.2)$$

Onde i_q representa a corrente instantânea no transistor; T é o período da tensão

fundamental; T_s consiste no passo da simulação temporal e k se refere à k -ésima amostra dos sinais simulados.

4.1.1.2 Perdas de condução no transistor

As perdas médias de condução nos dispositivos podem ser definidas como a média do produto instantâneo da corrente e da tensão, e estão diretamente relacionadas às suas características operacionais. Por exemplo, a corrente através do transistor resulta em uma queda de tensão sobre o mesmo, cujo valor depende tanto da tensão de acionamento do gate quanto da temperatura de junção [61].

O cálculo das perdas de condução nos transistores, implementado na ferramenta computacional, baseia-se nas curvas características de corrente e tensão fornecidas pelos fabricantes, considerando condições específicas de operação, como temperatura de junção e tensão de disparo. A abordagem empregada garante que os valores interpolados das curvas sejam ajustados às condições de operação do dispositivo, conforme definições de projeto.

Inicialmente, o algoritmo prepara as curvas características dos componentes, como $I_C \times V_{CE}$ para IGBTs, ou $I_D \times V_{DS}$ para MOSFETs. Essas curvas dependem da temperatura de junção (T_j) e, no caso dos MOSFETs, também da tensão de disparo (V_{GS}).

Se o conjunto de dados do fabricante incluir curvas para diferentes temperaturas, o algoritmo realiza uma interpolação para ajustar a curva ao valor de temperatura desejado. Caso contrário, a curva mais próxima disponível é utilizada. Para os MOSFETs, se houver diferentes valores de V_{GS} , também é executada a interpolação necessária para alinhar a curva às condições especificadas.

Com as curvas ajustadas, obtêm-se uma curva $I \times V$ padronizada para o componente. Essa curva é então utilizada para interpolar a tensão correspondente a cada ponto do vetor de corrente fornecido como entrada. Essa etapa relaciona diretamente a corrente de operação do transistor às suas perdas de condução.

O cálculo das perdas é realizado como a média dos produtos em cada instante de $I \times V$, no período da rede. Essa abordagem contabiliza as variações da corrente ao longo

do ciclo de operação e calcula as perdas totais com base nos valores médios. Define-se na equação (4.3) as perdas de condução no transistor [55].

$$P_{cond,Q} = \frac{1}{T} \cdot \sum_{k=1}^{T/T_s} v_q \cdot i_q[k] \cdot T_s \quad (4.3)$$

4.1.1.3 Perdas de chaveamento no diodo

As perdas de chaveamento nos diodos estão associadas com a energia de recuperação reversa (E_{rr}) do dispositivo. As curvas de recuperação reversa de diodos podem se apresentar de diversas formas: $E_{rr} \times I_F$, $E_{rr} \times R_g$, $E_{rr} \times diF/dt$, $Q_{rr} \times diF/dt$, $Q_{rr} \times I_F$ e $dI_{rr} \times dI_F$, além de existirem diferentes números de curvas em cada gráfico fornecidos pelos fabricantes.

Na ferramenta computacional, considerou-se que a relação da taxa de variação da corrente (diF/dt) pode ser estimada por V_{CE}/L_{sw} e, que no gráfico há apenas um ponto obtido das tabelas de características do dispositivo. Conforme dados desta pesquisa, a curva $Q_{rr} \times diF/dt$ pode apresentar variações em função da corrente de condução (I_F), da resistência de gate (R_g) e da temperatura de junção (T_j). Já a curva $Q_{rr} \times I_F$ pode apresentar variações de diF/dt e de T .

Realizam-se interpolações para ajustar as curvas disponíveis em cada dispositivo às condições de operação especificadas. Isso inclui ajustes com base em fatores como a resistência de gate, tensão de bloqueio e temperatura de junção.

No decorrer do algoritmo, é feita a identificação dos momentos de chaveamento no vetor de corrente, quando ocorrem as mudanças mais significativas no comportamento da corrente. Durante esses períodos, calcula-se a energia de recuperação reversa, acumulando os valores ao longo do tempo.

O cálculo das perdas de chaveamento relacionadas à recuperação reversa dos diodos enfrenta desafios significativos devido à limitação de informações fornecidas nos datasheets. A ferramenta computacional processa essas informações limitadas para estimar as perdas de chaveamento do diodo. Embora os valores exatos de dI_F/dt não precisem ser

extremamente precisos devido à baixa sensibilidade de Q_{rr} a essas variações, a abordagem adotada no algoritmo simplifica o cálculo assumindo que Q_{rr} permanece constante para diferentes níveis de corrente.

Essa simplificação, embora prática, introduz incertezas, especialmente em faixas de corrente mais baixas, onde a constância de Q_{rr} pode não ser válida. Apesar disso, o impacto dessas distorções é geralmente limitado em aplicações práticas devido à pequena contribuição dessas condições para as perdas totais.

Sendo assim, implementou-se no cálculo de E_{rr} uma proporcionalidade entre a energia dissipada de recuperação reversa e a corrente direta I_F . Essa modificação foi baseada na recomendação em [65] e nas curvas $Q_{rr} \times I_F$ observadas em [66]. Apesar dessa abordagem ainda envolver estimativas devido à falta de dados mais abrangentes, observou-se coerências nos resultados obtidos.

Por fim, obtém-se o valor total de perdas de energia de recuperação reversa (E_{rr}) que, através da expressão (4.4), permite determinar a perda total de energia no processo de recuperação reversa do diodo.

$$P_{rr} = k_{Rg} \cdot k_T \cdot \frac{1}{T} \cdot \sum_{k=1}^{T/T_s} E_{rr}(i_d[k]) \quad (4.4)$$

4.1.1.4 Perdas de condução no diodo

A determinação das perdas de condução nos diodos se assemelha à metodologia previamente apresentada na Seção 4.1.1.1. O cálculo baseia-se nas curvas dos dispositivos que relacionam corrente direta (I_F) e tensão direta (V_F), além de dependências de temperatura e outros parâmetros.

O algoritmo verifica se o diodo possui curvas $I_F \times V_F$ disponíveis no banco de dados. Caso essas informações estejam presentes, elas são extraídas e organizadas em função da temperatura. Quando várias curvas estão disponíveis para diferentes temperaturas, realiza-se a interpolação dos valores entre essas curvas para obter uma relação específica entre corrente e tensão, considerando a temperatura de junção desejada.

Em dispositivos que não possuem dados $I_F \times V_F$, mas possuem curvas dependentes de V_{GS} , como diodos intrínsecos em MOSFETs, o algoritmo processa as informações $I_F \times V_{SD}$, padronizando-as em um vetor comum de tensões, que permite realizar a interpolação para as condições desejadas.

Uma vez que as curvas foram ajustadas, o cálculo das perdas de condução é realizado. Utiliza-se a curva interpolada para determinar a tensão direta (V_F) correspondente a cada valor de corrente no ciclo analisado. A partir disso, calcula-se a média do produto entre corrente e tensão ao longo do ciclo, o que resulta nas perdas de condução média do diodo. Assim, têm-se em (4.5) a expressão referente às perdas de condução nos diodos ($P_{cond(D)}$).

$$P_{cond,D} = \frac{1}{T} \cdot \sum_{k=1}^{T/T_s} v_d \cdot i_d[k] \cdot T_s \quad (4.5)$$

4.1.1.5 Perdas totais

As perdas totais para cada configuração de semicondutor são obtidas somando-se as perdas de condução e comutação, e ajustadas pelo número de dispositivos em paralelo, conforme a expressão (4.6).

$$P_{semicond} = (P_{cond} + P_{sw}) \cdot N_{par} \quad (4.6)$$

Por fim, a ferramenta computacional ainda inclui uma função para processar os custos dos dispositivos em função da quantidade necessária, com base nos preços extraídos do banco de dados dos componentes. O preço total de cada configuração é calculado multiplicando o preço unitário pelo número de dispositivos em paralelo. Dessa forma, o algoritmo permite não apenas a otimização técnica, mas também uma análise de custo para cada configuração.

4.1.2 Dissipador

O projeto do sistema térmico em conversores de potência é uma etapa essencial para dissipar o calor gerado pelos semicondutores e garantir o bom funcionamento e a confiabi-

lidade dos componentes. O aumento da temperatura nos conversores pode afetar diversos aspectos do projeto, como a seleção dos componentes, a robustez e o volume do sistema, além de influenciar diretamente o desempenho e a durabilidade dos dispositivos [67].

Conforme [55], diversas técnicas de modelagem térmica são utilizadas para prever o comportamento térmico dos componentes nos conversores. Entre essas técnicas, destacam-se a modelagem analítica, a modelagem numérica e a modelagem por analogia com circuitos elétricos, cada uma com suas vantagens e adequações conforme a complexidade do sistema.

A modelagem analítica permite uma abordagem simplificada para cálculos rápidos, enquanto a modelagem numérica oferece uma análise detalhada do perfil de temperatura em componentes específicos, sendo adequada para situações em que é necessário alto nível de precisão [68].

O uso adequado de dissipadores térmicos permite a dissipação do calor gerado nos componentes ativos, como interruptores de potência, protegendo-os contra superaquecimento e garantindo que operem dentro de seus limites térmicos de segurança. Com base na estimativa de perdas dos semicondutores, torna-se possível dimensionar o dissipador para o conversor.

O projeto de dissipadores na ferramenta computacional oferece duas abordagens, permitindo ao usuário flexibilizar a escolha dos componentes térmicos para o conversor. A primeira abordagem, de projeto livre, permite que o algoritmo busque de maneira abrangente no banco de dados os dissipadores que proporcionem a melhor solução em termos de eficiência térmica com o menor volume. Esse modo é ideal para otimizações onde o objetivo é explorar todas as possibilidades para alcançar o menor dissipador que atenda aos requisitos de entrada.

Alternativamente, o usuário pode aplicar restrições ao projeto, especificando o modelo de dissipador e/ou o comprimento máximo a ser considerado, o que é particularmente útil em projetos com limitações de espaço físico ou com componentes térmicos já padronizados em sistemas anteriores.

A função proposta para o projeto dos dissipadores tem como dados de entrada as

informações de perdas dos componentes, o número de dispositivos montados no dissipador, a temperatura desejada na superfície do dissipador, além da temperatura ambiente e velocidade do ar dos ventiladores.

De acordo com [69], forçar ar pelo dissipador por meio de um ventilador melhora a transferência e troca de calor para o ambiente. Para sistemas com ar forçado, o dado mais relevante é a velocidade do ar em contato com a superfície do dissipador pois, quanto maior a velocidade do ar nas aletas, mais eficiente será a troca térmica.

A partir das perdas de potência nos semicondutores P_{total} , define-se em (4.7) a elevação de temperatura para os dispositivos.

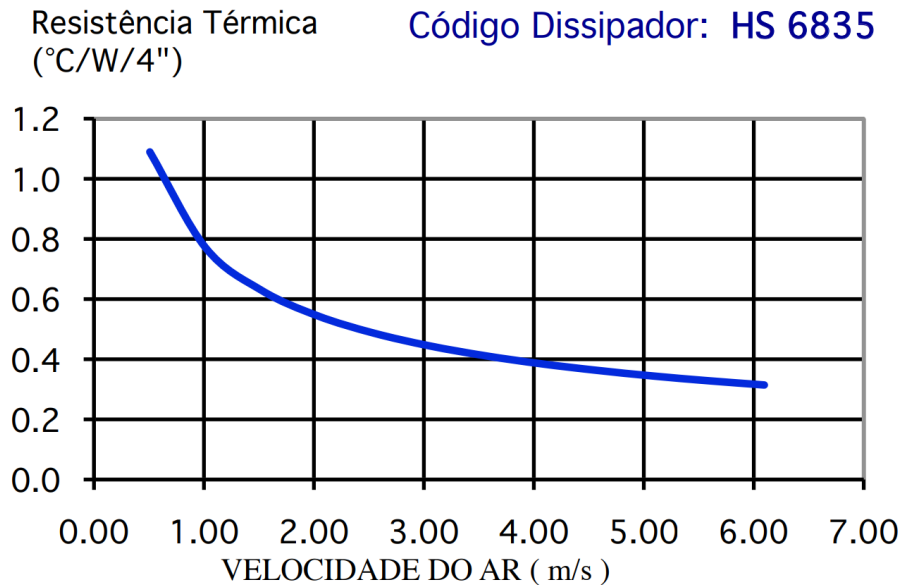
$$\Delta T_{SW,i} = R_{\Theta jc,i} \cdot P_{total} \quad (4.7)$$

A temperatura desejada para a superfície do dissipador é obtida pela expressão (4.8), onde o termo $T_{j,max}$ representa a temperatura máxima na junção dos semicondutores. Define-se a menor temperatura calculada entre os componentes, pois o dispositivo que exige uma menor temperatura do dissipador para manter a junção dentro dos limites estabelecidos é considerado o elemento crítico.

$$T_{case} = \min(T_{j,max} - \Delta T_{SW,i}) \quad (4.8)$$

Para dimensionar o dissipador, o algoritmo da ferramenta computacional considera uma série de fatores e critérios de correção. Inicialmente, o valor da resistência térmica nominal do dissipador ($R_{th,nom}$) é obtido do banco de dados, o que serve como base para os cálculos subsequentes. Em seguida, aplica-se um fator de correção para adequar essa resistência à velocidade do ar dos ventiladores. Esse fator é interpolado da curva específica que relaciona a velocidade do ar com a resistência térmica do dissipador, conforme exemplificado na Figura 4.1.

Na troca de calor por convecção, a eficiência depende da diferença entre a temperatura do dissipador e a temperatura ambiente (ΔT). Quanto menor for o valor de ΔT , pior será o desempenho dos dissipadores, que devem ter seus parâmetros corrigidos conforme o

Figura 4.1: Correção da resistência térmica do dissipador de acordo com a velocidade do ar.

Fonte: [69].

exemplo de curva apresentado na Figura 4.2. O algoritmo utiliza o valor total das perdas de todos os dispositivos a serem alocados no dissipador para calcular o fator de correção a partir da curva de variação de temperatura pela potência dissipada.

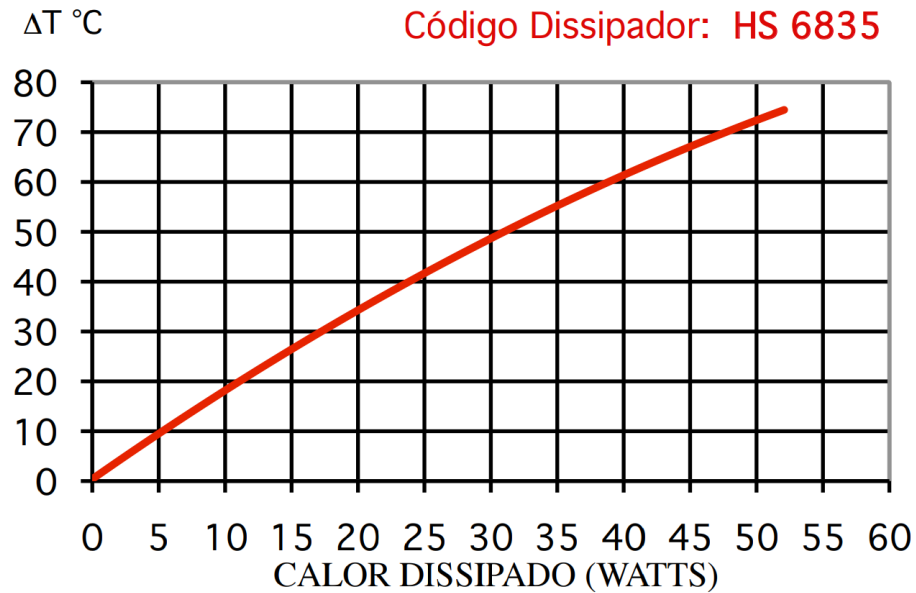
A partir das correções anteriores, ajusta-se o comprimento do dissipador para obter uma nova resistência térmica, com base na curva de resistência térmica por comprimento apresentada na Figura 4.3. Com o valor da resistência térmica atualizado, a temperatura da superfície do dissipador é calculada pela expressão (4.9).

$$T_{case,new} = T_{amb} + R_{th} \cdot P_{total} \quad (4.9)$$

Se a temperatura calculada para o dissipador em (4.9) for igual à especificada em (4.8), ou se um comprimento fixo já tiver sido definido para o dissipador, o algoritmo encerra o processo sem ajustes adicionais do comprimento.

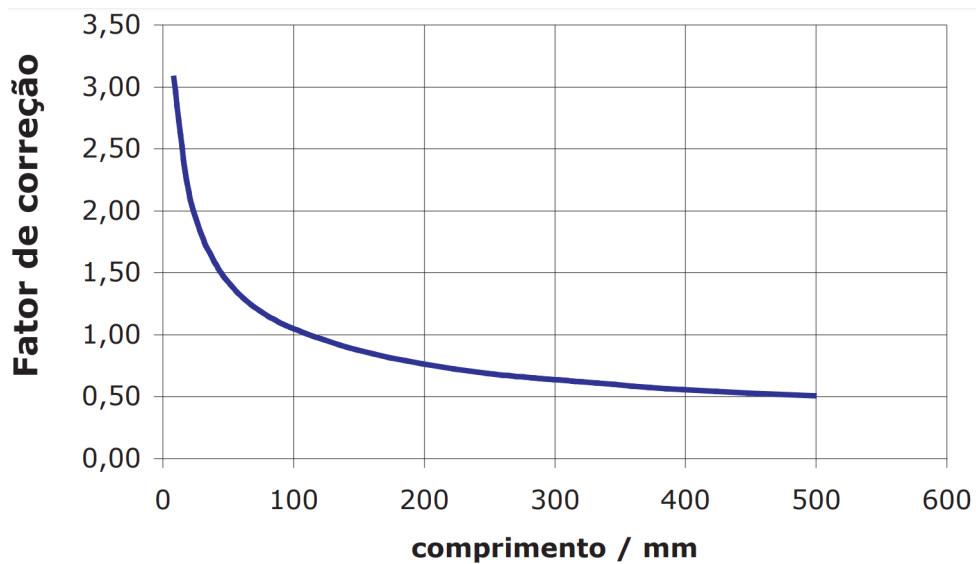
No entanto, se a temperatura de superfície calculada for superior à desejada, o comprimento do dissipador é aumentado em incrementos de 10 mm. O R_{th} é recalculado a cada incremento, e o processo se repete até que a temperatura de case esteja dentro do

Figura 4.2: Correção da variação de temperatura do dissipador de acordo com a potência dissipada.



Fonte: [69].

Figura 4.3: Correção da resistência térmica do dissipador de acordo com o comprimento.



Fonte: [69].

limite especificado. Neste caso, um limite máximo de 600 mm é imposto ao comprimento do dissipador para evitar dimensionamentos excessivos.

Caso a temperatura calculada para a superfície seja inferior à desejada, o comprimento

do dissipador é reduzido em passos de 10 mm, e novos valores de R_{th} e temperatura são calculados a cada iteração. Esse ajuste ocorre até que a temperatura de case atinja o valor desejado, com um limite mínimo de comprimento estabelecido para assegurar espaço suficiente para acomodar todos os dispositivos com suas respectivas larguras.

Após todas as correções, o algoritmo retorna a especificação completa do dissipador, incluindo modelo e comprimento ajustado, assegurando que o dissipador atende aos requisitos térmicos do projeto de forma otimizada.

Destaca-se que, na presença de um comprimento fixo previamente definido para o dissipador, o algoritmo aplica esse comprimento sem modificação, considerando-o para a determinação da temperatura que será obtida na superfície do dissipador.

O volume do dissipador (V_{hSink}) é obtido com base nas dimensões físicas finais, a partir da multiplicação da altura e largura do respectivo modelo, conforme o banco de dados, e do comprimento final do dissipador após os devidos ajustes, se aplicáveis. O projeto otimizado do dissipador é obtido na condição do menor volume que atenda aos limites de temperatura definidos pelo usuário.

4.1.3 Indutor

A ferramenta computacional realiza todos os projetos de indutor possíveis e seleciona aqueles que atendem aos limites de construção e operação do indutor, conforme apresentado anteriormente na Figura 3.4. Além do cálculo da indutância, é definido o material do núcleo magnético e dos enrolamentos para a solução otimizada do indutor, avaliando-se as perdas no enrolamento e no núcleo.

O valor da indutância do filtro (L_{inv}) que satisfaz o *ripple* da corrente de saída pode ser expresso pela equação (4.10), onde o termo n corresponde ao número de níveis da topologia do inversor [70].

$$L_{inv} = \frac{V_{DC}}{2 \cdot (n - 1) \cdot f_{sw} \cdot I_{inv} \cdot \sqrt{2} \cdot \Delta i_{max}(\%)} \quad (4.10)$$

A partir da lista de núcleos magnéticos cadastrados no banco de dados, são dimen-

sionados todos os núcleos possíveis que podem acomodar o indutor, avaliando dentro dos núcleos aqueles que atendem os requisitos de *Area Product* (AP) para os materiais existentes.

Faz-se o dimensionamento para cada diferente empilhamento que atenda às restrições do projeto. O efeito do empilhamento do toroide é aumentar a área da seção (A_e) e a altura (HT), conforme descrito nas equações (4.11) e (4.12), respectivamente [71]. O termo n_{stack} corresponde ao número de núcleos empilhados.

$$A_e' = n_{stack} \cdot A_e \quad (4.11)$$

$$HT' = n_{stack} \cdot HT \quad (4.12)$$

Assim, compensa-se o efeito do empilhamento na indutância específica (A_L) e no comprimento médio por espira (MLT) dos núcleos, através das expressões (4.13) e (4.14).

$$A_L' = n_{stack} \cdot A_L \quad (4.13)$$

$$MLT' = MLT \cdot \frac{HT' + 0.5 \cdot (OD - ID)}{HT + 0.5 \cdot (OD - ID)} \quad (4.14)$$

Para cada núcleo selecionado pela ferramenta computacional, é feito o projeto do indutor através da curva de permeabilidade por magnetização. Primeiramente, calcula-se o número de espiras (N) através da equação (4.15).

$$N = \left\lceil \sqrt{\frac{L}{A_L \cdot n_{stack}}} \right\rceil \quad (4.15)$$

Em seguida, calcula-se a intensidade do campo magnético (H_{max}) pela equação (4.16), a partir da corrente de pico obtida na simulação computacional e do fator de crista da corrente de saída (FC) especificado no projeto.

$$H_{max} = \frac{N \cdot I_{pk} \cdot FC}{L_e} \quad (4.16)$$

A partir da curva de Permeabilidade em função do Campo Magnético CC do mate-

rial, determine-se a queda percentual na permeabilidade inicial através da equação (4.17), para a intensidade de campo magnético previamente calculada. Os termos a , b e c correspondem às constantes de ajuste das curvas, específicas para cada material magnético no banco de dados [72].

$$\mu_{i\%} = \frac{1}{a + b \cdot H_{max}^c} \quad (4.17)$$

Por fim, obtém-se, pela equação (4.18), a indutância mínima que o material magnético proporcionará, pelo fator de queda percentual na corrente de polarização aplicada no mesmo.

$$L_{min} = N^2 \cdot A_L \cdot n_{stack} \cdot \mu_{i\%} \quad (4.18)$$

Com a obtenção da indutância mínima do material (4.18) é possível verificar se o aprofundamento da indutância atende às restrições de projeto que determinam a máxima queda de indutância nominal admissível no ponto de corrente máxima de operação.

Atendido o critério de máxima degeneração da indutância, a ferramenta computacional seleciona cinco possibilidades de fios, a partir da expressão (4.20), compatíveis com a máxima profundidade de penetração do material (δ) calculada em (4.19), e com o maior diâmetro possível para minimizar o efeito pelicular [71].

$$\delta = \frac{\rho}{\pi \cdot \mu \cdot f_{sw}} \quad (4.19)$$

$$d_{fio} = 2 \cdot \delta \quad (4.20)$$

É feito o dimensionamento do enrolamento para cada bitola de fio definida. Inicialmente, calcula-se a área de cobre necessária através da expressão (4.21), definida pela corrente eficaz de saída (I_{rms}) e pela densidade de corrente (J) definida no projeto.

$$A_{cobre} = \frac{I_{rms}}{J} \quad (4.21)$$

Calcula-se pela equação (4.22) o número de fios em paralelo no indutor (n_{fios}). No caso em que há definição prévia de projeto para esse parâmetro, utiliza-se o valor definido como restrição.

$$n_{fios} = \frac{A_{cobre}}{A_{fio}} = \frac{A_{cobre}}{\pi \cdot \left(\frac{d_{fio}}{2}\right)^2} \quad (4.22)$$

A partir da área efetiva de cobre no fio, define-se pela equação (4.23) o fator de ocupação efetiva do indutor (ku_{fios}). Tal fator deverá atender à restrição de área efetiva para utilização dos núcleos definida no projeto. Caso o fator de ocupação seja maior que o estipulado, o projeto do indutor é desconsiderado por não ser realizável.

$$ku_{fios} = \frac{N \cdot n_{fios} \cdot A_{fio}}{A_W} \quad (4.23)$$

Em seguida, avalia-se se serão considerados *bundles* de fios na construção do enrolamento (n_{bdl}), conforme número máximo definido previamente nas preferências de simulações. Na ferramenta computacional, define-se como *bundle* de fios uma estrutura formada por um conjunto de fios trançados.

Por exemplo, um enrolamento de 26 fios em paralelo e 2 *bundles* é feito a partir do enrolamento de dois arranjos com 13 fios em paralelo, cada. Para tanto, ajusta-se o número de fios em paralelo ($n_{wire, bdl}$) de acordo com a quantidade de *bundles* de fios prevista no projeto do indutor, utilizando a equação (4.24).

$$n_{wire, bdl} = \left\lceil \frac{n_{fios}}{n_{bdl}} \right\rceil \quad (4.24)$$

Perante o número de fios ajustado, calcula-se o diâmetro equivalente do *bundle*. Este cálculo baseia-se em estudos preliminares desenvolvidos pelo GEP-UFMG, com medições reais da disposição dos fios e comportamento do agrupamento na associação de fios paralelos torcidos, conforme a metodologia apresentada no Algoritmo 1.

Algoritmo 1: Cálculo do diâmetro equivalente de um *bundle*

Entrada: N = número de espiras em paralelo

d_{fio} = diâmetro de um fio

Saída: d_{bundle} = diâmetro equivalente do *bundle*

1 **início**

2 **se** $N < 10$ **então**

3 $k = 0.002416 \cdot N^3 - 0.06683 \cdot N^2 + 0.7964 \cdot N + 0.2256$

4 **senão**

5 $k = 0.1293 \cdot N + 2.636$

6 **fim**

7 $d_{bundle} = d_{fio} \cdot k$

8 **fim**

9 **retorna** d_{bundle}

Define-se o número de camadas do enrolamento a partir do número de fios equivalente em uma camada, conforme a equação (4.25). Onde D_e é o diâmetro efetivo da espira trançada e d_e é a distância entre fios em uma mesma camada.

$$n_{fios,camada}(k) = \left\lceil \frac{P_c(k)}{D_e + d_e} \right\rceil \quad (4.25)$$

O termo $P_c(k)$ corresponde ao perímetro disponível para uma camada interna, definido pela expressão (4.26).

$$P_c(k) = \frac{ID - (2(k_c - 1) + 1) \cdot D_e - 2 \cdot k_c \cdot d_e}{2} \quad (4.26)$$

Por fim, define-se o número de camadas esperado (N_c) pela relação em (4.27), comparando o número de fios acumulado de cada camada (4.25) ao número de espiras do enrolamento do indutor (4.15).

$$\sum_{k_c=1}^{N_c} n_{fios,camada}(k_c) < N \quad (4.27)$$

4.1.3.1 Perdas no enrolamento

Calcula-se as perdas nos enrolamentos de cobre a partir da resistência total do enrolamento, ou seja, considerando as parcelas de resistência c.c. e resistência c.a., como demonstrado na equação (4.28). Além disso, há influência dos efeitos pelicular e de proximidade, que determinam a distribuição da corrente ao longo do condutor em função da frequência [55, 73]. A resistência total do enrolamento é definida em (4.29).

$$P_{cobre} = \sum_{n=1}^{\infty} R_n(f) \cdot i_n(f)^2 \quad (4.28)$$

$$R_n = R_{cc} \cdot k_{ca} \quad (4.29)$$

O termo R_{cc} , expresso pela equação (4.30), corresponde à resistência c.c. do enrolamento e depende do número de espiras, do comprimento total de fios no enrolamento e do número de fios em paralelo.

$$R_{cc} = \frac{\rho \cdot N \cdot MLT}{n_{fios}} \quad (4.30)$$

Conforme [74], há um aumento na resistência do enrolamento em função das componentes de frequência na corrente do indutor, levando em consideração efeitos de proximidade e pelicular. Essa relação é calculada através de (4.31), conforme o número de camadas do enrolamento.

$$k_{ca} = A \cdot \left(\frac{\sinh(2 \cdot A) + \sin(2 \cdot A)}{\cosh(2 \cdot A) - \cos(2 \cdot A)} + 2 \cdot \frac{N_{cam}^2 - 1}{3} \cdot \frac{\sinh(A) - \sin(A)}{\cosh(A) - \cos(A)} \right) \quad (4.31)$$

O termo A é definido em (4.32) a partir da distância entre os condutores adjacentes, da profundidade de penetração e do diâmetro do fio equivalente. Em caso de fios trançados, utiliza-se o diâmetro equivalente do agrupamento.

$$A = \left(\frac{\pi}{4} \right)^{\frac{3}{4}} \cdot \frac{d_{fio}^{\frac{3}{2}}}{\delta \sqrt{d_{fio} + d_e}} \quad (4.32)$$

4.1.3.2 Perdas no núcleo

A ferramenta computacional implementa duas metodologias distintas para o cálculo de perdas no núcleo, permitindo ao usuário escolher o método mais adequado para o projeto específico. Os métodos disponíveis são: (a) o método de *Steinmetz* e (b) o método iGSE (*improved Generalized Steinmetz Equation*).

Cada um desses métodos possui características particulares que afetam os cálculos de perdas de acordo com as condições operacionais do indutor e as especificidades do material do núcleo. A partir do método selecionado, obtém-se em (4.33) a perda de núcleo, considerando também o volume do indutor e o número de núcleos empilhados.

$$P_{nucleo} = V_e \cdot n_{stack} \cdot core_{loss} \quad (4.33)$$

Na interface de preferências de simulação, na aba dos parâmetros magnéticos, existe um *checkbox* que permite ao usuário decidir se o método iGSE será ou não aplicado no cálculo de perdas do núcleo, ilustrado na Figura 3.4. Com isso, a ferramenta oferece uma abordagem flexível, permitindo optar-se entre precisão e eficiência de processamento de acordo com a fase de projeto em que se encontra.

4.1.3.2.1 Método Steinmetz

O método de Steinmetz é amplamente utilizado para estimar as perdas em núcleos magnéticos, a partir de variáveis como frequência e densidade de fluxo. Ele fornece uma aproximação eficaz para aplicações em que a forma de onda de corrente é senoidal, ou apresenta poucas variações [75].

Esse método se baseia na hipótese de que as perdas magnéticas em um material ferromagnético podem ser separadas em duas componentes principais: as perdas por histerese, associadas à energia dissipada durante o ciclo de magnetização e desmagnetização do material; e as perdas por correntes de *Foucault*, devidas às correntes induzidas no material devido à variação do fluxo magnético, que geram calor por efeito Joule [76, 77].

A obtenção das perdas pelo método Steinmetz baseia-se em coeficientes empíricos,

fornecidos pelos fabricantes, para realizar os cálculos e fornecer uma estimativa prática e rápida das perdas no material, conforme equação (4.34).

$$core_{loss} = k_c \cdot f^\alpha \cdot \hat{B}^\beta \quad (4.34)$$

Onde k_c , α e β são os coeficientes de Steinmetz que dependem das características do material, geralmente determinados experimentalmente para cada tipo de material magnético e fornecidos pelos fabricantes, f é a frequência de operação do indutor, \hat{B} corresponde ao valor máximo da densidade de fluxo no núcleo magnético.

Como o método de Steinmetz é tradicionalmente aplicável para correntes com forma de onda senoidal, ele apresenta limitações para estimar perdas em conversores com chaveamento, onde as correntes possuem componentes harmônicas significativas [73]. Na ferramenta computacional, que simula o comportamento de conversores chaveados, optou-se por simplificar o cálculo das perdas no núcleo considerando apenas a frequência fundamental, desconsiderando assim as frequências harmônicas geradas pelo chaveamento.

Embora o método de Steinmetz apresente algumas limitações, ele continua sendo uma ferramenta útil e amplamente utilizada para estimar as perdas magnéticas em materiais magnéticos devido à sua simplicidade e boa precisão na maioria das aplicações.

4.1.3.2.2 Método iGSE

O método iGSE é uma evolução do clássico método de Steinmetz, que permite uma análise mais precisa das perdas em aplicações com formas de onda complexas e variações frequentes na corrente, como em conversores de alta frequência e circuitos com grandes picos de corrente [78].

Esse método leva em consideração o comportamento dinâmico do núcleo sob diferentes frequências de comutação e amplitudes de corrente, o que oferece maior precisão em comparação ao método Steinmetz convencional [79]. A equação geral do método iGSE é expressa em (4.35).

$$cor_{loss} = \frac{1}{T} \int_0^T k_i \left| \frac{dB}{dt} \right|^\alpha (\Delta B)^{\beta-\alpha} dt \quad (4.35)$$

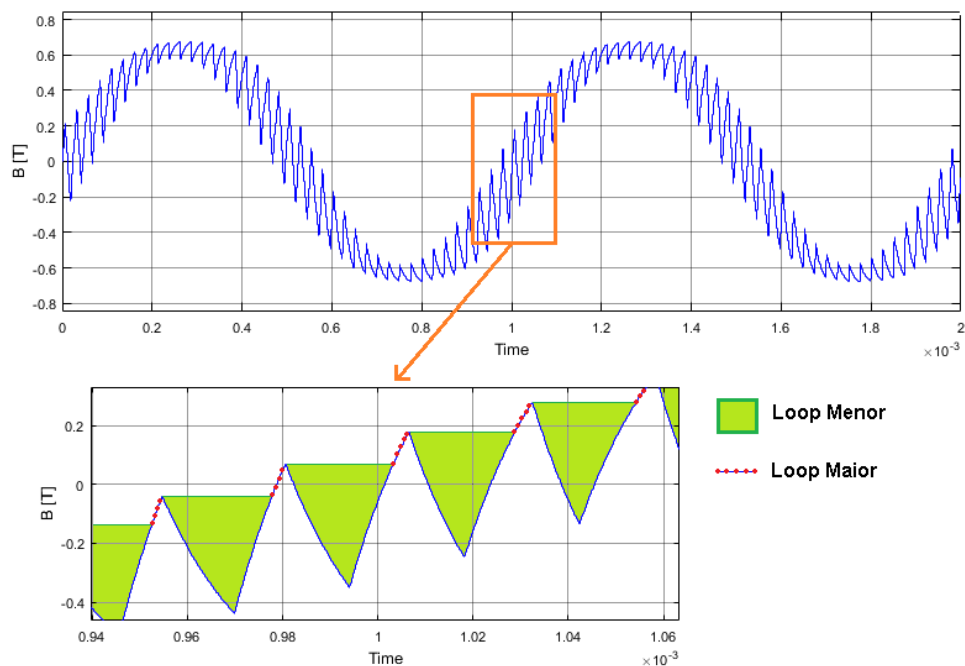
Onde ΔB representa a variação pico a pico da densidade de fluxo B com período fundamental da corrente no indutor T . Os coeficientes k_c , α e β são os mesmos mencionados na equação de Steinmetz (4.34). Determina-se o termo k_i através da equação (4.36):

$$k_i = \frac{k_c}{(2\pi)^{\alpha-1} \cdot \int_0^{2\pi} |\cos \theta|^\alpha \cdot 2^{\beta-\alpha} d\theta} \quad (4.36)$$

O termo θ corresponde ao ângulo instantâneo da densidade de fluxo.

Graficamente, é possível esboçar o comportamento do método iGSE conforme demonstrado na Figura 4.4. É feita a separação da onda de densidade de fluxo em ciclos menores, destacados em verde, e ciclos maiores, conectando os segmentos em vermelho. Em cada ciclo, o método iGSE calcula a energia dissipada ponto a ponto ao longo do vetor de densidade de fluxo, onde cada *loop* de densidade de fluxo corresponde a um ciclo de histerese com áreas e, portanto, perdas distintas [73].

Figura 4.4: Demonstração do método iGSE.



Fonte: [73].

Os autores de [78] desenvolveram a implementação computacional da equação (4.35) e disponibilizaram um *script* para o cálculo das perdas pelo método iGSE [80]. Entretanto, o uso do algoritmo iGSE apresenta duas desvantagens: a primeira é a complexidade computacional, uma vez que o algoritmo precisa percorrer o vetor de densidade de fluxo para realizar a separação dos *loops*; a segunda é a obtenção do vetor de densidade de fluxo, que, caso seja gerado por simulação, pode demandar um tempo significativo.

O iGSE oferece maior precisão para formas de onda complexas e com variações frequentes, especialmente em aplicações de alta frequência. No entanto, essa precisão tem um custo computacional significativo, pois o método exige um tempo de processamento mais longo para cada cálculo de perda no núcleo.

Para análises mais específicas ou refinamentos em pontos de operação críticos, a ferramenta computacional permite a utilização do iGSE. Isso se torna relevante quando é necessário focar em condições de operação mais detalhadas, onde o tempo de execução elevado não representa uma limitação significativa.

4.1.3.3 Perdas totais e elevação de temperatura

Como o objetivo principal da ferramenta computacional é realizar avaliações de projeto em grande escala, processando milhares de variações de projeto, para o desenvolvimento deste trabalho optou-se por utilizar o método de Steinmetz em detrimento do método iGSE, pois este último aumenta consideravelmente o tempo de execução das simulações na ferramenta.

Essa decisão baseia-se no fato de que as perdas no núcleo geralmente não representam a maior parcela das perdas totais do indutor. Embora o uso do método de Steinmetz resulte em alguma imprecisão nas estimativas da perda total e, por consequência, na previsão da elevação de temperatura, ele oferece uma visão inicial robusta e suficientemente precisa para a maioria dos projetos iniciais.

A perda total no indutor, expressa por (4.37), resulta das perdas no cobre do enrolamento (4.28) e das perdas no núcleo (4.33). A combinação dessas perdas contribui para o aquecimento do indutor, afetando sua eficiência e exigindo atenção no projeto para

garantir o desempenho dentro dos parâmetros desejados.

$$P_{ind} = P_{cobre} + P_{nucleo} \quad (4.37)$$

Para determinar a elevação de temperatura do indutor (ΔT), utiliza-se a equação empírica (4.38), que relaciona as perdas totais do indutor e a área da superfície do núcleo, fornecida pelo fabricante para um fator de utilização de 40% [81].

$$\Delta T = \left(\frac{P_{ind}}{S_{total,40\%}} \right)^{0,833} \quad (4.38)$$

Esse cálculo fornece uma estimativa da temperatura que o indutor pode atingir durante a operação e auxilia na definição dos limites de segurança ou até mesmo indica a necessidade de reprojetado do indutor. Neste trabalho, a elevação máxima de temperatura é arbitrada em 110 °C, o que para a temperatura ambiente de 40 °C implica que o indutor não pode exceder o limite térmico de 150 °C.

4.1.4 Capacitor do barramento c.c.

O dimensionamento do banco de capacitores é baseado na capacitância mínima exigida no barramento c.c. (C_{dc}), mantendo-se o compromisso entre a energia necessária pelo sistema e a queda de tensão permitida no barramento (V_{min}) durante o tempo de *holdup* (t_{hup}). A capacitância no barramento c.c. é definida pela equação (4.39) [82].

$$C_{dc} = \frac{2 \cdot P_o \cdot t_{hup}}{V_{dc}^2 - V_{min}^2} \quad (4.39)$$

Neste trabalho, definiu-se o tempo de *holdup* de 1 ciclo de rede (16,66ms). A tensão mínima, expressa por (4.40), garante a sintetização integral da onda senoidal, inclusive seu pico, no fim do período de *holdup*, com uma margem de segurança arbitrária de 5%.

$$V_{min} = V_{inv,rms} \cdot \sqrt{2} \cdot 1,05 \quad (4.40)$$

Para definição do arranjo do banco de capacitores, utiliza-se a capacitância obtida

em (4.39), o vetor de corrente no capacitor e a tensão máxima do barramento à qual o capacitor será submetido. O projeto do banco de capacitores pode ser realizado utilizando-se todos os componentes disponíveis no banco de dados ou considerando-se apenas os componentes com restrições definidas no projeto.

No primeiro caso, a ferramenta computacional projeta um banco de capacitores para cada componente disponível no banco de dados para identificar as melhores opções que atendam aos requisitos de projeto. Esse método permite uma análise mais ampla e pode resultar em soluções otimizadas.

Inicialmente, define-se o número de capacitores em paralelo (N_P) necessários para conduzir a corrente eficaz requerida ($I_{c,rms}$). Posteriormente, obtêm-se o número de capacitores em série (N_S) capazes de suportar a tensão do barramento. Por fim, caso a capacitância da associação seja inferior à capacitância mínima do barramento c.c. (C_{dc}), aumenta-se (N_P) para ajustá-la. A quantidade total de capacitores no banco será o produto entre o número de capacitores em série e em paralelo.

Alternativamente, é possível restringir a seleção dos capacitores a partir de parâmetros específicos, como fabricante, *part number*, número de capacitores em paralelo e/ou em série. Ao aplicar essas restrições, o algoritmo busca no banco de dados apenas os componentes que atendam exatamente aos critérios definidos, o que possibilita uma análise mais focada e personalizada.

Após a definição do banco de capacitores, realiza-se o cálculo das perdas através da expressão (4.41), onde o termo ESR representa a resistência em série equivalente do capacitor [83]. Não foram considerados aspectos relacionados à elevação de temperatura e ciclagem térmica nos capacitores, e os respectivos impactos no desgaste e na vida útil desses componentes.

$$P_{cap,cc} = \left(\frac{N_S}{N_P} \right) \cdot ESR \cdot I_{c,rms}^2 \quad (4.41)$$

Determina-se o volume total do banco de capacitores ($V_{cap,cc}$) através da soma dos volumes individuais de cada capacitor utilizado na formação do arranjo completo.

4.2 Figura de mérito

A obtenção dos resultados globais é feita a partir da união dos resultados de cada parcela do conversor. As perdas totais são determinadas pela soma das perdas nos indutores, capacitores e dispositivos semicondutores, conforme (4.42). Dessa forma, obtém-se em (4.43) o rendimento do conversor, a partir da potência de saída especificada e das perdas totais.

$$P_{total} = P_{semicond} + P_{ind} + P_{cap,cc} \quad (4.42)$$

$$\eta = \frac{P_{out}}{P_{out} + P_{total}} \quad (4.43)$$

O volume total do conversor é determinado a partir da soma do volume do dissipador, do indutor e do banco de capacitores, obtido a partir da expressão (4.44). Além disso, o volume do conversor é utilizado diretamente em (4.45) para calcular a densidade de potência e avaliar a compactação da configuração projetada.

$$V_{total} = V_{hSink} + V_{ind} + V_{cap,cc} \quad (4.44)$$

$$\rho = \frac{P_{out}}{V_{total}} \quad (4.45)$$

O custo total do sistema em (4.46) é a soma dos preços unitários dos semicondutores e capacitores, consultados no distribuidor Mouser [84] em 06 de março de 2024, além dos preços do dissipador e indutores, obtidos com base em dados da pesquisa. Adotou-se uma cotação do dólar [$U\$/R\%$] no valor $R\%$ 4,94 para os componentes precificados na moeda internacional.

$$\text{Custo}_{total} = \text{Custo}_{semicond} + \text{Custo}_{hSink} + \text{Custo}_{ind} + \text{Custo}_{cap,cc} \quad (4.46)$$

O parâmetro σ na expressão (4.47) representa o custo por unidade de potência, uma métrica direta que avalia o impacto financeiro em função da capacidade do conversor.

$$\sigma = \frac{\text{Custo}_{total}}{P_{out}} \quad (4.47)$$

Para otimizar o projeto do conversor utiliza-se a função de Fronteira de Pareto. Essa abordagem identifica soluções dominantes, ou seja, configurações que representam os melhores compromissos entre os critérios avaliados. Uma solução é considerada Pareto-ótima quando não existe outra solução que melhore um objetivo sem piorar algum outro parâmetro [85].

Na avaliação do projeto otimizado do conversor, observa-se a combinação de solução que possui melhor compromisso entre as variáveis de densidade de potência (ρ), rendimento (η) e o inverso do custo por potência ($1/\sigma$). Com isso, define-se neste trabalho uma Figura de Mérito arbitrária (FoM, *Figure of Merit*), conforme equação (4.48).

$$FoM = \rho [kW/dm^3] \times \eta [\%] \times 1/\sigma [kW/R\$] \quad (4.48)$$

A otimização do conversor consiste em maximizar todas as variáveis de desempenho. Quanto maior o valor da Figura de Mérito, melhor classificado será um projeto em relação ao outro. A ferramenta computacional também permite ponderações na Figura de Mérito, com ajustes nos pesos atribuídos a cada parâmetro na definição do ponto ótimo de projeto.

4.3 Conclusões do capítulo

Neste capítulo, foram apresentadas a metodologia e os algoritmos que constituem a ferramenta computacional para otimização de conversores estáticos aplicada neste trabalho. O objetivo da ferramenta computacional é proporcionar um ponto de partida eficiente, permitindo que o usuário selecione rapidamente as configurações que melhor atendem ao projeto, para que em seguida o modelo seja refinado em simulações mais detalhadas, se necessário.

A metodologia da ferramenta abrange o cálculo das perdas e volumes dos componentes principais, incluindo semicondutores, dissipadores, indutores e capacitores, com o objetivo

de otimizar o projeto do conversor. O processo inicia com o uso de algoritmos computacionais que permitem a avaliação multiobjetivo e exploram soluções otimizadas por meio da análise de Pareto.

Os semicondutores são avaliados considerando perdas de condução e chaveamento, utilizando dados de curvas características de dispositivos. Os dissipadores, essenciais para a gestão térmica da solução, são projetados com base nas perdas totais do conversor e ajustados considerando a velocidade do ar e limites térmicos. O banco de capacitores é projetado para atender requisitos de capacitância mínima, corrente eficaz e tensão máxima, utilizando associações em série e/ou paralelo.

Para os indutores, considera-se no dimensionamento a escolha do núcleo magnético, as perdas no enrolamento e no núcleo, e a viabilidade mecânica. Modelos como Steinmetz e iGSE são usados para calcular perdas magnéticas. A decisão de priorizar métodos mais eficientes computacionalmente, como o de Steinmetz para cálculo de perdas no núcleo, reflete a busca por um equilíbrio entre precisão e viabilidade prática, especialmente em projetos iniciais ou em estudos exploratórios.

Por fim, toda a metodologia de otimização culmina na definição da Figura de Mérito (*FoM*) que combina eficiência, densidade de potência e custo por potência, como uma métrica global do conversor e que permite uma avaliação objetiva do desempenho do projeto.

A metodologia implementada na ferramenta computacional foi validada por meio da comparação com dados experimentais fornecidos pela ENGETRON [30], empresa especializada em UPS. Esses dados foram fundamentais para ajustar e assegurar a precisão dos modelos de simulação, especialmente no que diz respeito ao desempenho dos componentes analisados. Essa validação fortalece a confiabilidade da ferramenta e evidencia sua aplicabilidade prática no desenvolvimento e otimização dos conversores de potência.

Capítulo 5

Estudo de Caso e Resultados de Simulações

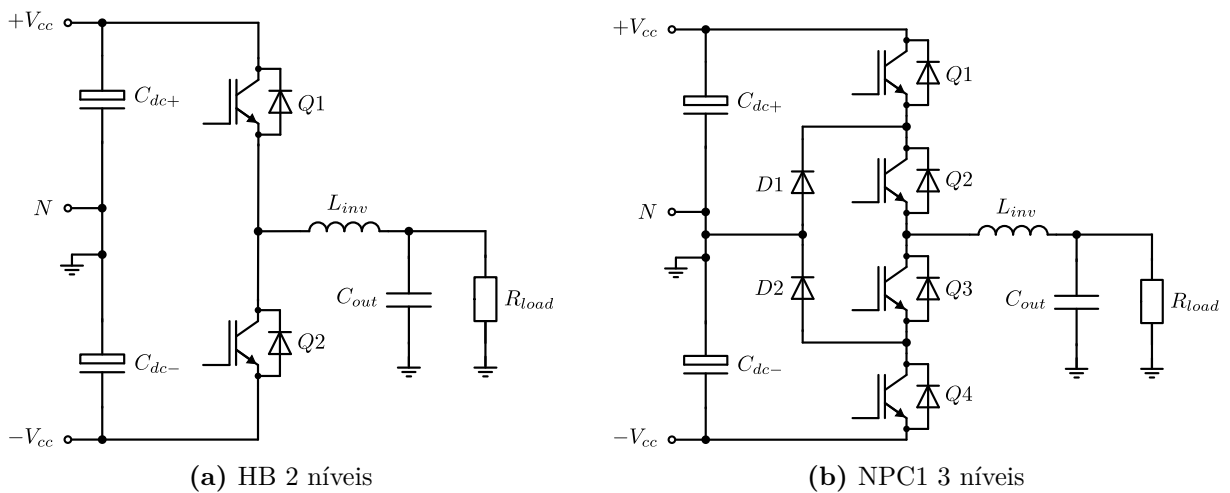
Neste capítulo são apresentados os resultados obtidos a partir da ferramenta computacional abordada ao longo deste documento. Um estudo de caso foi escolhido para aplicar a ferramenta computacional no projeto multiobjetivo de um inversor para UPS e validar os modelos apresentados. Avaliou-se o desempenho do conversor em diferentes condições de operação, como a alternância da topologia e tecnologia das chaves. É comparado o desempenho teórico individual das topologias em estudo, sob os aspectos de perdas, volume e peso. A viabilidade das chaves SiC na composição do conversor também é avaliada no estudo. Por fim, são apresentados os resultados das curvas de Pareto de cada configuração, indicando o ponto ótimo de operação na relação rendimento x densidade de potência e rendimento x custo por potência.

5.1 Metodologia e organização dos resultados

O inversor é um dos estágios mais críticos da UPS dupla conversão, visto que este opera continuamente, quando há rede presente na entrada ou no modo de baterias. A metodologia de análise aplicada neste trabalho trata-se da comparação de diferentes topologias de inversores usando chaves de Silício e Carbetto de Silício. Considerou-se a

implementação das topologias frequentemente utilizadas em aplicações comerciais e na literatura: o inversor clássico $2n$ meia ponte (HB), conforme a Figura 5.1a, e o inversor $3n$ NPC1, apresentado na Figura 5.1b. Ambas as figuras representam o estágio do inversor correspondente a uma única fase de saída.

Figura 5.1: Topologias avaliadas (representação fase única).



Fonte: Dados da Pesquisa, 2024.

As topologias foram avaliadas nas mesmas condições de operação, conforme as especificações e critérios apresentados na Tabela 5.1. A frequência de chaveamento será determinada a partir da análise de cada configuração no estudo de caso. Cabe salientar que todos os testes e simulações foram realizados considerando exclusivamente cargas lineares. Essa decisão foi tomada para simplificar a análise e permitir uma avaliação e comparação mais direta do desempenho das diferentes configurações e topologias.

A escolha da topologia ideal do inversor é crucial para garantir o bom funcionamento da UPS e atender às necessidades da aplicação. A ferramenta computacional apresentada neste trabalho permite a comparação detalhada de diferentes topologias, considerando diversos critérios de otimização, como custo, eficiência energética e densidade de potência.

Um estudo de caso foi escolhido para demonstrar a aplicação da ferramenta computacional no projeto multiobjetivo do inversor. Como referência de projeto de cada topologia, utilizaram-se os parâmetros baseados nas características de projeto do inversor de uma UPS comercial. Na próxima Seção, detalha-se as especificações de referência do inversor.

Tabela 5.1: Principais parâmetros e critérios de projeto.

Especificação	Valor
Potência de saída (P_{out})	10 kW
Tensão de saída fase-neutro (V_{an})	220 V_{rms}
Corrente de saída (I_a)	15, 2 A_{rms}
Máximo <i>ripple</i> de corrente (ΔI_L)	20%
Frequência de rede (f_g)	60 Hz
Tensão do barramento c.c. (V_{dc})	$2 \times 360 V_{cc}$
Tempo <i>hold-up</i> (t_{hup})	16, 66 ms
Temperatura ambiente (T_a)	40 °C
Temperatura de junção máxima ($\max(T_j)$)	140 °C
Velocidade do ar (v_{air})	4 m/s
Nº máximo de chaves em paralelo ($\max(N_{par})$)	4
Resistência de gate ($R_{g,on} / R_{g,off}$)	5 Ω
Tensão de gate (V_G)	15 V
Fator de utilização máximo do núcleo (ku)	0, 4
Máxima densidade de corrente (J)	4, 5 A/mm^2
Máxima densidade de fluxo (B)	0, 8 pu
Nº máximo de <i>bundles</i> ($\max(n_{bd})$)	2
Nº máximo de núcleos empilhados ($\max(n_{stack})$)	3
Fator de crista da corrente (FC)	3
Máxima degeneração da indutância ($\mu_{i\%}$)	0, 15 pu

Fonte: Dados da Pesquisa, 2024.

Nas análises realizadas nos estudos de casos, foi adotado um modelo genérico de *gate driver*, considerado para acionamento de uma única chave/posição. Para fins de uniformidade nas comparações, considerou-se um custo estimado fixo de R\$ 50,00 por unidade de *gate driver*, independentemente da tecnologia da chave, sendo esta IGBT ou SiC.

Essa abordagem simplificada permitiu a avaliação padronizada dos custos totais associados aos *gate drivers* nas diferentes configurações analisadas, que corresponde ao valor

total dos circuitos de acionamento necessários para operar todas as chaves do conversor. Esse valor considera a quantidade total de posições de chaves em cada topologia avaliada.

Através da ferramenta, foi avaliado o projeto otimizado do inversor em três condições diferentes, alternando a tecnologia das chaves, conforme mostrado na Tabela 5.2. Em cada uma das condições, foram avaliadas três configurações distintas, variando-se a frequência de chaveamento do inversor para explorar os efeitos sobre o desempenho do sistema e determinar o ponto ótimo de operação. Cada configuração analisada foi identificada por um número **ID** específico.

Tabela 5.2: Condições de comparações do inversor.

Condição	Topologia	Tecnologia	$V_{BR(sw)}$	ID	f_{sw}
A (5.3)	$2n$ (HB)	Si	1200 V	#1	30, 72 kHz
				#2	padrão 1
				#3	padrão 2
B (5.4)	$3n$ (NPC1)	Si	650 V	#4	30, 72 kHz
				#5	padrão 1
				#6	padrão 2
C (5.5)	$2n$ (HB)	SiC	900 V ou 1200 V	#7	30, 72 kHz
				#8	padrão 1
				#9	padrão 2

Fonte: Dados da Pesquisa, 2024.

Nas condições **A** e **C**, com topologia 2 níveis, avaliou-se interruptores estáticos com tensão de bloqueio ($V_{BR(sw)}$) maior que a tensão plena do barramento c.c.. Para a condição **B**, na topologia 3 níveis, utilizou-se interruptores com $V_{BR(sw)}$ capazes de suportar a metade da tensão do barramento c.c..

Para o estudo desta dissertação, não foi realizada análise específica da topologia $3n$ utilizando SiC, principalmente devido ao custo inerentemente maior desses dispositivos em comparação às chaves de silício. A topologia de três níveis requer um número maior de interruptores estáticos, o que, ao utilizar SiC, eleva consideravelmente o custo total do conversor. Como um dos principais objetivos do estudo é obter uma configuração

otimizada que leve em consideração não apenas a eficiência e a densidade de potência, mas também o custo de implementação, optou-se por não avançar com a análise detalhada da topologia de três níveis com chaves SiC, considerando que a relação custo-benefício não se mostraria vantajosa para a aplicação visada.

As configurações **#1**, **#4** e **#7** consideram uma frequência fixa de $30,72 \text{ kHz}$ para avaliação do conversor, valor escolhido por estar relacionado diretamente com a referência comercial utilizada no estudo de caso, representando um ponto de partida que permite a comparação direta com um produto já estabelecido no mercado.

Nas demais configurações, a frequência de chaveamento é variada ao longo de uma faixa pré-definida, com o objetivo de determinar o melhor ponto de operação para o projeto otimizado. Essa abordagem permite identificar a frequência que proporciona o ponto ótimo de operação e melhor atende aos critérios de otimização estabelecidos.

As configurações **#2**, **#5** e **#8** adotam uma variação da frequência determinada pela expressão $(60 \times 2^n) \text{ kHz}$, com n variando de 7 a 11. Atribuiu-se o nome de **padrão 1** para essa variação, que avalia frequências de chaveamento múltiplas da frequência da rede.

As configurações **#3**, **#6** e **#9** seguem o então intitulado **padrão 2**, no qual a frequência varia de 10 kHz até 130 kHz , em incrementos de 5 kHz . Essa variação proporciona uma análise do desempenho quando utilizados valores de frequência intermediários.

Destaca-se que as simulações realizadas ao longo deste trabalho foram executadas exclusivamente em malha aberta, ou seja, sem a implementação de estratégias de controle nos conversores. Essa abordagem foi adotada para simplificar o processo de avaliação das características de desempenho e eficiência de cada configuração, focando diretamente nos parâmetros elétricos e magnéticos definidos nas condições de operação determinadas.

5.2 UPS comercial de referência

Como referência para o projeto e as comparações realizadas entre cada topologia, utilizou-se os parâmetros listados na Tabela 5.3, baseados nas especificações de projeto do inversor de uma UPS comercial da fabricante ENGETRON, com duas alternativas

de topologia. Ambas as alternativas foram utilizadas para realizar as comparações de desempenho no contexto do estudo.

A escolha de uma referência comercial como ponto de partida teve como objetivo estabelecer uma base sólida e realista para avaliar as diferentes configurações desenvolvidas, permitindo comparações mais precisas em termos de desempenho e aplicabilidade prática.

Para cada configuração proposta na Tabela 5.2, após obtida a condição de melhor desempenho, compararam-se os respectivos resultados com os parâmetros das referências comerciais, possibilitando uma análise das vantagens e desvantagens de cada configuração.

Tabela 5.3: Especificações de referência do inversor.

Parâmetro	2 níveis (HB)	3 níveis (NPC1)
IGBT	MBQ40T120 <i>ou</i> NGTB40N120 (2 por posição)	IKW50N65ES5 (1 por posição)
$V_{BR(sw)}$	1200 V	650 V
Diodo de grampeamento	n.a.	APT60DQ60BG
Indutor	1367 μH 3x núcleo 78110 80 espiras (16x #25)	714 μH 2x núcleo 78110 69 espiras (16x #25)
Capacitância do barramento	22x 680 μF / 400 V (11 por barramento)	22x 680 μF / 400 V (11 por barramento)
Dissipador	HS6835 / 151,5mm	HS6835 / 151,5mm
Frequência de chaveamento	30,72 kHz	30,72 kHz

Fonte: Dados da Pesquisa, 2024.

5.2.1 Topologia 2 níveis

Para a topologia de 2 níveis (HB), o projeto de referência considera duas possibilidades de chaves IGBT de Si com tensão máxima de 1200 V, utilizando dois dispositivos em paralelo para cada posição do conversor.

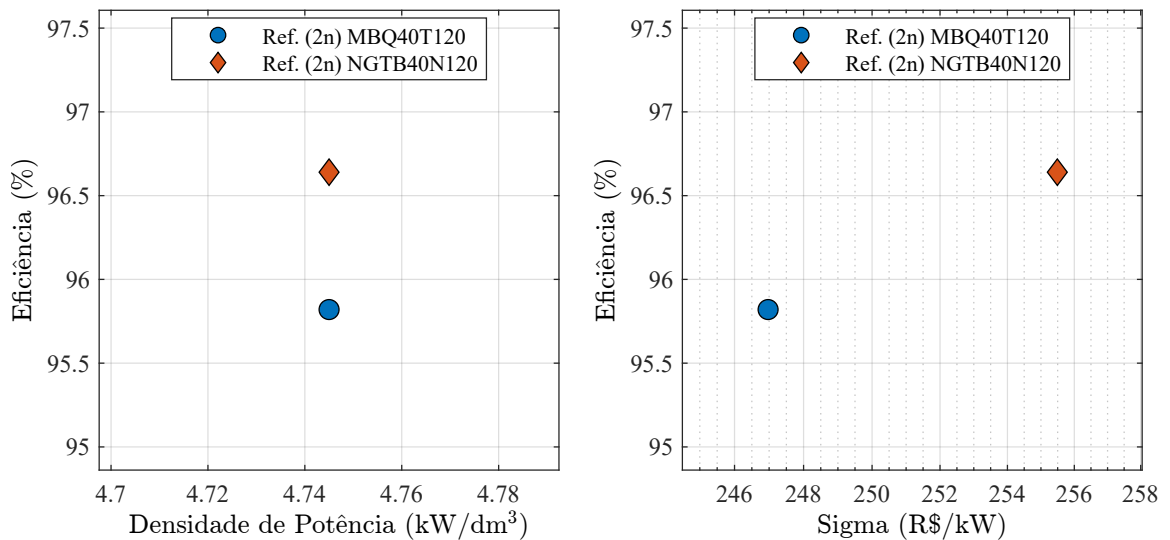
Graficamente, a comparação dos projetos de referência, desenvolvida a partir dos parâmetros de desempenho descritos na Tabela 5.4, é ilustrada na Figura 5.2. Há a mudança apenas do modelo de chave, com o dissipador, indutor e banco de capacitores mantendo as mesmas especificações.

Tabela 5.4: Desempenho da referência comercial $2n$ para as duas possibilidades de chaves.

Referência 2 níveis (HB)		
IGBT	MBQ40T120FESTH	NGTB40N120FL3WG
η [%]	95,82	96,64
σ [R\$/kW]	246,97	255,49
ρ [kW/dm ³]	4,745	4,745
FoM	1,841	1,795

Fonte: Dados da Pesquisa, 2024.

Figura 5.2: Comparação do desempenho das configurações de referência 2 níveis (HB).



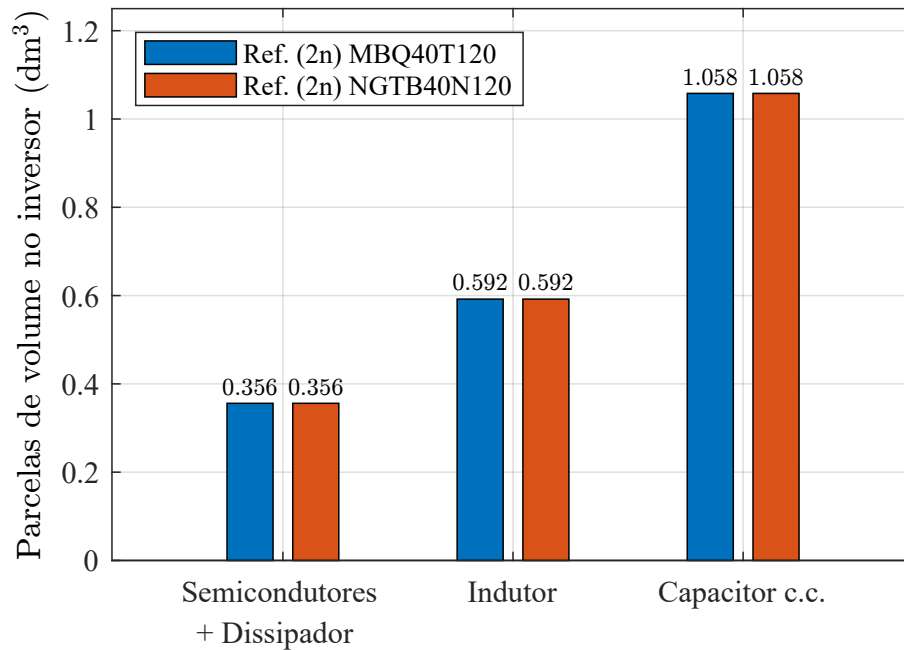
Fonte: Dados da Pesquisa, 2024.

Observa-se que o projeto da referência comercial utilizando a chave MBQ40T120 oferece melhor custo por potência, apesar de apresentar menor eficiência comparado à configuração com chave NGTB40N120, o que resulta também em uma maior figura de mérito.

A configuração utilizando qualquer uma das alternativas de chaves produz a mesma

densidade de potência, como mostrado na Figura 5.3, uma vez que não há alterações no dimensionamento das outras parcelas do conversor, como dissipadores ou indutores.

Figura 5.3: Distribuição de volume na configuração de referência 2 níveis (HB).



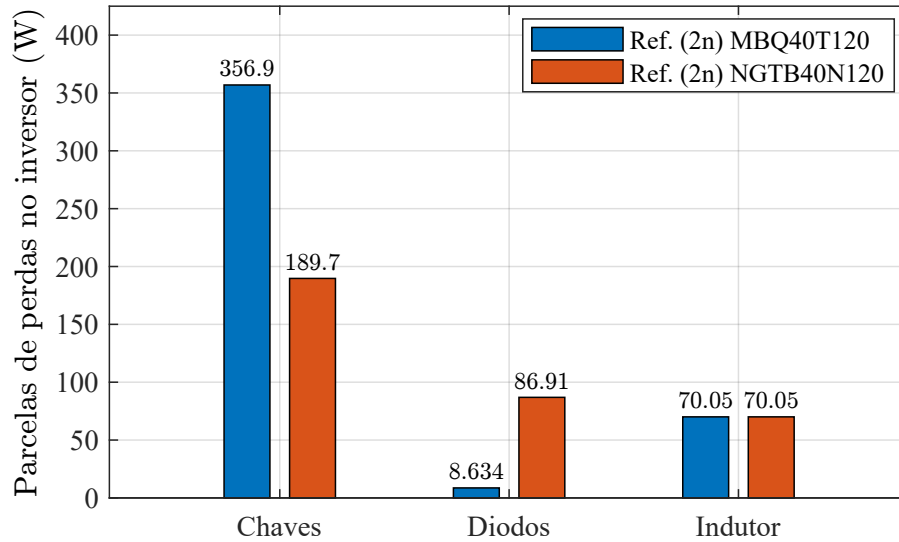
Fonte: Dados da Pesquisa, 2024.

A Figura 5.4 apresenta a distribuição de perdas no projeto de referência, para cada uma das chaves, NGTB40N120 e MBQ40T120. Observa-se que a chave NGTB40N120 apresentou uma redução significativa nas perdas totais, de aproximadamente 20%, em comparação com a configuração que utiliza o modelo MBQ40T120. Em contrapartida, as perdas nos diodos intrínsecos das chaves, que são muito afetadas pelas perdas de chaveamento nos mesmos, são consideravelmente inferiores quando utilizada a chave MBQ40T120.

Na Figura 5.5 é apresentada a distribuição de custo das principais partes que compõem o projeto do inversor. Como a diferenciação nos projetos de referência é apenas no modelo das chaves, as demais partes possuem valores iguais para ambos os projetos. A chave NGTB40N120 possui custo superior em comparação à chave MBQ40T120, o que justifica o maior custo por potência (σ) desse projeto, conforme Tabela 5.4.

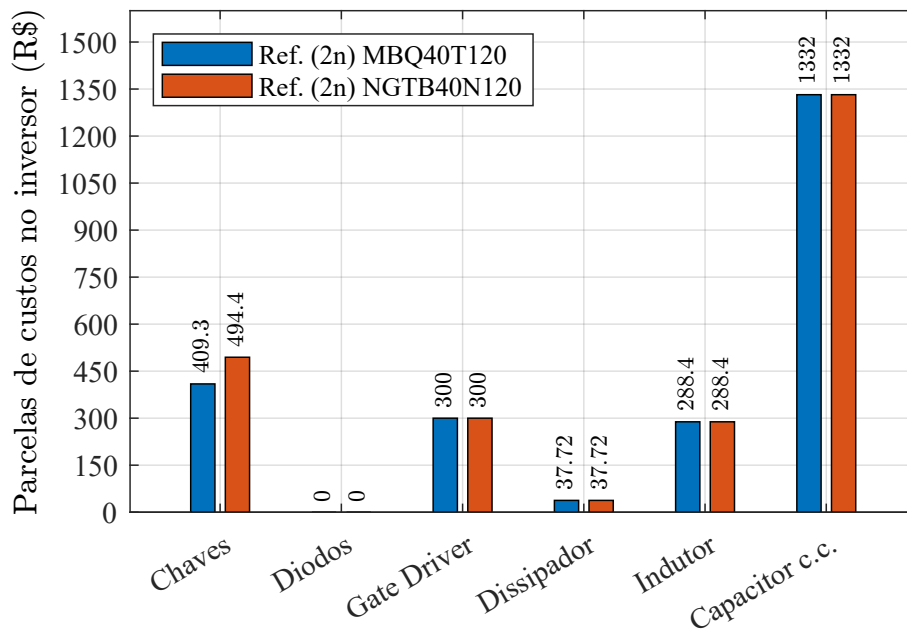
Portanto, a configuração com chave MBQ40T120 é uma alternativa mais econômica, com uma Figura de Mérito ligeiramente superior, enquanto o NGTB40N120 oferece uma

Figura 5.4: Distribuição de perdas na configuração de referência 2 níveis (HB).



Fonte: Dados da Pesquisa, 2024.

Figura 5.5: Distribuição de custos na configuração de referência 2 níveis (HB).



Fonte: Dados da Pesquisa, 2024.

eficiência marginalmente melhor, mas a um custo financeiro maior. No âmbito de um desenvolvimento prático do conversor, a decisão sobre qual dispositivo utilizar deve levar em consideração o objetivo do projeto: se a prioridade for a eficiência energética, o

NGTB40N120 pode ser a melhor escolha; entretanto, se a prioridade for o custo-benefício, o MBQ40T120 mostra-se uma opção mais vantajosa.

Como o objetivo desta pesquisa é a comparação de desempenho pela métrica da Figura de Mérito, que consolida o desempenho do inversor, a configuração utilizando a chave NGTB40N120 foi descartada da seleção e análises posteriores, mantendo-se a chave MBQ40T120 como referência da configuração comercial $2n$ para comparações.

5.2.2 Topologia 3 níveis

A UPS comercial utilizada como referência neste estudo também apresenta a topologia 3 níveis (NPC1) como alternativa para o projeto do inversor, como demonstrado anteriormente na Tabela 5.3. Nessa topologia, foi utilizada chave IGBT de silício com tensão de bloqueio de 650 V, com um dispositivo por posição. A diferença na tensão de bloqueio deve-se à arquitetura das topologias, onde a configuração NPC1 reduz a tensão máxima aplicada sobre cada chave.

O desempenho do projeto de referência na configuração $3n$ é retratado na Tabela 5.5, em comparação com a referência comercial na configuração $2n$. Percebe-se que, apenas a mudança da topologia e a utilização de outro modelo de chave já proporcionam melhor desempenho para o inversor, principalmente na eficiência e densidade de potência.

Tabela 5.5: Desempenho das configurações de referência comercial, $3n$ em relação à $2n$.

	Referência 3 níveis	Referência 2 níveis
IGBT	IKW50N65ES5	MBQ40T120FESTH
η [%]	97,70	95,82
σ [R\$/kW]	252,06	246,97
ρ [kW/dm ³]	5,305	4,745
FoM	2,056	1,841

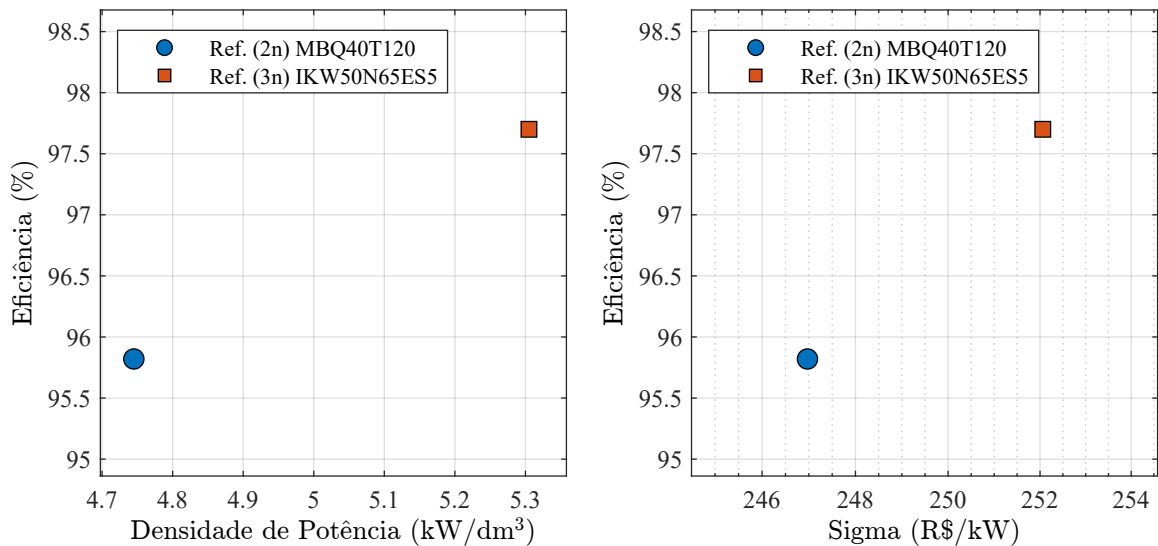
Fonte: Dados da Pesquisa, 2024.

Percebe-se que, embora a topologia de 3 níveis apresente um custo por potência um pouco mais alto, ela oferece vantagens consideráveis em termos de eficiência e densidade

de potência. Isso reflete-se na figura de mérito do projeto, maior para a topologia de 3 níveis em comparação com a topologia de 2 níveis, que indica um melhor equilíbrio entre os parâmetros do conversor.

A Figura 5.6 apresenta a comparação gráfica entre as duas referências comerciais de inversores, 2 níveis e 3 níveis, com base nos parâmetros de eficiência, densidade de potência e custo por unidade de potência.

Figura 5.6: Comparação do desempenho das configurações de referência $3n$ e $2n$.



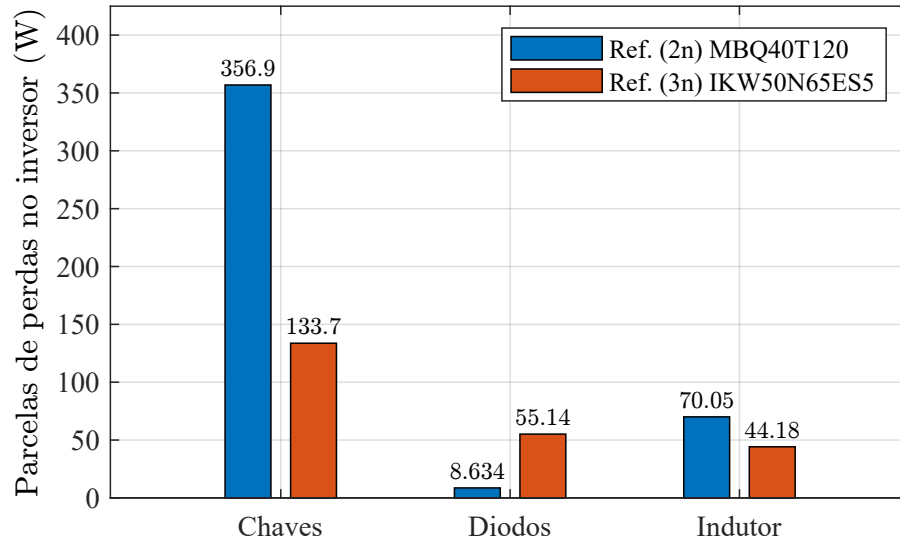
Fonte: Dados da Pesquisa, 2024.

Demonstra-se na Figura 5.7 a comparação das perdas dos componentes nas duas configurações de referência. As perdas são divididas entre as contribuições das chaves IGBTs, dos diodos e do indutor para ambas as topologias.

A topologia $2n$ apresenta maiores perdas totais, sendo quase o dobro em comparação com a topologia de $3n$ níveis. As perdas de chaveamento correspondem à maior parcela das perdas totais, e essas são significativamente menores na topologia 3 níveis, onde os dispositivos comutam de estado apenas com a metade da tensão do barramento c.c. e máximas na topologia $2n$, em que estes bloqueiam a tensão plena do barramento.

As perdas nos diodos são marginais no inversor de 2 níveis, correspondendo apenas às perdas nos diodos intrínsecos à chave, enquanto no inversor NPC1 elas se tornam consideráveis, devido à utilização de diodos de grampeamento na arquitetura do conversor.

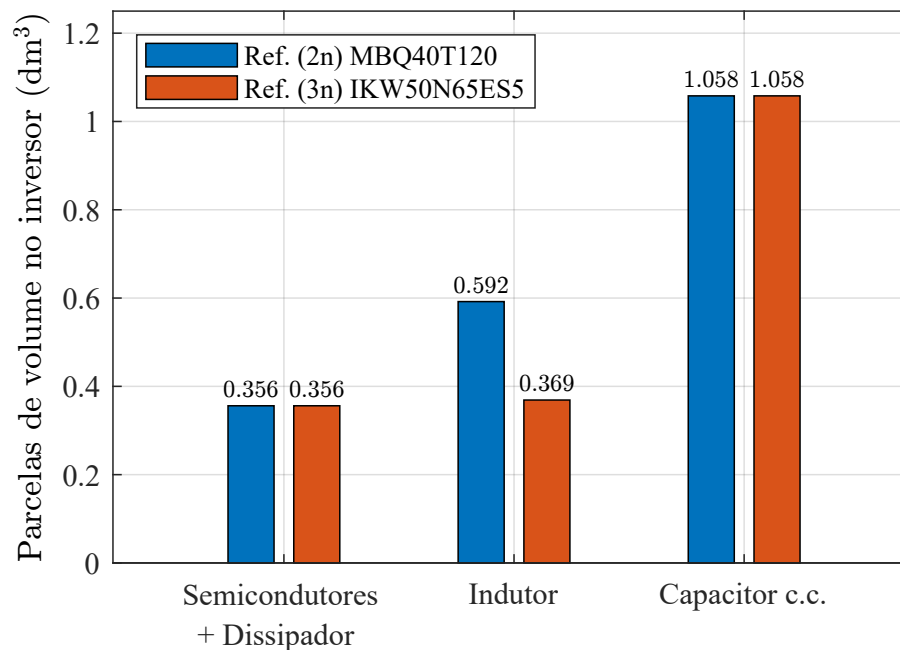
Figura 5.7: Distribuição de perdas nas configurações de referência $3n$ e $2n$.



Fonte: Dados da Pesquisa, 2024.

A topologia NPC1 caracteriza-se também por possibilitar que a indutância nominal seja metade do valor do indutor utilizado na topologia 2 níveis. Perante a Figura 5.8, nota-se que essa redução implica na diminuição do volume do indutor, contribuindo para

Figura 5.8: Distribuição de volume nas configurações de referência $3n$ e $2n$.



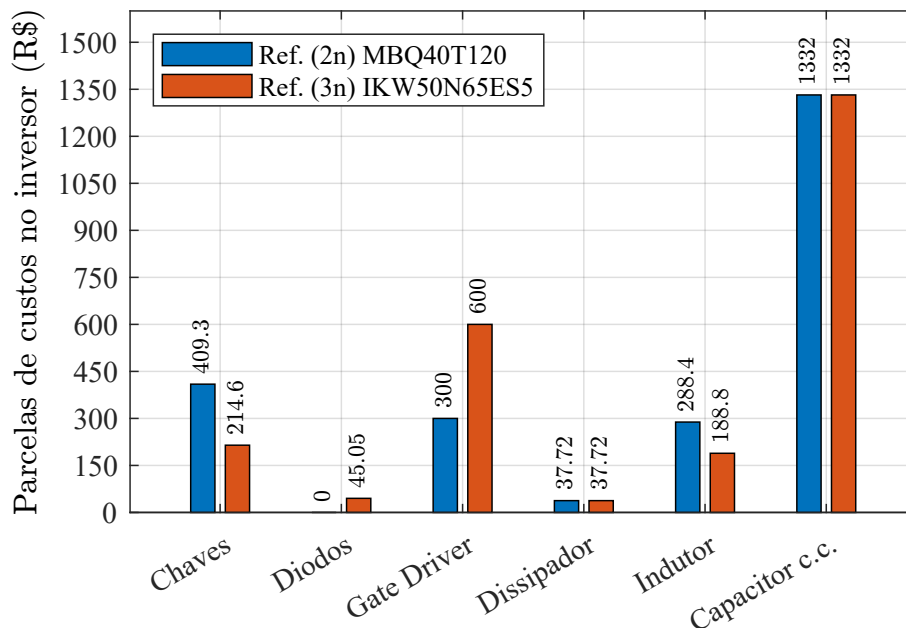
Fonte: Dados da Pesquisa, 2024.

o aumento da densidade de potência.

Não há diferenças no volume do dissipador entre as topologias, pois o modelo e tamanho do dissipador utilizados nas duas configurações são os mesmos. Para ambas as topologias, o volume dos capacitores do barramento c.c. não apresenta variação significativa, visto que a especificação dessa parcela é igual para as duas configurações de referência.

Na análise dos custos das configurações de referência, observa-se que a topologia de 3 níveis apresenta custos mais altos em algumas parcelas. Conforme ilustrado na Figura 5.9, o aumento de custo ocorre principalmente em relação aos *gate drivers*, que são duplicados na topologia de 3 níveis, pela maior quantidade de chaves na composição do inversor. Além disso, há um custo adicional com diodos, devido ao uso de diodos de grampeamento na topologia NPC1.

Figura 5.9: Distribuição de custos nas configurações de referência $3n$ e $2n$.



Fonte: Dados da Pesquisa, 2024.

Doravante, os custos apresentados na categoria *Diodos* referem-se apenas aos diodos de grampeamento, utilizados exclusivamente na topologia NPC1 e que não estão presentes na topologia HB, o que explica a ausência de custos correspondentes. Ressalta-se que

as chaves consideradas no estudo, sejam IGBTs ou MOSFETs, já possuem o diodo em antiparalelo integrado ao mesmo encapsulamento, o que elimina a necessidade de diodos adicionais para essa função específica.

A chave MBQ40T120 utilizada na topologia $2n$ apresenta um custo elevado, enquanto na topologia de 3 níveis são utilizadas chaves IKW50N65ES5, que têm um custo menor. Destaca-se também que, apesar da diferença de topologia, a quantidade total de chaves é igual nas configurações de referência $2n$ e $3n$, pois a configuração 2 níveis utiliza dois dispositivos por posição.

O indutor também contribui para a vantagem da topologia $3n$. Como mencionado anteriormente, a indutância necessária na topologia 3 níveis é menor, o que reduz o custo do indutor. Esse fator tem um impacto positivo tanto em termos de custo do componente quanto na redução do volume e peso do indutor.

O dissipador e os capacitores c.c. apresentam custos similares em ambas as topologias, refletindo as especificações dessas parcelas que não diferem entre os projetos.

5.3 Inversor 2 níveis otimizado com chaves Si

A primeira comparação de otimização será feita na condição **A**, onde realizou-se um estudo da topologia 2 níveis com chaves de silício de 1200 V, em diferentes condições de chaveamento. O estudo examina três diferentes condições operacionais, explorando variações na frequência de chaveamento e analisando seu impacto nos parâmetros de desempenho do conversor.

Foram proporcionados à ferramenta computacional alguns graus de liberdade para definição do projeto otimizado, sendo eles: projeto dos semicondutores dissipadores, projeto dos indutores e projeto dos capacitores do barramento c.c..

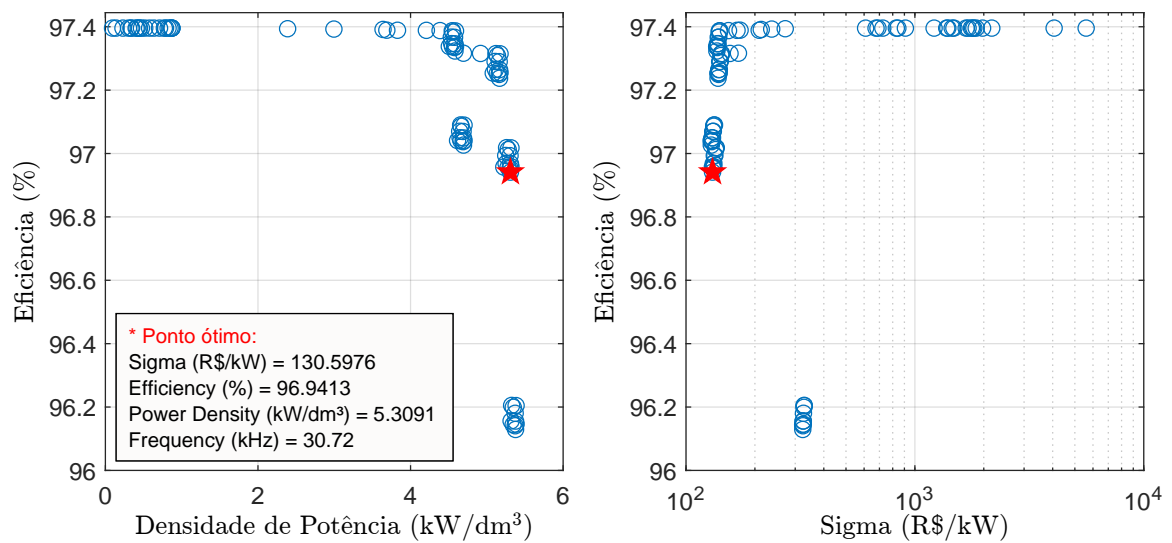
5.3.1 Configuração #1: Projeto $2n$ livre com frequência fixa

Inicialmente, avaliou-se o projeto livre do inversor de 2 níveis, apenas definindo a frequência de chaveamento em 30,72 kHz. Essa frequência fixa é baseada na referência

comercial utilizada no estudo de caso.

A Figura 5.10 ilustra os resultados do espaço de soluções obtido pela ferramenta computacional. Avaliou-se 89 projetos distintos, que satisfizeram as especificações do projeto, para a otimização do conversor com chaves de silício. O melhor projeto é destacado nesse gráfico com o símbolo da estrela vermelha.

Figura 5.10: Espaço de soluções para a configuração otimizada #1.



Fonte: Dados da Pesquisa, 2024.

As especificações da configuração otimizada #1 são apresentadas na Tabela 5.6. Os principais parâmetros de desempenho dessa solução são listados na Tabela 5.7 e comparados com as referências comerciais.

Na configuração #1, utilizou-se o modelo de IGBT IKW15N120BH6, que possui custo unitário inferior às chaves utilizadas na referência comercial. Um fator interessante a se notar foi o uso de apenas uma chave por posição no conversor, ao invés de chaves em paralelo como na referência comercial, que também contribuiu para a otimização.

O projeto do indutor foi ligeiramente revisado, passando para 17 fios com bitola #24 AWG em paralelo, mantendo-se as demais características construtivas conforme a referência comercial de 2 níveis (apresentada na Seção 5.2.1).

O banco de capacitores do barramento foi reduzido para quatro capacitores, 1600 μF e 400 V cada, por barramento, totalizando oito capacitores no arranjo completo. Tal

Tabela 5.6: Especificações da configuração otimizada #1.

Parâmetro	ID #1
IGBT	IKW15N120BH6 (1 por posição)
$V_{BR(sw)}$	1200 V
Diodo de grampeamento	n.a.
Indutor	1367 μH 3x núcleo 78110 / 78 espiras (17x #24)
Capacitância do barramento	8x 1600 μF / 400 V (4 por barramento)
Dissipador	HS6835 / 121,6mm
Frequência de chaveamento	30,72 kHz

Fonte: Dados da Pesquisa, 2024.

Tabela 5.7: Desempenho da configuração otimizada #1 e das referências comerciais.

	ID #1	Referência 2n	Referência 3n
η [%]	96,94	95,82	97,70
σ [$R\$/kW$]	130,59	246,97	252,06
ρ [kW/dm^3]	5,309	4,745	5,305
FoM	3,941	1,841	2,056

Fonte: Dados da Pesquisa, 2024.

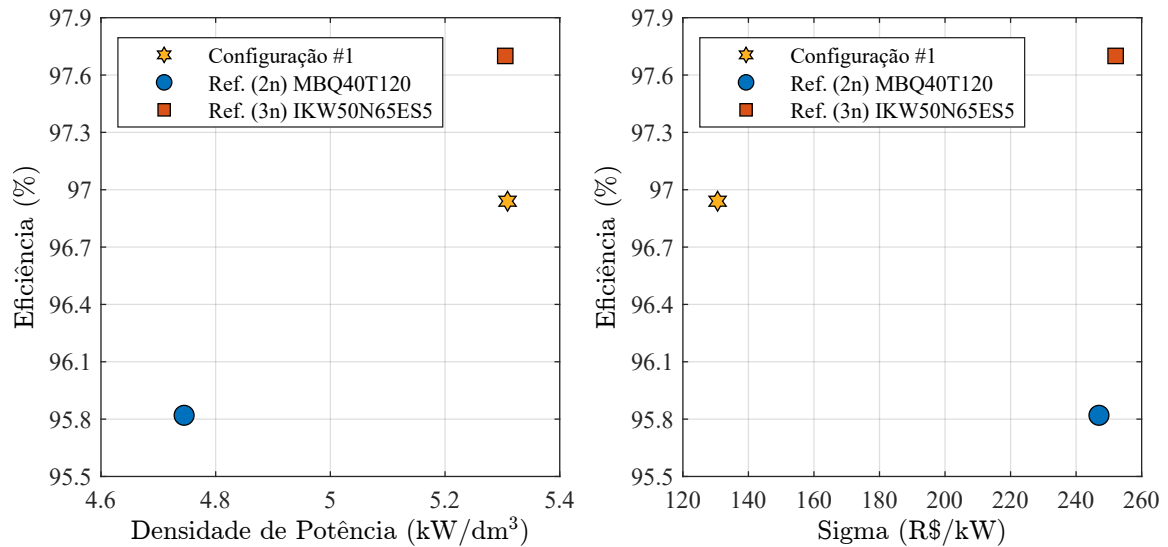
redução proporcionou redução significativa no custo e menor ocupação volumétrica dessa parcela, ainda atendendo à capacitância mínima necessária, conforme definida pela Equação (4.39).

Nesta configuração, o modelo do dissipador foi mantido, porém houve redução no comprimento, o que também contribuiu para a otimização do volume.

Ilustra-se na Figura 5.11 a comparação gráfica da configuração otimizada #1 e das referências comerciais. A Configuração #1 demonstrou eficiência superior à referência de 2 níveis, mas inferior quando comparada à referência de 3 níveis.

A densidade de potência da configuração otimizada superou significativamente a referência 2n, sendo equivalente à densidade da referência 3n, o que evidencia o impacto

Figura 5.11: Comparação do desempenho da configuração otimizada #1 e das referências comerciais.



Fonte: Dados da Pesquisa, 2024.

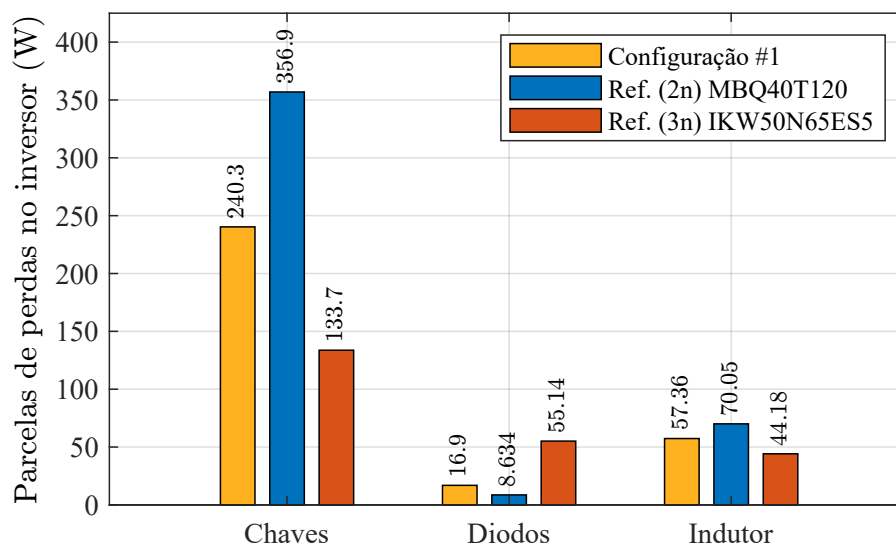
positivo da otimização na compactação dos componentes passivos, como indutores e capacitores.

A configuração #1, mostrou-se a mais econômica em termos de custo por unidade de potência, com uma redução expressiva no parâmetro σ , alcançando um valor quase 50% menor que as duas referências comerciais.

A partir do gráfico de distribuição de perdas, ilustrado na Figura 5.12, evidencia-se que a configuração otimizada #1 apresenta um total de 314,56 W de perdas, que é consideravelmente inferior à referência 2n, com 435,58 W, mas ainda maior que a referência de 3n (233,02 W). Essa redução é mais acentuada nas perdas relacionadas aos semicondutores, pela utilização de menos chaves na composição do conversor, e no indutor pela construção do enrolamento com fio de bitola maior, o que diminui as perdas no cobre.

A Figura 5.13 demonstra a distribuição do volume no conversor. No quesito volume, a configuração otimizada #1 possui um total de 1,783 dm³, que é inferior ao volume da referência 2 níveis (2,006 dm³) e similar à referência 3 níveis (1,784 dm³). A redução de volume foi possível principalmente na parcela do capacitor c.c. pela otimização do arranjo.

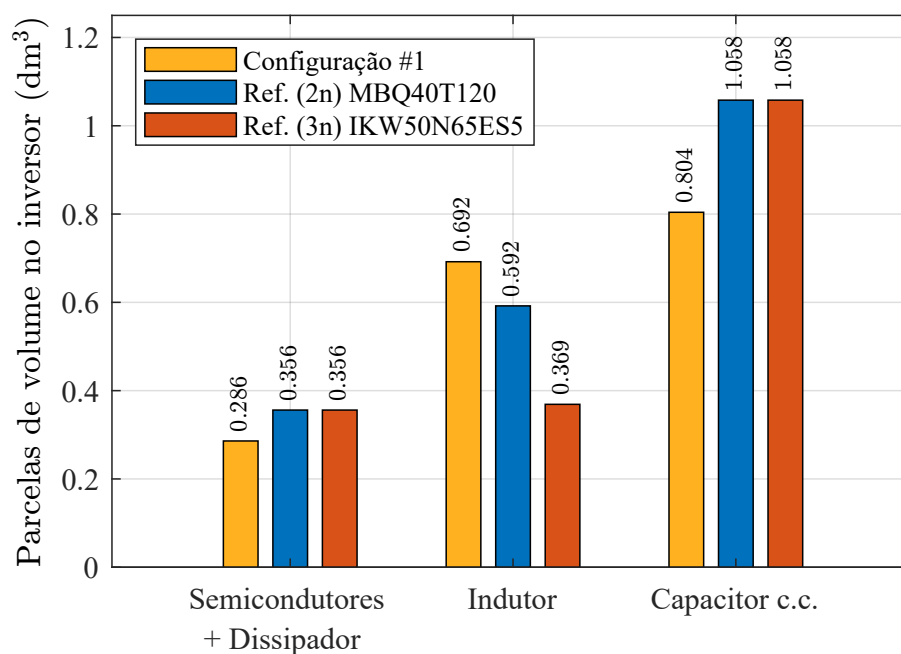
Figura 5.12: Distribuição de perdas na configuração otimizada #1.



Fonte: Dados da Pesquisa, 2024.

A redução de volume também reflete-se no dissipador, que possui menor comprimento em relação às referências comerciais.

Figura 5.13: Distribuição de volume na configuração otimizada #1.

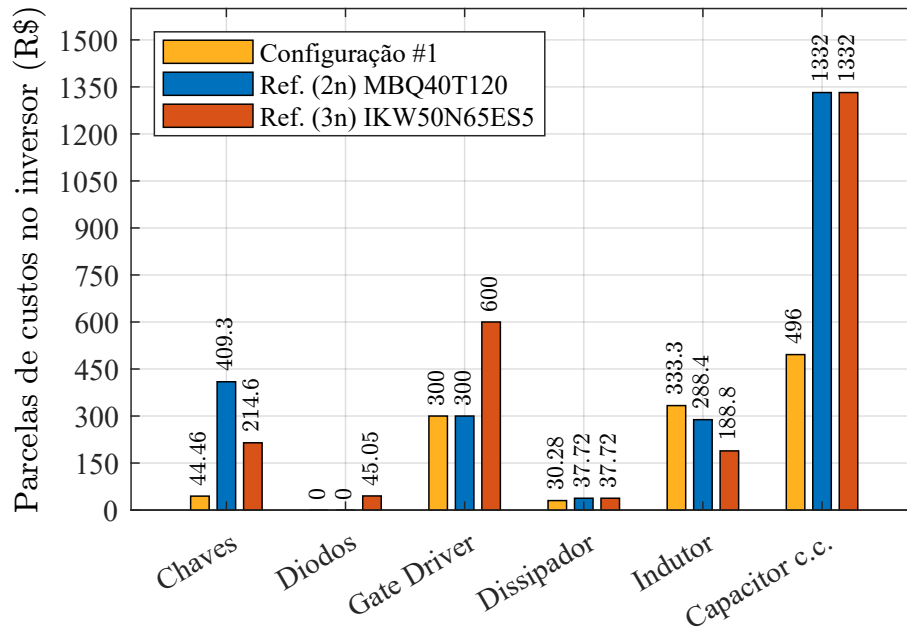


Fonte: Dados da Pesquisa, 2024.

A análise dos custos apresentada na Figura 5.14 evidencia uma vantagem significativa

da configuração #1 em relação às referências comerciais. No projeto otimizado, o custo total do inversor é substancialmente menor, com reduções notáveis em praticamente todas as parcelas, especialmente nas chaves e no banco de capacitores c.c..

Figura 5.14: Distribuição de custos na configuração otimizada #1.



Fonte: Dados da Pesquisa, 2024.

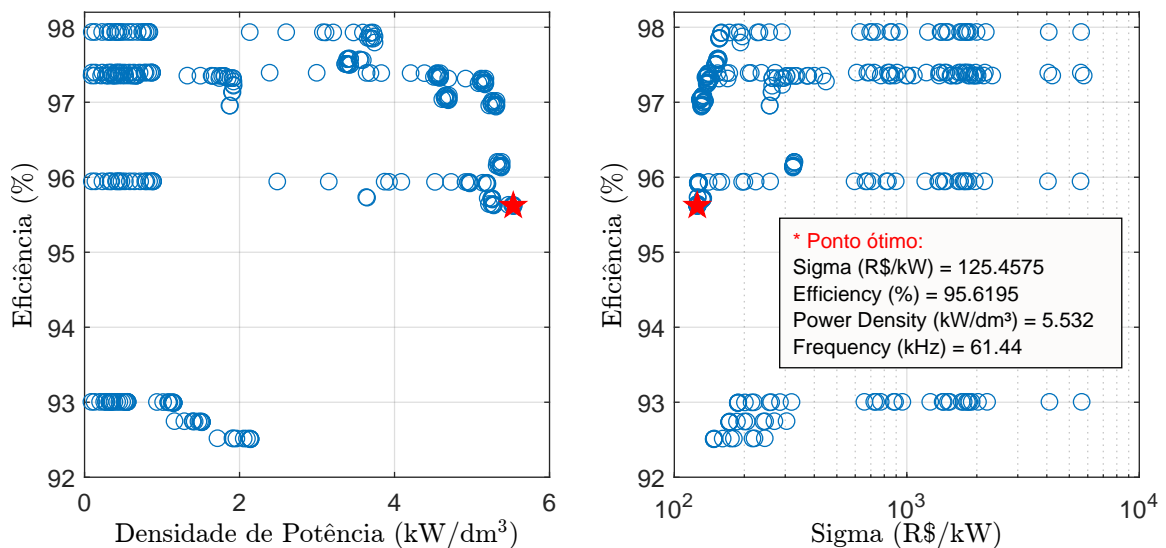
Especificamente, o custo reduzido das chaves na configuração #1 é resultado da seleção otimizada do modelo de IGBT que já atendesse os requisitos de corrente do projeto, além de utilizar apenas um dispositivo por posição. Adicionalmente, a escolha dos capacitores c.c. otimizados reduziu significativamente os custos dessa parcela, para aproximadamente 1/3 do custo da referência comercial.

A parcela de custo referente ao dissipador foi menor na configuração #1 devido à redução no comprimento do mesmo. Diferente das demais parcelas, o custo do indutor foi maior na configuração otimizada. Essa diferença pode ser atribuída à utilização de mais fios em paralelo, 17 contra 16 da referência comercial, além da bitola maior (#24 AWG contra #25 AWG da referência). Apesar disso, o aumento no custo do indutor foi compensado pela redução nas demais parcelas, permitindo uma redução no custo total para aproximadamente metade do custo das referências comerciais.

5.3.2 Configuração #2: Projeto 2n livre com variação de frequência no padrão 1

A configuração ID #2 considera novamente a avaliação do projeto otimizado do conversor na topologia 2 níveis, sem predefinição de modelos de componentes, porém variando-se a frequência de chaveamento no conversor de $(60 \times 2^n) \text{ Hz}$, onde $n = [7 \dots 11]$. Neste trabalho definiu-se a nomenclatura **padrão 1** para essa variação de frequência. A Figura 5.15 apresenta o resultado do espaço de soluções gerado pela ferramenta computacional após a análise de 304 projetos distintos.

Figura 5.15: Espaço de soluções para a configuração otimizada #2.



Fonte: Dados da Pesquisa, 2024.

Coincidentemente, a chave com melhor desempenho na configuração #2 foi o modelo NGTB40N120FL3WG, avaliado anteriormente como uma das alternativas na referência comercial. Porém, desta vez, foi considerada apenas uma chave por posição, além da operação do conversor com frequência de chaveamento de 61,44 kHz no projeto otimizado, sendo o dobro da referência comercial. As especificações da configuração otimizada #2 são sumarizadas na Tabela 5.8.

A Tabela 5.9 compara o desempenho da configuração #2 com as referências comerciais. A configuração #2 apresenta uma eficiência inferior à referência 3 níveis, mas

Tabela 5.8: Especificações da configuração otimizada #2.

Parâmetro	ID #2
IGBT	NGTB40N120FL3WG (1 por posição)
$V_{BR(sw)}$	1200 V
Diodo de grampeamento	n.a.
Indutor	683,6 μH 2x núcleo 78213 / 55 espiras (17x #24)
Capacitância do barramento	8x 1600 μF / 400 V (4 por barramento)
Dissipador	HS6835 / 221,6mm
Frequência de chaveamento	61,44 kHz

Fonte: Dados da Pesquisa, 2024.

equivalente à referência 2 níveis. No quesito do custo, a configuração otimizada atinge um custo por potência significativamente abaixo das referências, na ordem de 50% de redução.

Tabela 5.9: Desempenho da configuração otimizada #2 e das referências comerciais.

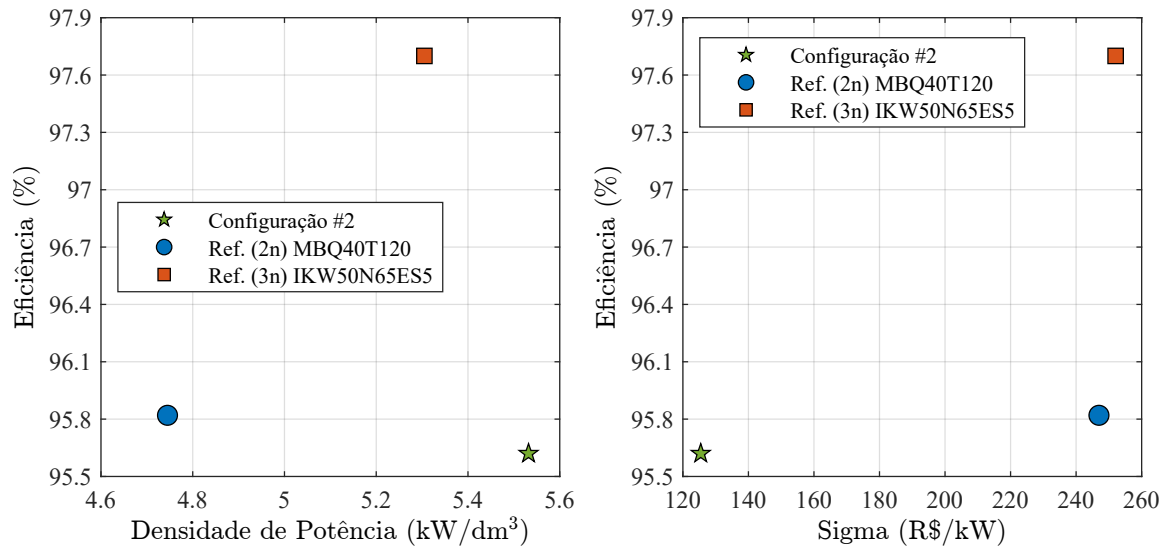
	ID #2	Referência 2n	Referência 3n
η [%]	95,62	95,82	97,70
σ [R\$/kW]	125,45	246,97	252,06
ρ [kW/dm ³]	5,532	4,745	5,305
FoM	4,217	1,841	2,056

Fonte: Dados da Pesquisa, 2024.

A densidade de potência da configuração #2 é superior às referências, pela otimização no uso do volume do conversor. Além disso, a configuração #2 obteve o melhor resultado na métrica da figura de mérito, o que indica uma solução mais balanceada, combinando custo, densidade e eficiência. Verifica-se, mediante a inspeção gráfica na Figura 5.16, a comparação de desempenho entre o projeto em relação às referências comerciais.

A análise do volume das diferentes configurações revela dados interessantes em relação às parcelas de volume utilizadas no inversor. O gráfico da Figura 5.17 evidencia que a

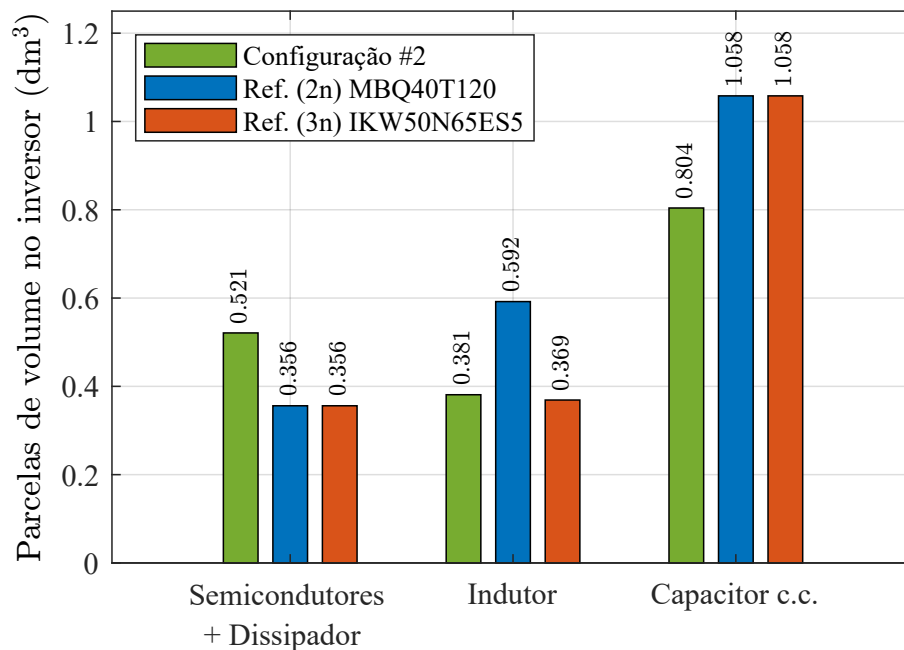
Figura 5.16: Comparação do desempenho da configuração otimizada #2 e das referências comerciais.



Fonte: Dados da Pesquisa, 2024.

configuração #2 apresenta menor volume total em comparação com a referência comercial 2n, e um volume total similar à referência 3n.

Figura 5.17: Distribuição de volume na configuração otimizada #2.



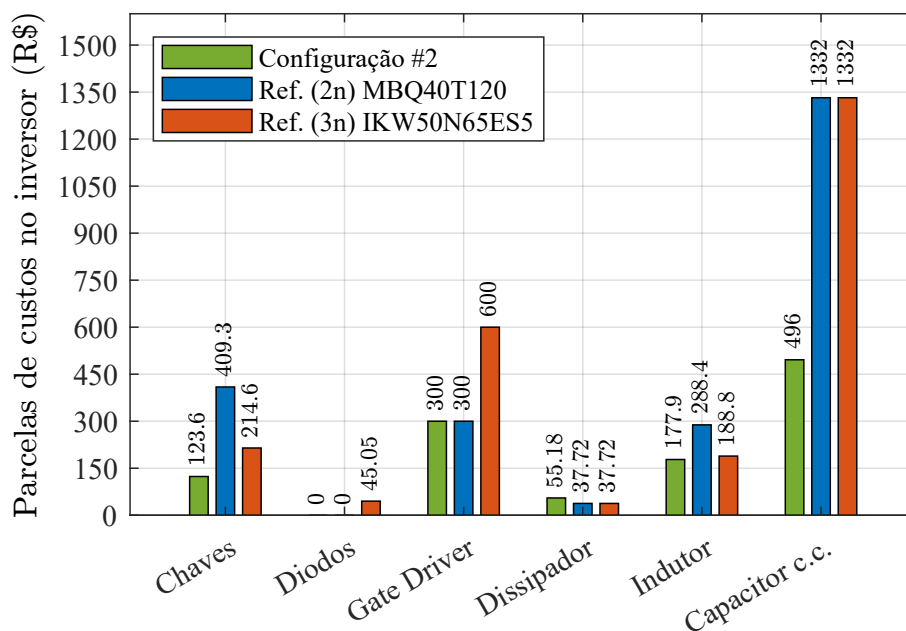
Fonte: Dados da Pesquisa, 2024.

Conforme apresentado anteriormente na Tabela 5.8, houve um aumento no comprimento do dissipador na solução, o que impactou diretamente o volume combinado das chaves e do dissipador na configuração #2.

A configuração otimizada #2 também apresenta uma redução significativa no volume do capacitor em comparação às duas referências comerciais; essa redução está diretamente relacionada à otimização do arranjo no barramento c.c., conforme realizada também na configuração #1, vide metodologia apresentada na Seção 4.1.4.

A análise dos custos apresentados na Figura 5.18 revela diferenças significativas entre a configuração otimizada #2 e as referências comerciais. Na configuração otimizada, observa-se um custo total consideravelmente inferior a ambas as referências. O maior impacto da redução de custo na configuração #2 está nas chaves e no banco de capacitores do barramento c.c..

Figura 5.18: Distribuição de custos na configuração otimizada #2.



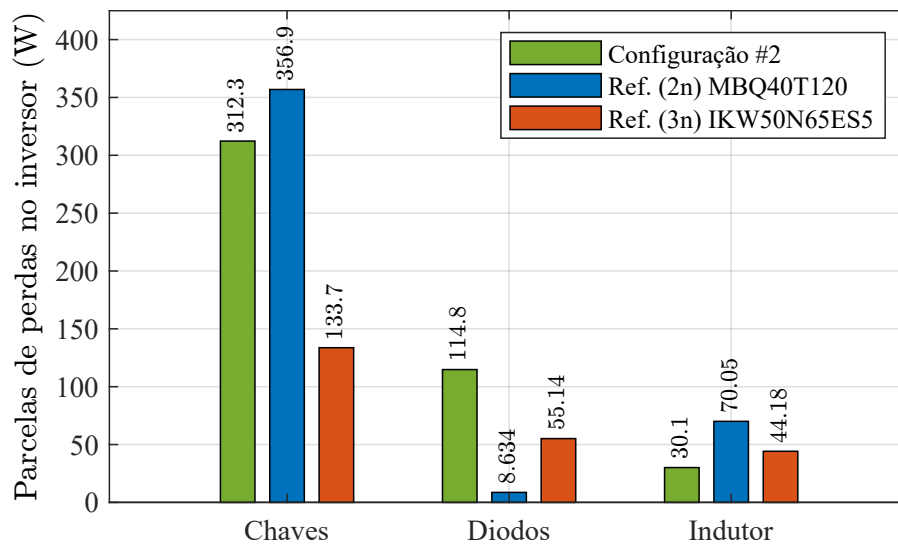
Fonte: Dados da Pesquisa, 2024.

O custo do dissipador foi a única parcela onde houve aumento em relação às referências comerciais. Isso é justificável pelo maior comprimento do dissipador. Possivelmente foi-se necessário aumento do dissipador, visando manter os semicondutores nos níveis de

temperatura aceitáveis para operação, diante das maiores perdas observadas nos semicondutores.

A Figura 5.19 apresenta o detalhamento das perdas totais no inversor, segregadas nas três principais categorias. Destaca-se que, no quesito de perdas totais, quando somadas as perdas de todas as parcelas, a configuração #2 apresenta um desempenho pior que ambas as referências comerciais.

Figura 5.19: Distribuição de perdas na configuração otimizada #2.



Fonte: Dados da Pesquisa, 2024.

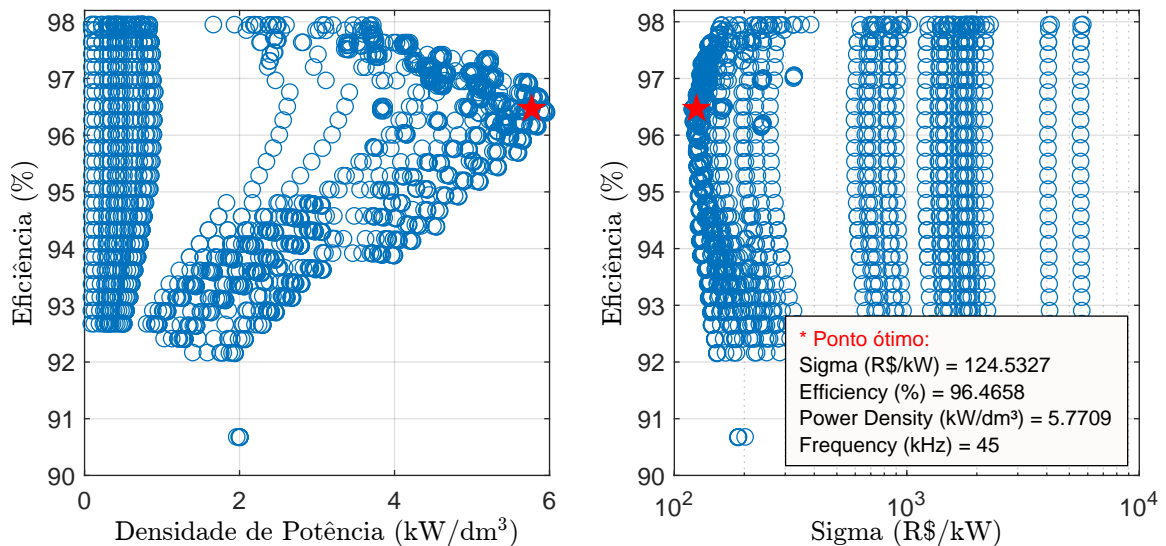
Verifica-se que, apesar das perdas nas chaves serem menores que as perdas da referência 2 níveis, e as perdas no indutor serem inferiores a ambas as referências, as perdas nos diodos foram consideravelmente maiores, mesmo o conversor com topologia $2n$ não utilizando diodos de grampeamento. Esse aumento nas perdas nos diodos intrínsecos da chave pode ser explicado por fatores como a maior frequência de chaveamento proposta para a configuração #2, que impacta diretamente as perdas por recuperação reversa nos diodos.

Percebe-se ainda que o aumento da frequência de chaveamento proporciona reduções no indutor, tanto em custos quanto em volume, além de menores perdas no mesmo. Dessa forma, a configuração otimizada continua a demonstrar um desempenho competitivo, equilibrando custos gerais e densidade de potência.

5.3.3 Configuração #3: Projeto 2n livre com variação de frequência no padrão 2

Para a configuração #3, considerou-se a avaliação do desempenho do conversor com a frequência de chaveamento no intervalo de 10 kHz até 130 kHz, em incrementos de 5 kHz, chamado de **padrão 2**. O resultado do espaço de soluções proporcionado pela ferramenta computacional pode ser observado na Figura 5.20. A otimização dessa configuração foi baseada na análise de 1876 projetos distintos.

Figura 5.20: Espaço de soluções para a configuração otimizada #3.



Fonte: Dados da Pesquisa, 2024.

A Tabela 5.10 apresenta as especificações técnicas da configuração otimizada #3. Novamente, obteve-se o IGBT modelo NGTB40N120FL3WG como chave indicada para a solução otimizada. A frequência de chaveamento desta configuração foi definida em 45,0 kHz.

Na Tabela 5.11, são apresentadas as comparações de desempenho entre a configuração otimizada #3 e as referências comerciais. A configuração otimizada apresentou uma eficiência superior à referência de 2 níveis, mas inferior à referência de 3 níveis. Em termos de custo específico, notavelmente inferior a ambas as referências, indicando um desempenho econômico bastante competitivo.

Tabela 5.10: Especificações da configuração otimizada **#3**.

Parâmetro	ID #3
IGBT	NGTB40N120FL3WG (<i>1 por posição</i>)
$V_{BR(sw)}$	1200 V
Diodo de grampeamento	n.a.
Indutor	933,4 μH 1x núcleo 78617 / 70 espiras (21x #25)
Capacitância do barramento	8x 1600 μF / 400 V (<i>4 por barramento</i>)
Dissipador	HS6835 / 131,6mm
Frequência de chaveamento	45,00 kHz

Fonte: Dados da Pesquisa, 2024.

Tabela 5.11: Desempenho da configuração otimizada **#3** e das referências comerciais.

	ID #3	Referência <i>2n</i>	Referência <i>3n</i>
η [%]	96,47	95,82	97,70
σ [$R\$/kW$]	124,53	246,97	252,06
ρ [kW/dm^3]	5,771	4,745	5,305
FoM	4,470	1,841	2,056

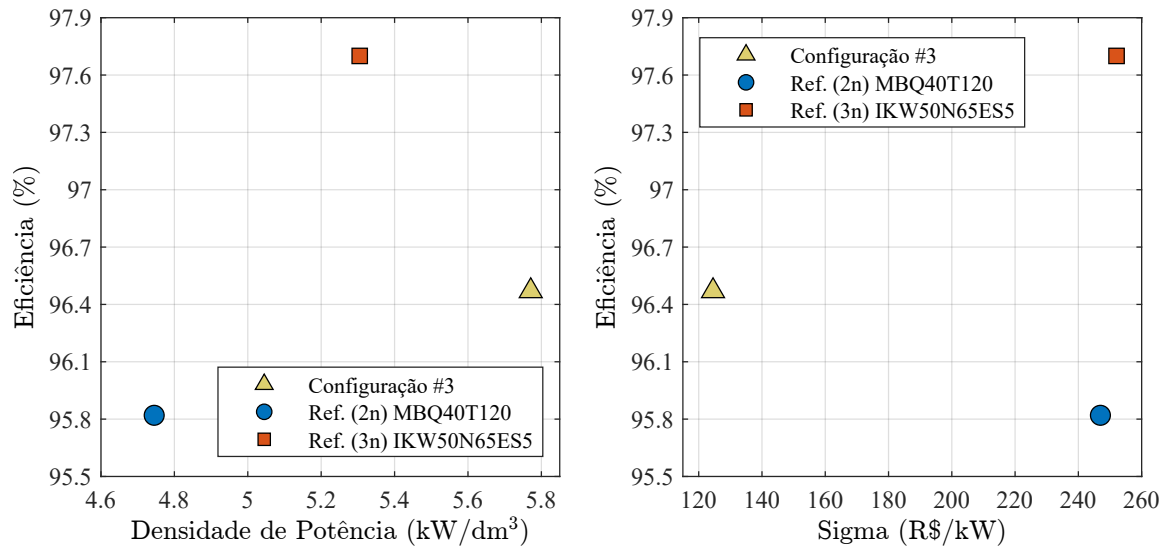
Fonte: Dados da Pesquisa, 2024.

Quanto à densidade de potência, a configuração **#3** superou a densidade da referência *2n* e aproximou-se da referência de *3n*. O fator de mérito global também reflete o excelente desempenho da configuração otimizada, atingindo uma métrica significativamente superior, de mais que o dobro das referências comerciais. Na Figura 5.21 ilustram-se esses resultados de uma forma graficamente comparativa.

A análise das perdas totais do inversor na Figura 5.22 revela que a configuração **#3** apresentou um desempenho geral superior à referência de 2 níveis, mas ainda maior que a referência de 3 níveis.

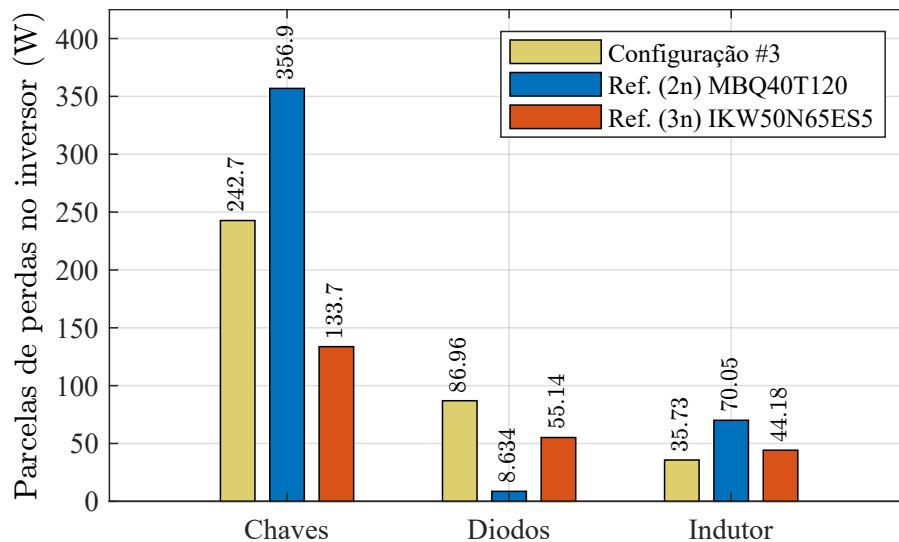
A configuração **#3** apresenta perdas nas chaves inferiores à referência *2n* e também à configuração **#2**, mas ainda acima da referência com topologia *3n*. As perdas nos diodos

Figura 5.21: Comparação do desempenho da configuração otimizada #3 e das referências comerciais.



Fonte: Dados da Pesquisa, 2024.

Figura 5.22: Distribuição de perdas na configuração otimizada #3.

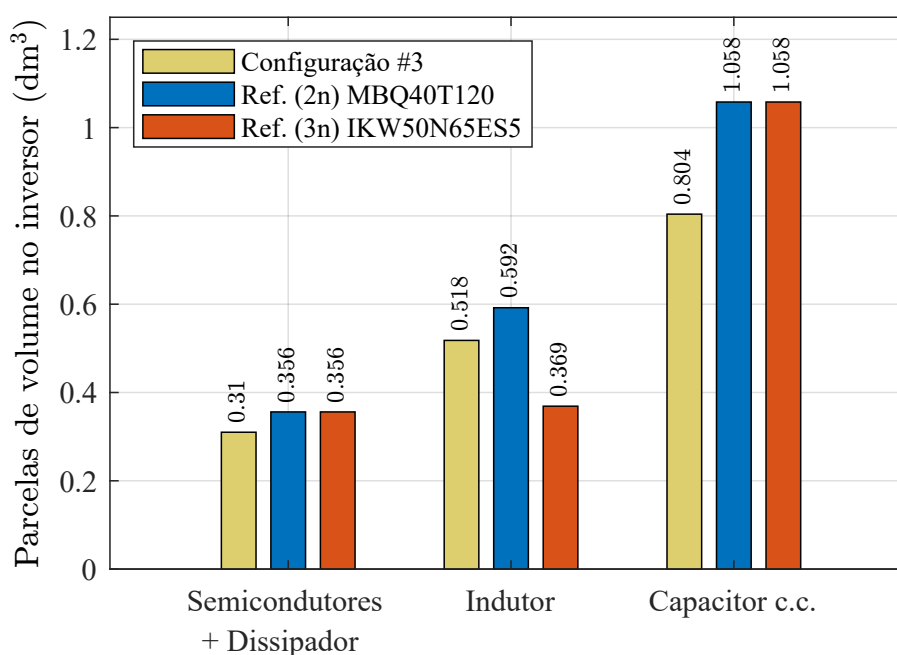


Fonte: Dados da Pesquisa, 2024.

também foram reduzidas em relação à configuração #2, mas ainda possuem um peso significativo quando comparadas às referências comerciais, e considerando que tais perdas são apenas dos diodos do próprio IGBT. Também foi possível a redução das perdas do indutor na configuração otimizada.

Essa configuração otimizada **#3** alcança uma redução significativa no volume total do inversor em relação à referência 2 níveis, sendo também competitiva em relação à referência 3 níveis. Essa otimização no volume contribui para uma maior densidade de potência, e é apresentada comparativamente na Figura 5.23.

Figura 5.23: Distribuição de volume na configuração otimizada **#3**.



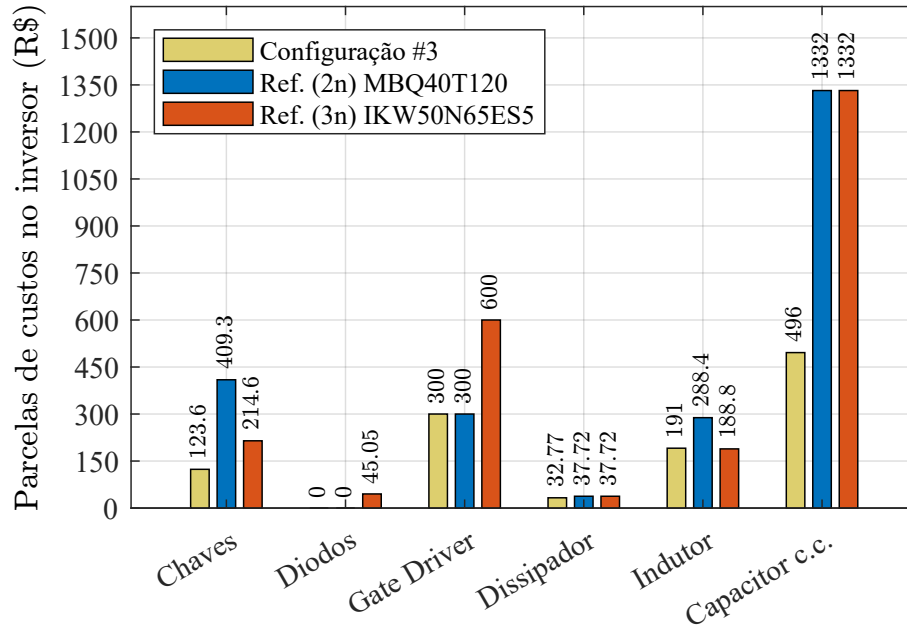
Fonte: Dados da Pesquisa, 2024.

O volume do capacitor c.c. é o mesmo das configurações otimizadas apresentadas anteriormente, visto que o arranjo otimizado do barramento manteve-se o mesmo. A configuração **#3** apresenta um volume reduzido na parcela de semicondutores devido ao uso de dissipador com menor comprimento.

Já o indutor na configuração otimizada tem um volume menor do que o da referência $2n$, porém é maior do que o indutor da referência $3n$. Essa diferença é justificável, uma vez que, conforme já discutido anteriormente, realmente espera-se um indutor menor para a topologia de 3 níveis.

Mediante a análise dos custos na Figura 5.24, a configuração **#3** destaca-se por apresentar o menor custo total em relação às referências. Essa redução é notável, especialmente quando avaliadas as parcelas específicas do custo das chaves e do capacitor c.c..

Figura 5.24: Distribuição de custos na configuração otimizada #3.



Fonte: Dados da Pesquisa, 2024.

O custo das chaves na configuração #3 foi significativamente inferior ao de ambas as referências comerciais. Essa redução é reflexo da escolha de dispositivos otimizados, que atendem aos requisitos operacionais com menor custo unitário, além da utilização de apenas um dispositivo em cada posição do conversor.

A parcela de custo do dissipador na configuração #3 se manteve similar ao das referências comerciais, haja vista que a redução no comprimento do dissipador não foi expressiva. Já o custo do indutor na configuração otimizada se aproximou ao da referência de 3n, mantendo-se em uma faixa competitiva.

O custo no capacitor c.c. apresenta uma redução considerável em relação às referências, conforme também apresentadas anteriormente nas configurações otimizadas #1 e #2.

5.4 Inversor 3 níveis otimizado com chaves Si

Agora, a análise irá considerar a condição B da Tabela 5.2. Neste momento, a otimização do projeto do inversor será baseada na topologia NPC1, utilizando apenas dispositivos

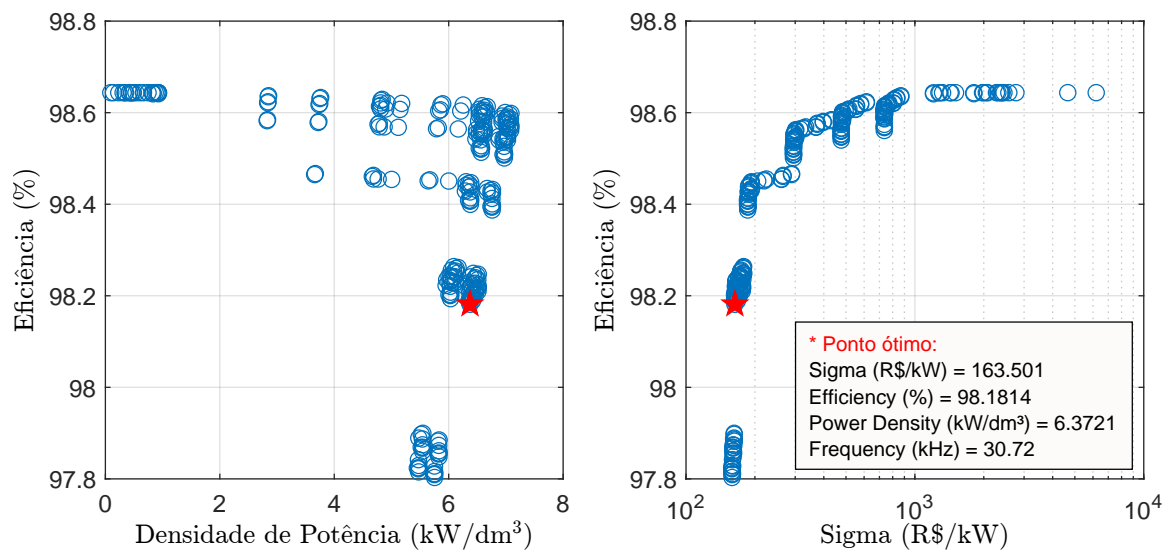
de silício de 650 V. Nesta condição, também foi avaliado o desempenho da topologia 3 níveis em três diferentes condições de frequência de comutação.

A referência comercial com a configuração 3 níveis, utilizada para comparações, considera a chave IKW50N65ES5 e o desempenho do projeto com esta chave foi retratado previamente na Seção 5.2.2.

5.4.1 Configuração #4: Projeto 3n livre com frequência fixa

Neste cenário, a frequência de chaveamento foi mantida constante em 30,72 kHz para comparação direta entre o projeto definido pela ferramenta computacional e as referências comerciais. Apresenta-se na Figura 5.25 o espaço de soluções da otimização, onde é possível observar a dispersão das soluções após a análise de 253 diferentes projetos.

Figura 5.25: Espaço de soluções para a configuração otimizada #4.



Fonte: Dados da Pesquisa, 2024.

A Tabela 5.12 apresenta as especificações da configuração otimizada #4, enquanto a Tabela 5.13 compara o desempenho dessa configuração com as referências comerciais.

A configuração #4 é baseada no IGBT IKW30N65ES5, da mesma família da chave utilizada na referência 3n, porém com menor especificação de corrente máxima, mas ainda atendendo aos requisitos do projeto.

Tabela 5.12: Especificações da configuração otimizada #4.

Parâmetro	ID #4
IGBT	IKW30N65ES5 (1 por posição)
$V_{BR(sw)}$	650 V
Diodo de grampeamento	STPSC200065WY
Indutor	683,6 μH 3x núcleo 78213 / 55 espiras (17x #24)
Capacitância do barramento	8x 1600 μF / 400 V (4 por barramento)
Dissipador	HS4425 / 251,6mm
Frequência de chaveamento	30,72 kHz

Fonte: Dados da Pesquisa, 2024.

O indutor da configuração adota uma nova construção, com um modelo diferente de núcleo e uma composição alternativa para as bobinas. Para a capacitância do barramento, foi proposto o mesmo arranjo observado nas soluções otimizadas anteriores, utilizando quatro capacitores de 1600 μF (oito no total).

Tabela 5.13: Desempenho da configuração otimizada #4 e das referências comerciais.

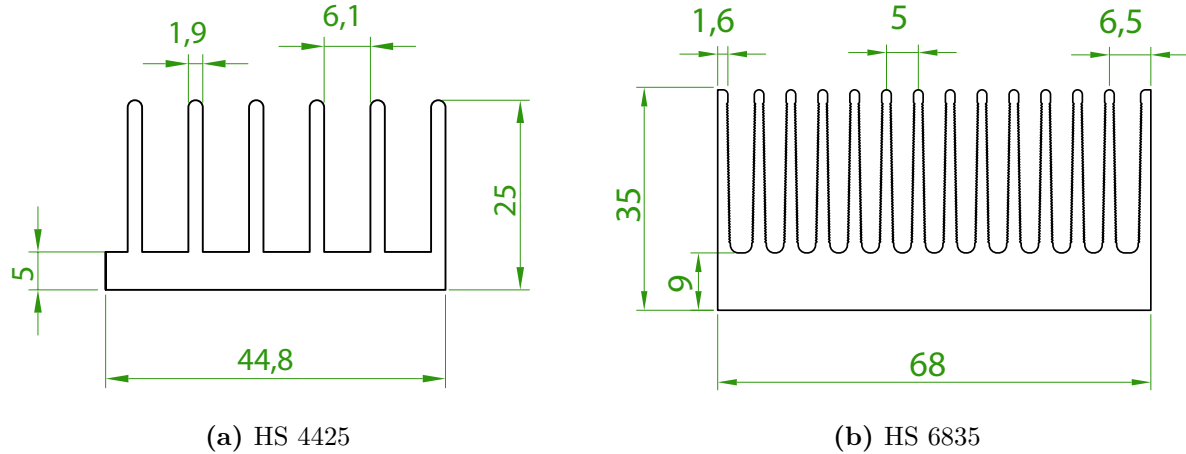
	ID #4	Referência 2n	Referência 3n
η [%]	98,18	95,82	97,70
σ [$R\$/kW$]	163,50	246,97	252,06
ρ [kW/dm^3]	6,372	4,745	5,305
FoM	3,826	1,841	2,056

Fonte: Dados da Pesquisa, 2024.

Definiu-se o dissipador modelo HS4425, com 251,6 mm de comprimento, para a configuração otimizada. Este modelo não havia sido indicado, até então, em nenhuma outra configuração, que sempre manteve o modelo HS6835. Apresenta-se na Figura 5.26 um comparativo dos modelos de dissipadores.

Observa-se que o modelo HS 4425, além de possuir menor altura, dispõe de menos aletas na construção em comparação com o modelo HS 6835, o que prejudica a eficiência

Figura 5.26: Comparação dos perfis e dimensões dos modelos de dissipadores.

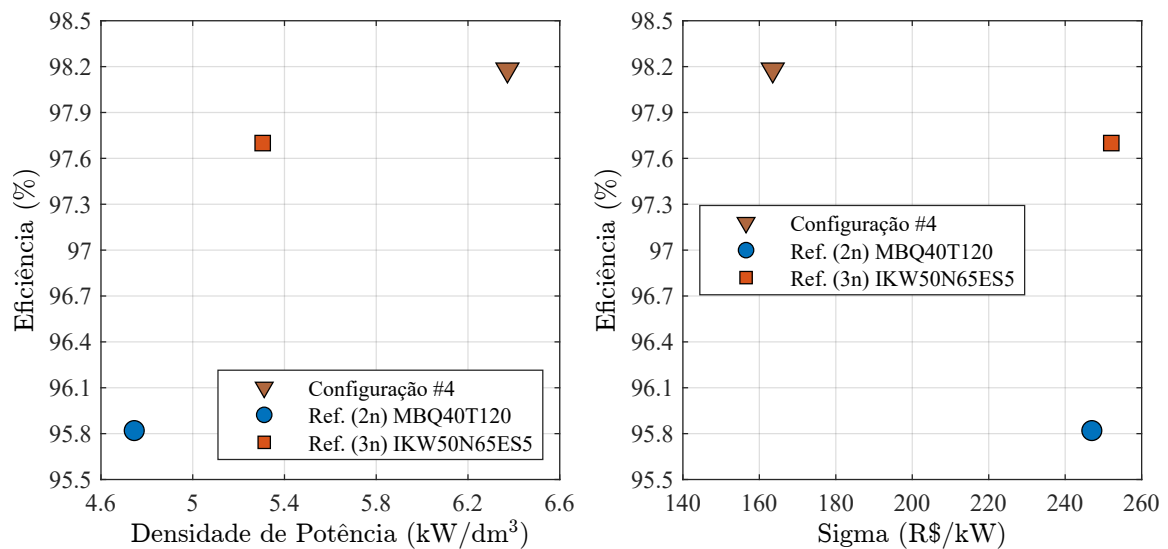


Fonte: [69]

dos mecanismos de dissipação de calor.

A Figura 5.27 apresenta de forma gráfica a comparação do desempenho da configuração #4 em relação às referências comerciais de topologias de 2 níveis e 3 níveis.

Figura 5.27: Comparação do desempenho da configuração otimizada #4 e das referências comerciais.



Fonte: Dados da Pesquisa, 2024.

No quesito de rendimento, a configuração #4 apresenta um desempenho superior às referências. Com eficiência acima de 98%, ela supera tanto a referência 2 níveis quanto a

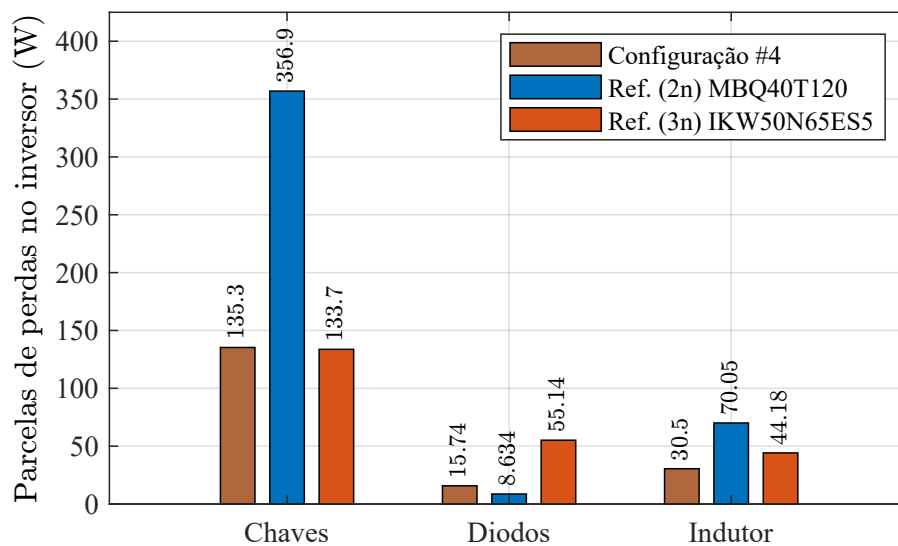
referência 3 níveis, que ficam abaixo deste patamar.

A configuração #4 também se destaca na densidade de potência, alcançando valores de densidade acima de $6 \text{ kW}/\text{dm}^3$, superando significativamente as referências.

Em termos de custo, a configuração #4 apresenta um σ competitivo, posicionando-se abaixo de ambas as referências comerciais.

A análise das perdas conforme apresentado no gráfico da Figura 5.28 demonstra uma superioridade da configuração #4 em relação às referências comerciais. Na configuração otimizada, observa-se uma redução significativa nas perdas totais, com um desempenho bem distribuído entre as contribuições individuais das chaves, dos diodos e do indutor.

Figura 5.28: Distribuição de perdas na configuração otimizada #4.



Fonte: Dados da Pesquisa, 2024.

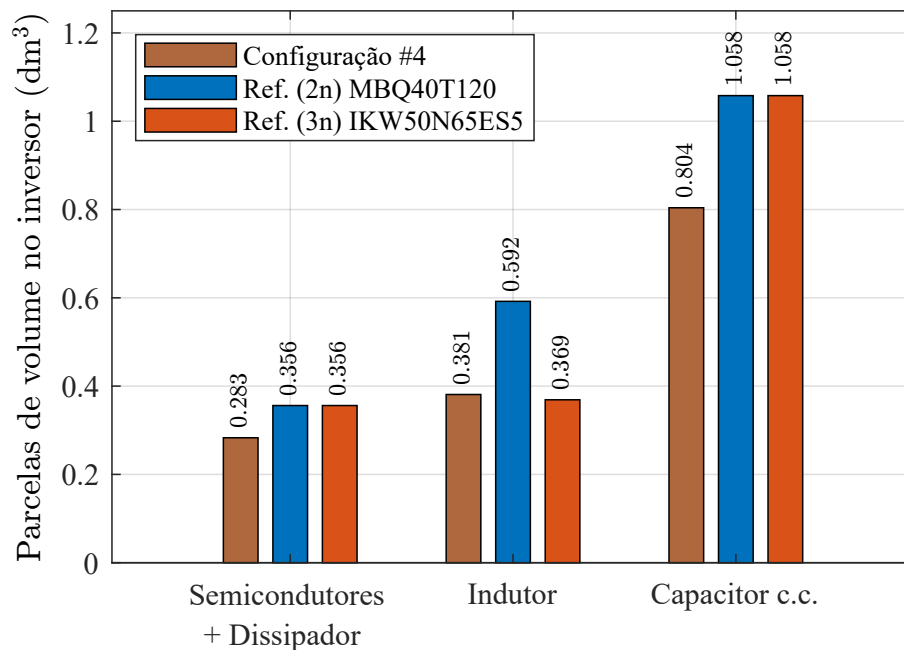
Na configuração #4, as perdas nas chaves apresentam valores consideravelmente inferiores à referência 2n e equivalentes à referência 3n, evidenciando a otimização da topologia e da seleção de componentes. O resultado é coerente com a utilização de dispositivos de 650 V, que são mais adequados para esta topologia NPC1 em termos de eficiência e desempenho térmico.

As perdas nos diodos, por sua vez, apresentam valores reduzidos em relação à referência comercial de 3 níveis, o que pode ser atribuído ao fato de a topologia otimizada ter utilizado um modelo diferente para os diodos de grampeamento.

Já no indutor, as perdas permanecem significativamente menores quando comparadas às referências, indicando que o projeto otimizado conseguiu equilibrar os requisitos de frequência de chaveamento e as propriedades magnéticas dos componentes.

A configuração #4 apresenta o menor volume total em comparação com as referências analisadas, conforme a Figura 5.29. As contribuições individuais das diferentes parcelas no projeto otimizado foram menores, ou equivalentes, às referências em todos os quesitos.

Figura 5.29: Distribuição de volume na configuração otimizada #4.



Fonte: Dados da Pesquisa, 2024.

No caso do dissipador, observa-se que a configuração #4 possui um volume inferior ao das referências de 2 e 3 níveis, apesar de utilizar um dissipador com o mesmo comprimento das configurações de referência. Isso é justificável pois as outras faces do dissipador HS 4425 (Figura 5.26a) utilizado no projeto otimizado possuem menores dimensões quando comparadas ao dissipador da referência comercial (5.26b).

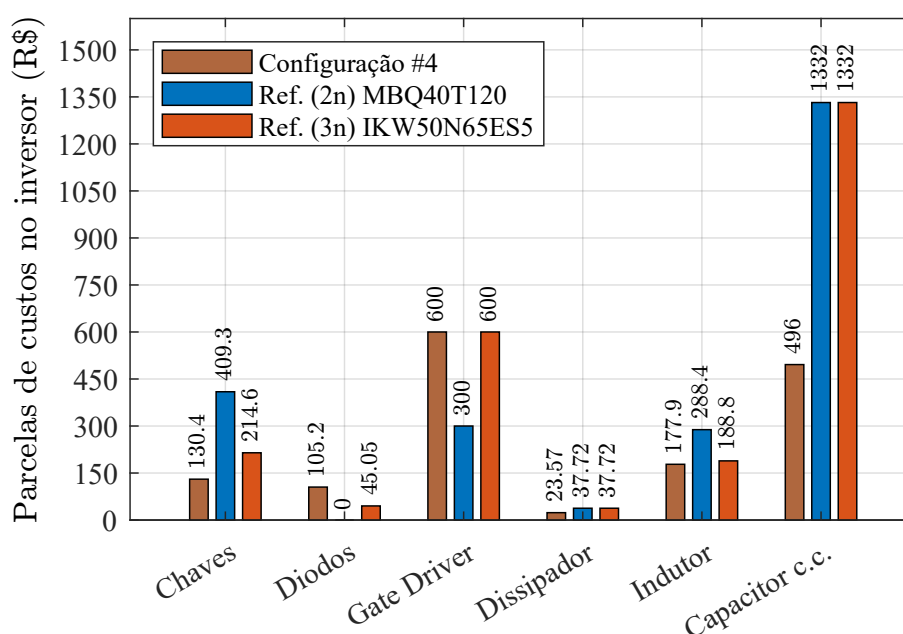
Em relação ao indutor, o volume da configuração #4 se mostrou equivalente ao da referência de 3 níveis, indicando que, apesar da diferença de núcleo e bobinas na construção do indutor, o requisito de armazenamento de energia na topologia manteve o volume alinhado ao da referência 3n. Quando comparado à referência 2 níveis, o volume do

indutor na configuração #4 continua significativamente menor, destacando a vantagem da topologia NPC1 em reduzir a exigência de componentes passivos de grande porte.

O capacitor c.c. apresentou redução expressiva de volume na configuração otimizada em comparação às referências. Esse resultado reflete a otimização do banco de capacitores conforme as configurações otimizadas anteriores.

A configuração otimizada #4 também apresenta vantagem no quesito de custos, quando comparada às referências comerciais, conforme ilustrado na Figura 5.30.

Figura 5.30: Distribuição de custos na configuração otimizada #4.



Fonte: Dados da Pesquisa, 2024.

O custo das chaves é inferior ao das referências comerciais, demonstrando a otimização na escolha de dispositivos de menor custo sem comprometer o desempenho. No entanto, o custo dos diodos é maior em comparação à referência 3n, indicando o maior custo unitário do modelo utilizado.

O dissipador, por sua vez, apresenta uma redução de custo, indicando também a possibilidade de atendimento dos requisitos do projeto térmico com uma opção mais econômica.

O indutor teve custo equivalente ao da referência 3 níveis, reforçando o equilíbrio entre

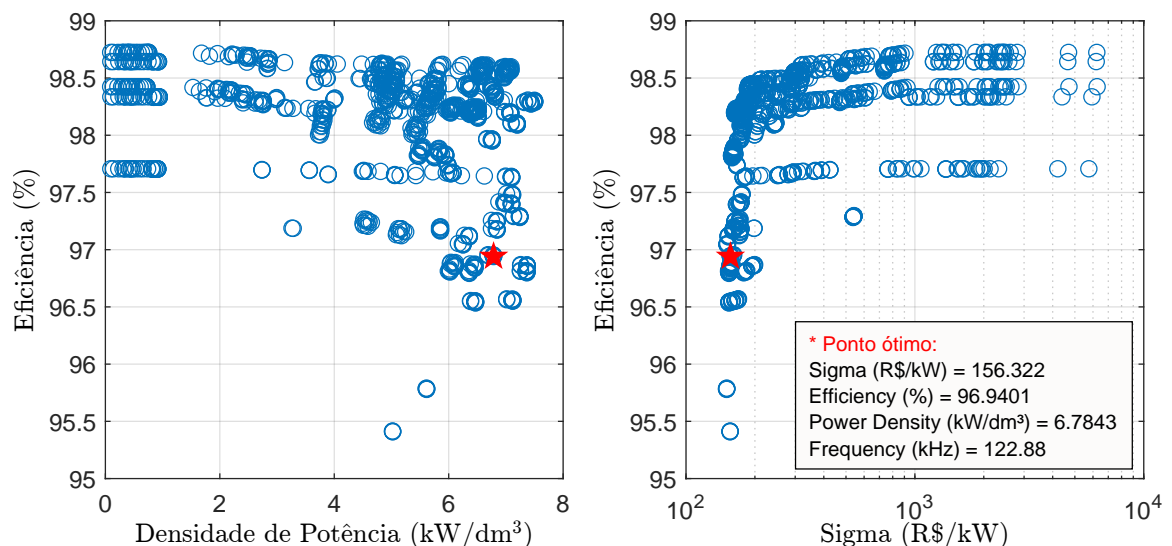
eficiência e custo alcançado na otimização. Por fim, o banco de capacitores destaca-se pela redução substancial nos custos em relação às referências, evidenciando uma otimização dessa parcela.

5.4.2 Configuração #5: Projeto 3n livre com variação de frequência no padrão 1

Na configuração #5, o projeto do inversor de 3 níveis foi desenvolvido de forma otimizada, utilizando a variação de frequência de chaveamento conforme o padrão 1 (60×2^n), onde n varia dentro de uma faixa definida. A topologia NPC1 foi mantida, utilizando dispositivos semicondutores de silício com tensão de bloqueio reduzida para 650 V, característica intrínseca à topologia de 3 níveis.

Os resultados da análise de otimização nessa configuração são apresentados no espaço de soluções ilustrado na Figura 5.31. Na configuração #5, foram analisados pela ferramenta computacional 980 projetos distintos.

Figura 5.31: Espaço de soluções para a configuração otimizada #5.



Fonte: Dados da Pesquisa, 2024.

A configuração otimizada utiliza como dispositivos chave o IGBT IKW30N65ES5 e o diodo STPSC200065WY, mesmos modelos da otimização na configuração #4. O projeto

ID #5 se destaca por operar com uma frequência de chaveamento elevada, de 122,88 kHz, o que contribuiu para o dimensionamento mais compacto dos componentes passivos. Os dados de especificação da configuração otimizada #5 seguem listados na Tabela 5.14.

Tabela 5.14: Especificações da configuração otimizada #5.

Parâmetro	ID #5
IGBT	IKW30N65ES5 (1 por posição)
$V_{BR(sw)}$	650 V
Diodo de grampeamento	STPSC20065WY
Indutor	170,9 μH 1x núcleo 78213 / 39 espiras (33x #27)
Capacitância do barramento	8x 1600 μF / 400 V (4 por barramento)
Dissipador	HS6835 / 171,6mm
Frequência de chaveamento	122,88 kHz

Fonte: Dados da Pesquisa, 2024.

A configuração otimizou o indutor para 170,9 μH , utilizando apenas um núcleo do modelo 78213, com 39 espiras por bobina, enquanto o dissipador selecionado foi o HS6835, com comprimento de 171,6 mm. A capacitância do barramento permaneceu idêntica às demais configurações, com 8 capacitores de 1600 μF , organizados em 4 por barramento.

Quando comparada às referências comerciais de 2 e 3 níveis, a configuração #5 apresenta resultados superiores em diversas métricas de desempenho, conforme mostrado na Tabela 5.15. A figura de mérito, que considera eficiência, densidade de potência e custo, também reforçou a superioridade da configuração #5, alcançando patamares de mais de o dobro em relação às referências 2n e 3n.

Na Figura 5.32 apresenta-se a comparação gráfica do desempenho entre os projetos. A eficiência alcançada foi superior à da referência 2 níveis e apenas ligeiramente inferior à da referência 3 níveis.

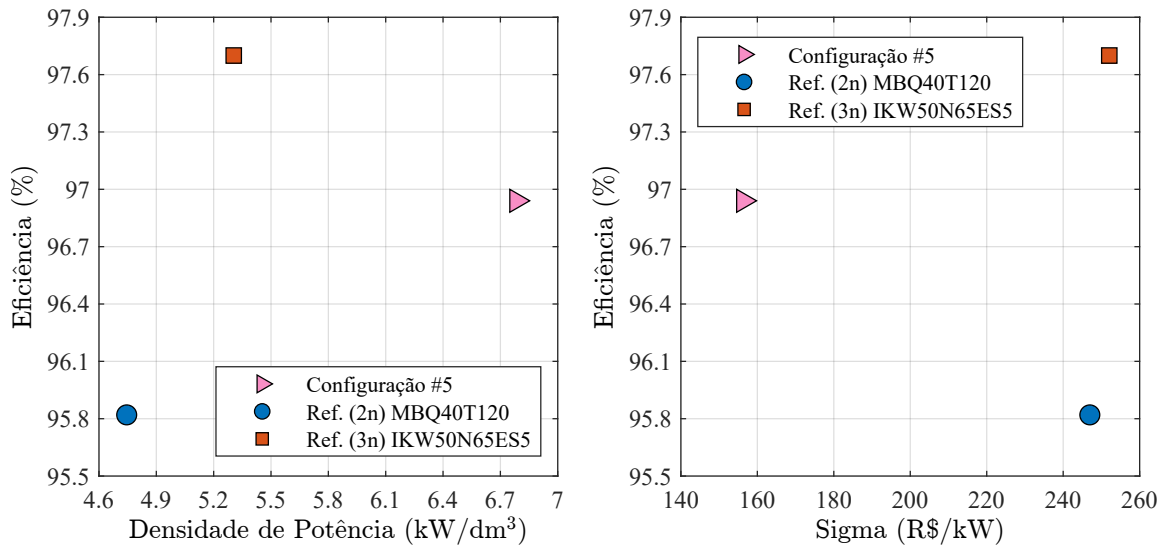
O custo por unidade de potência foi um dos parâmetros mais notáveis da configuração #5, marcadamente inferior às referências comerciais. Outro destaque foi a densidade de

Tabela 5.15: Desempenho da configuração otimizada #5 e das referências comerciais.

	ID #5	Referência 2n	Referência 3n
η [%]	96,94	95,82	97,70
σ [R\$/kW]	156,32	246,97	252,06
ρ [kW/dm ³]	6,784	4,745	5,305
FoM	4,207	1,841	2,056

Fonte: Dados da Pesquisa, 2024.

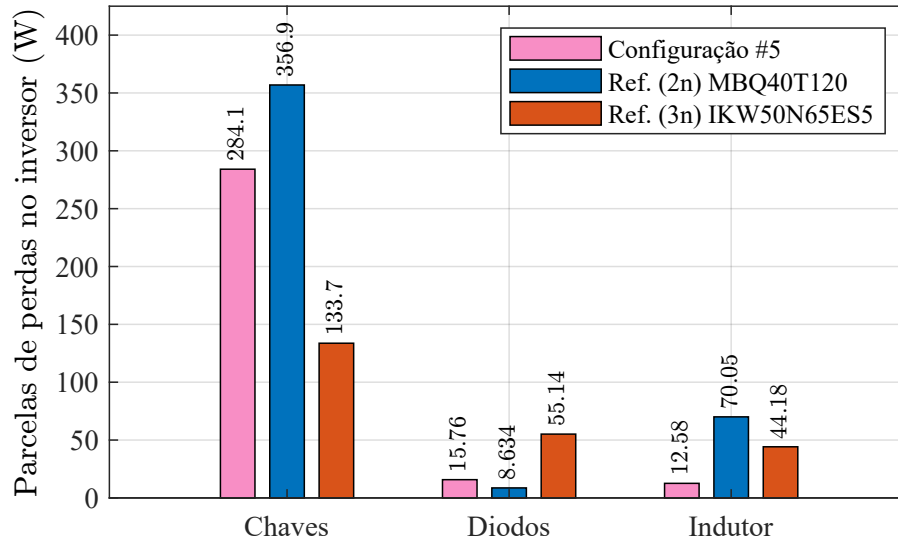
Figura 5.32: Comparação do desempenho da configuração otimizada #5 e das referências comerciais.



Fonte: Dados da Pesquisa, 2024.

potência da configuração otimizada, que atingiu a maior dentre todas as configurações analisadas até então.

A análise das perdas de potência na configuração #5, em comparação com as referências comerciais de 2 níveis e 3 níveis, destacada na Figura 5.33 revela padrões importantes. Quando somadas todas as parcelas de perdas, a configuração #5 apresenta perdas totais inferiores às da referência de 2n, refletindo a eficiência da topologia NPC1 e da otimização realizada. No entanto, as perdas totais ainda são ligeiramente maiores do que as da referência de 3n, que se destaca como mais eficiente em termos de perdas totais na comparação.

Figura 5.33: Distribuição de perdas na configuração otimizada #5.

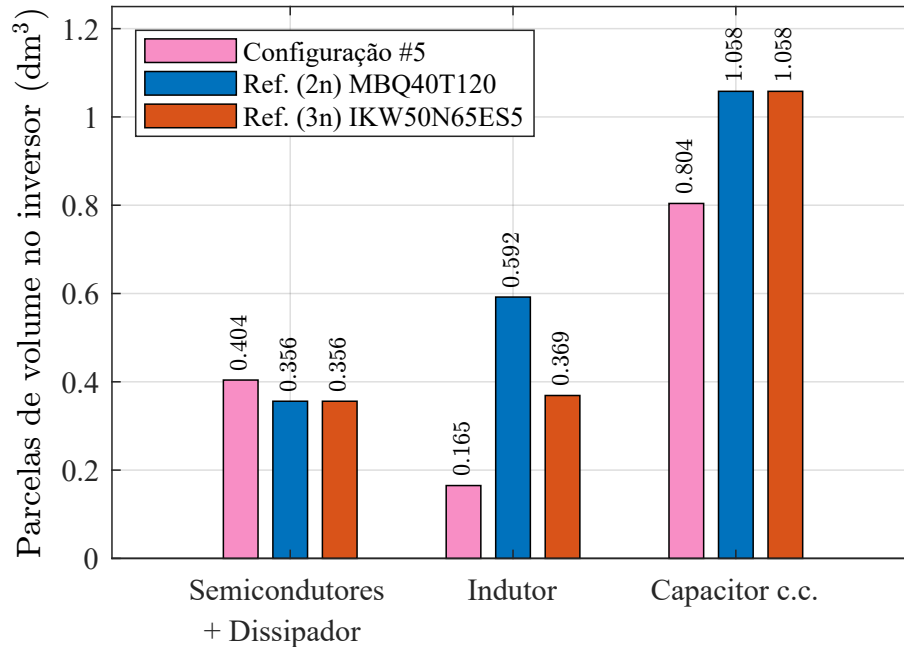
Fonte: Dados da Pesquisa, 2024.

As perdas nas chaves na configuração #5 são menores do que na referência de 2 níveis, devido à menor tensão de bloqueio operada pelas chaves de 650 V, mas ainda são superiores às da referência de 3 níveis. Uma possível explicação para isso é o fato de que, com o aumento da frequência, aumentam-se consideravelmente as perdas nas chaves, e a referência comercial utiliza uma frequência de chaveamento quatro vezes menor que o projeto otimizado.

As perdas nos diodos apresentam um comportamento inverso. Na configuração #5, essas perdas são menores do que as da referência de 3 níveis, devido ao melhor dimensionamento dos diodos de grampeamento. Contudo, permanecem superiores às da referência de 2 níveis, que não utiliza diodos de grampeamento, minimizando esse fator de perda.

Já as perdas no indutor na configuração #5 são significativamente inferiores às das duas referências comerciais. Isso é atribuído à frequência de chaveamento mais elevada (122,88 kHz), que permite um indutor menor e mais eficiente, reduzindo as perdas magnéticas e resistivas.

Demonstra-se na Figura 5.34 o comparativo de distribuição de volume entre as parcelas do inversor, considerando a configuração #5 em relação às referências comerciais de 2 níveis (MBQ40T120) e 3 níveis (IKW50N65ES5).

Figura 5.34: Distribuição de volume na configuração otimizada #5.

Fonte: Dados da Pesquisa, 2024.

O volume total do inversor na configuração #5 foi significativamente reduzido em relação às referências. Essa redução é particularmente notável nas parcelas correspondentes ao indutor e ao capacitor c.c., que apresentaram diminuição expressiva.

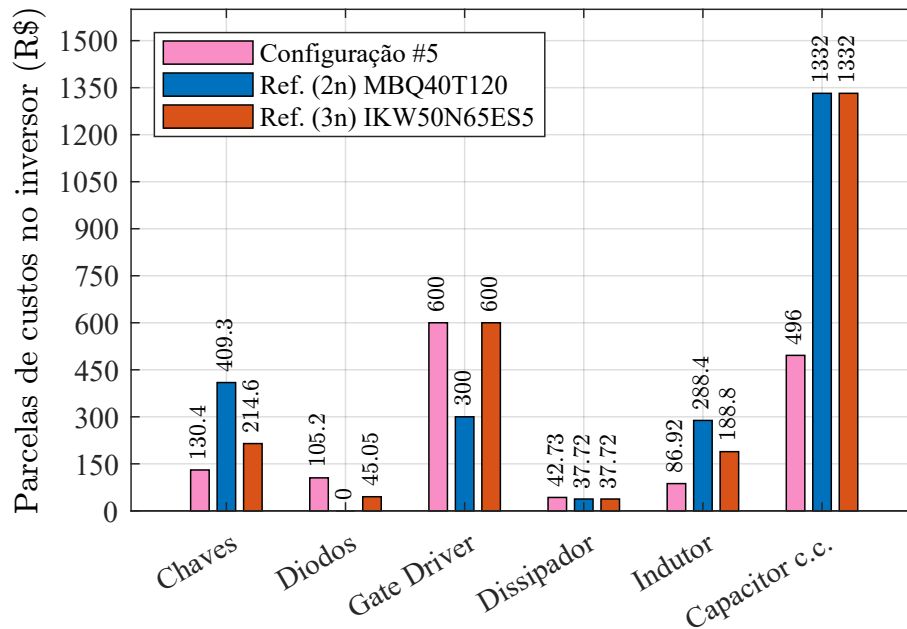
A menor contribuição volumétrica do indutor é resultado direto da otimização realizada na ferramenta computacional, que ajustou a frequência de chaveamento para alcançar um melhor desempenho no projeto magnético. Da mesma forma, a otimização no projeto do banco de capacitores c.c. possibilitou uma redução significativa no número de capacitores necessários e no espaço ocupado.

Por outro lado, ao comparar a configuração #5 com ambas as referências, observa-se que o volume do dissipador e dos semicondutores foi levemente superior. Esse aumento pode estar relacionado à necessidade de dissipação térmica proporcional às perdas totais do sistema. Ainda assim, o impacto volumétrico dessas parcelas foi compensado pela redução expressiva nas demais parcelas.

Também foi possível uma redução no custo total da configuração #5, em comparação com as referências comerciais, conforme exposto na Figura 5.35 com a distribuição dos

valores em cada parcela.

Figura 5.35: Distribuição de custos na configuração otimizada #5.



Fonte: Dados da Pesquisa, 2024.

O custo das chaves na configuração #5 foi menor do que as duas referências comerciais, destacando-se como uma das contribuições mais relevantes para a redução geral dos custos do inversor. Em contrapartida, o custo dos diodos foi maior na configuração #5 em relação à referência de 3 níveis, o que pode ser atribuído ao modelo de diodo utilizado.

O custo do *gate driver* na configuração #5 foi equivalente ao da referência comercial de 3 níveis, mantendo-se mais elevado que a referência de 2 níveis, mas coerente com a topologia 3 níveis, que exige maior número de circuitos de acionamento. Em relação ao dissipador, a configuração #5 apresentou um custo superior ao das referências que, apesar de utilizarem o mesmo modelo, é justificável pelo aumento do comprimento do dissipador.

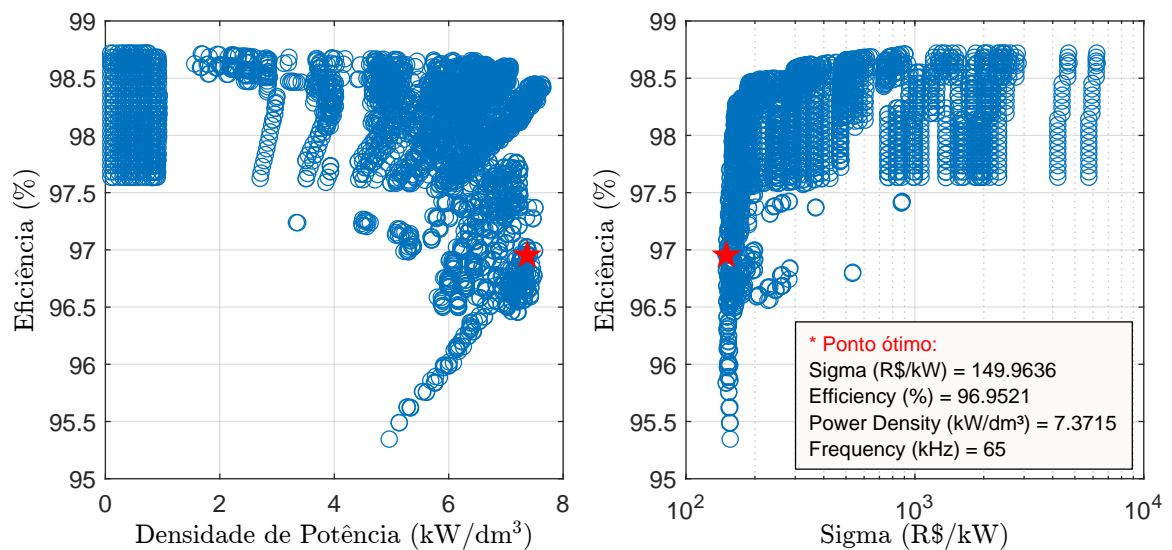
Para o indutor, a configuração #5 apresentou custo inferior ao das duas referências comerciais. Isso indica que a escolha otimizada dos materiais e parâmetros de projeto, como frequência de chaveamento e valor da indutância, foi determinante para alcançar essa redução. Finalmente, o custo do capacitor c.c. foi significativamente menor na con-

figuração otimizada em relação às duas referências comerciais, demonstrando o impacto positivo da otimização na redução do tamanho e custo desse componente.

5.4.3 Configuração #6: Projeto 3n livre com variação de frequência no padrão 2

Na configuração #6, a análise baseia-se no cenário também com topologia NPC1 e uma variação de frequência de chaveamento seguindo o padrão 2, abrangendo um intervalo de 10 kHz a 130 kHz em incrementos de 5 kHz. Esse cenário possibilitou a avaliação de 5008 projetos distintos, destacando o amplo espaço de soluções explorado pela ferramenta computacional, conforme evidenciado na Figura 5.36.

Figura 5.36: Espaço de soluções para a configuração otimizada #6.



Fonte: Dados da Pesquisa, 2024.

O resultado da otimização do projeto ID #6 apresentou avanços significativos em relação às referências comerciais avaliadas. Utilizou-se o mesmo modelo de IGBT das otimizações anteriores (IKW30N65ES5), em conjunto com diodos de grampeamento modelo APT60DQ60BG. Os parâmetros elétricos encontrados estão detalhados na Tabela 5.16.

A Tabela 5.17 apresenta os resultados de desempenho da configuração #6 em comparação com as referências comerciais de dois e três níveis.

Tabela 5.16: Especificações da configuração otimizada #6.

Parâmetro	ID #6
IGBT	IKW30N65ES5 (1 por posição)
$V_{BR(sw)}$	650 V
Diodo de grampeamento	APT60DQ60BG
Indutor	323,1 μH 1x núcleo 78213 / 54 espiras (17x #24)
Capacitância do barramento	8x 1600 μF / 400 V (4 por barramento)
Dissipador	HS6835 / 111,6mm
Frequência de chaveamento	65,0 kHz

Fonte: Dados da Pesquisa, 2024.

Tabela 5.17: Desempenho da configuração otimizada #6 e das referências comerciais.

	ID #6	Referência 2n	Referência 3n
η [%]	96,95	95,82	97,70
σ [R\$/kW]	149,96	246,97	252,06
ρ [kW/dm ³]	7,372	4,745	5,305
FoM	4,766	1,841	2,056

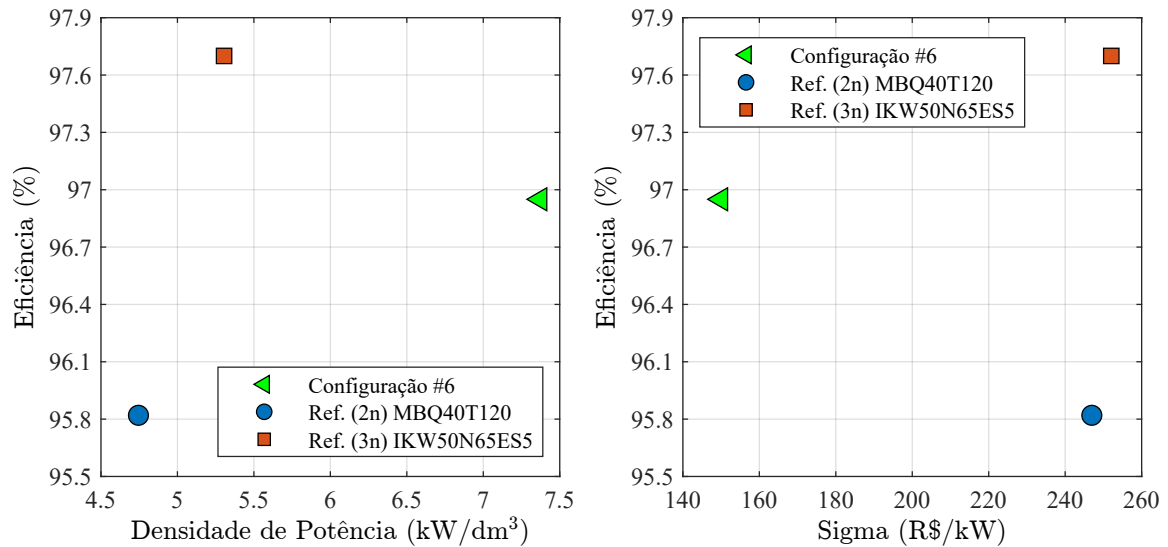
Fonte: Dados da Pesquisa, 2024.

A eficiência da configuração #6 foi superior à referência comercial de 2 níveis e levemente inferior à de 3 níveis. Em termos de densidade de potência, a configuração #6 superou ambas as referências comerciais avaliadas.

O parâmetro sigma, que mede o custo por unidade de potência fornecida, foi drasticamente reduzido, alcançando R\$ 149,96/kW, uma economia significativa frente à referência de 2 níveis e à referência de 3 níveis. Esse resultado reflete a eficiência econômica do projeto otimizado, com redução dos custos associados aos componentes, especialmente nas chaves e no indutor.

Apresenta-se na Figura 5.37 a comparação direta de desempenho entre a configuração #6 e as referências comerciais, destacando visualmente cada métrica de desempenho.

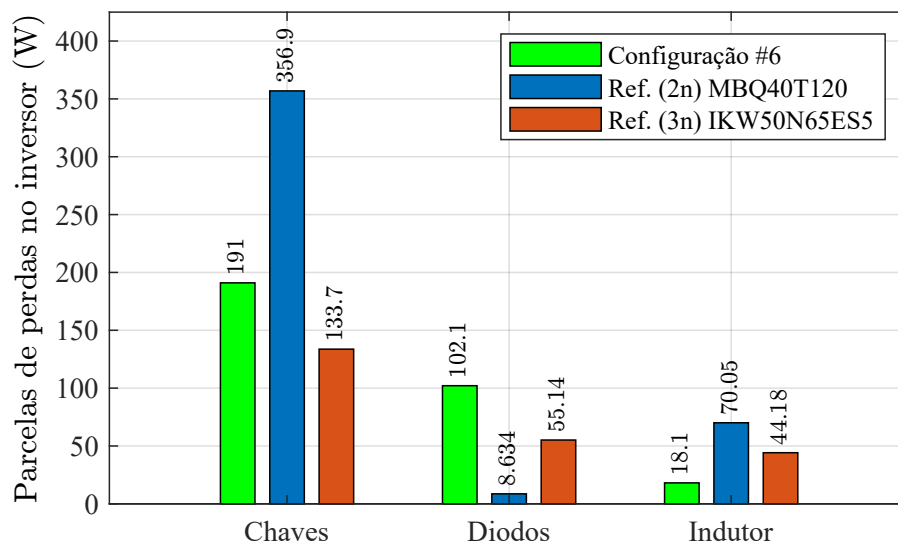
Figura 5.37: Comparação do desempenho da configuração otimizada #6 e das referências comerciais.



Fonte: Dados da Pesquisa, 2024.

A Figura 5.38 apresenta a análise comparativa das parcelas de perdas no inversor da configuração otimizada #6 e das referências comerciais. No geral, a configuração #6 apresenta um desempenho superior às referências, especialmente nas perdas no indutor, com um desempenho competitivo nas perdas nas chaves.

Figura 5.38: Distribuição de perdas na configuração otimizada #6.



Fonte: Dados da Pesquisa, 2024.

Na configuração **#6**, as perdas nas chaves foram significativamente reduzidas em relação à referência de $2n$ (191 W contra 356,9 W) e ligeiramente superiores à referência $3n$ (133,7 W). Esse resultado reflete o impacto positivo da otimização no desempenho das chaves, ao mesmo tempo que mantém o compromisso entre eficiência e custo.

Em relação aos diodos, a configuração **#6** apresentou perdas muito superiores às de ambas as referências, sendo praticamente o dobro das perdas da topologia 3 níveis. Esse comportamento pode estar relacionado ao desempenho do modelo de diodo selecionado na frequência de chaveamento proposta na otimização.

No indutor, as perdas foram as menores entre todas as configurações, com 18,1 W na configuração **#6**, comparado a 70,05 W na referência 2 níveis e 44,18 W na referência 3 níveis. Isso demonstra a eficiência alcançada no projeto do indutor para a frequência de chaveamento.

A configuração **#6** demonstra uma redução significativa no volume de todas as partes do inversor, ou seja, dissipador, indutor e capacitor, contribuindo para a otimização do volume total. A Figura 5.39 ilustra a distribuição de volume em comparação às referências comerciais.

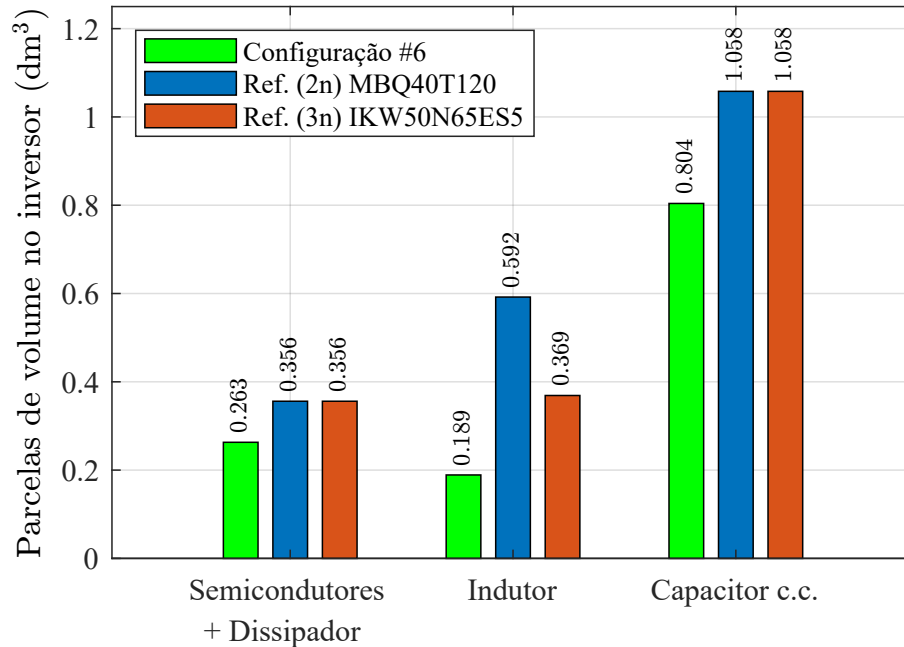
Para os semicondutores e dissipador, a configuração **#6** obteve um volume menor ($0,263 \text{ dm}^3$) em comparação com as referências de 2 níveis e 3 níveis, ambas apresentando o mesmo volume de $0,356 \text{ dm}^3$. Esse resultado reflete o impacto da otimização no comprimento do dissipador, uma vez que todas as três configurações comparadas utilizam o modelo HS 6835 (5.26b).

Em relação ao indutor, o volume da configuração **#6** ($0,189 \text{ dm}^3$) foi consideravelmente reduzido em relação à referência de 2 níveis ($0,592 \text{ dm}^3$) e também inferior à referência de 3 níveis ($0,369 \text{ dm}^3$).

Por fim, para o capacitor c.c., a configuração **#6** obteve um volume de ($0,804 \text{ dm}^3$), menor que o volume observado nas referências de 2 níveis e 3 níveis, ambas com $1,058 \text{ dm}^3$. Essa redução foi resultado da otimização no arranjo dos capacitores, similar às otimizações apresentadas anteriormente.

A configuração **#6** apresentou custos significativamente reduzidos em relação às re-

Figura 5.39: Distribuição de volume na configuração otimizada #6.



Fonte: Dados da Pesquisa, 2024.

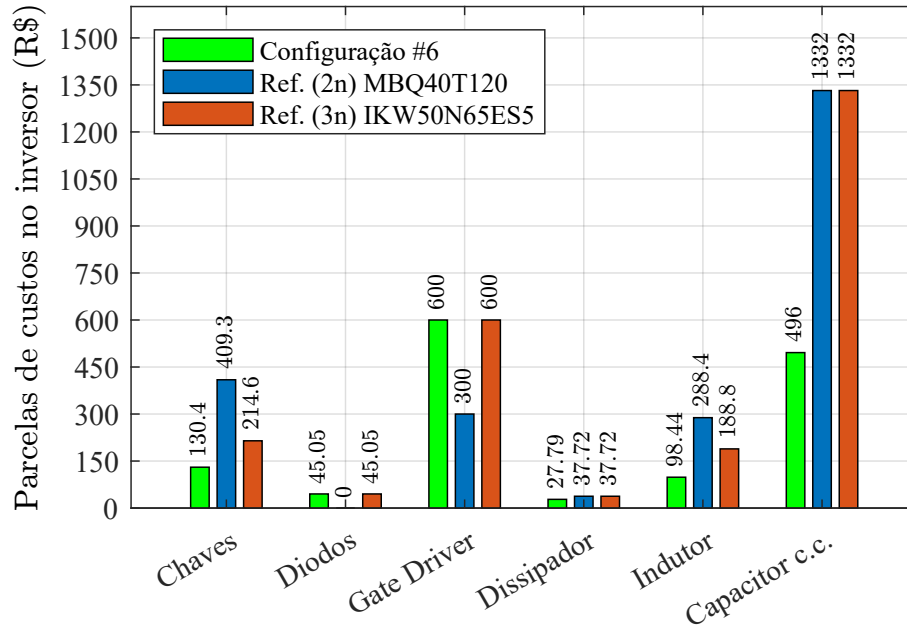
ferências comerciais em quase todas as parcelas avaliadas, com exceção dos diodos e *gate drivers*, onde apresentaram equivalências com a referência 3 níveis. O custo total do inversor foi otimizado para cerca de 40% do valor das referências, conforme demonstrado na Figura 5.40.

A configuração otimizada apresentou um custo substancialmente menor para as chaves, totalizando apenas R\$ 130,40, contra R\$ 409,30 da referência 2n e R\$ 214,60 da referência 3n. Essa economia reflete o uso de semicondutores com custo individual inferior aos modelos utilizados nas referências.

O custo do dissipador na configuração #6 foi notavelmente inferior, atingindo apenas R\$ 27,79, comparado a R\$ 37,72 em ambas as referências comerciais. Essa diferença reflete uma eficiência térmica superior, que permitiu o uso do dissipador com menor comprimento, sem comprometer a dissipação de calor necessária para atender aos requisitos do sistema.

O custo do indutor também foi consideravelmente menor na configuração #6, totalizando R\$ 98,44, em contraste com valores quase duas vezes maiores nas referências

Figura 5.40: Distribuição de custos na configuração otimizada #6.



Fonte: Dados da Pesquisa, 2024.

comerciais. Isso demonstra uma escolha eficiente de elementos magnéticos, que contribuíram para a redução do custo sem prejudicar o desempenho do conversor.

5.5 Inversor 2 níveis otimizado com chaves SiC

A próxima etapa da análise aborda novas configurações baseadas no inversor de 2 níveis, agora utilizando chaves SiC com tensão de 900 V ou 1200 V, conforme indicado na Tabela 5.2.

A escolha pelo SiC justifica-se por suas características superiores em relação aos dispositivos de silício convencionais, como menores perdas de comutação, maior eficiência em altas frequências de chaveamento e capacidade de suportar tensões mais elevadas. Essas vantagens tornam o SiC uma alternativa promissora para a otimização do inversor de 2 níveis, especialmente em aplicações que demandam alta densidade de potência e eficiência energética.

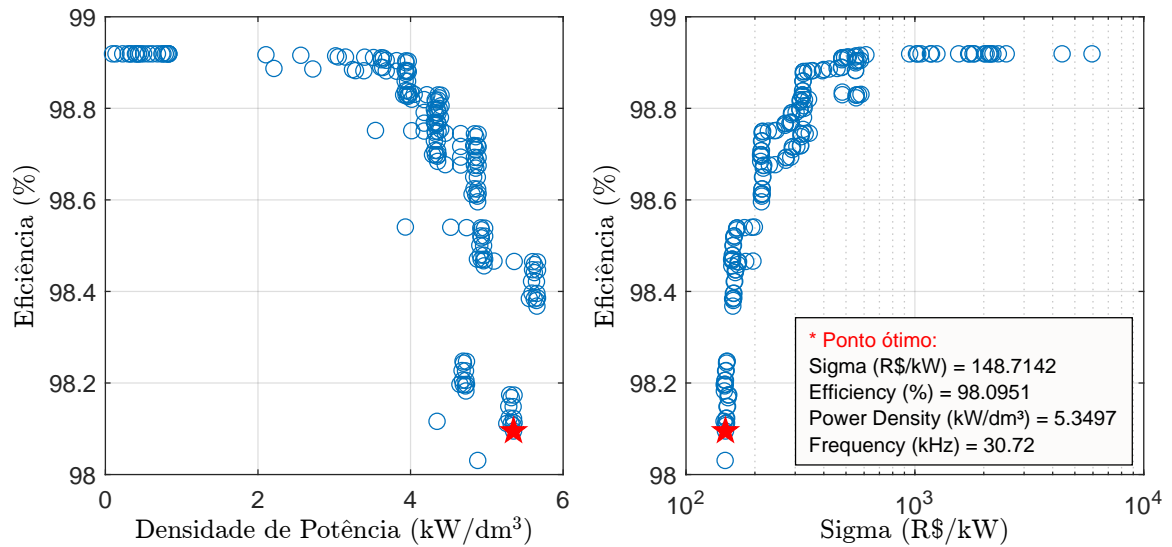
Nessa etapa da análise, também serão avaliados os três cenários de frequência de cha-

veamento, conforme a metodologia aplicada anteriormente. O primeiro cenário considera uma frequência de chaveamento fixa, definida como $30,72 \text{ kHz}$, e os segundo e terceiro cenários consideram a variação de frequência na avaliação, conforme o padrão 1 e o padrão 2, respectivamente.

5.5.1 Configuração #7: Projeto $2n$ livre com frequência fixa

Na configuração #7, foram analisados 192 projetos distintos pela ferramenta computacional, explorando diferentes combinações de componentes e parâmetros operacionais para o conversor utilizando chaves SiC e frequência de chaveamento fixa de $30,72 \text{ kHz}$. A Figura 5.41 fornece um panorama do espaço de soluções das possibilidades de projetos avaliados para definição da configuração otimizada.

Figura 5.41: Espaço de soluções para a configuração otimizada #7



Fonte: Dados da Pesquisa, 2024.

Na Tabela 5.18, são apresentadas as especificações da configuração #7, que foi otimizada para a topologia de dois níveis. Essa configuração utiliza a chave SiC modelo IMW120R060M1H, com tensão de bloqueio $V_{BR(sw)} = 1200 \text{ V}$. O indutor teve o dimensionamento similar às referências comerciais, indicando um grau de otimização dessa configuração para o cenário de $30,72 \text{ kHz}$. O dissipador escolhido foi o modelo HS4425,

conforme a Figura 5.26a, com comprimento de 241,6 mm.

Tabela 5.18: Especificações da configuração otimizada #7

Parâmetro	ID #7
MOSFET SiC	IMW120R060M1H (1 por posição)
$V_{BR(sw)}$	1200 V
Diodo de grampeamento	n.a.
Indutor	1367 μH 3x núcleo 78110 / 78 espiras (17x #24)
Capacitância do barramento	8x 1600 μF / 400 V (4 por barramento)
Dissipador	HS4425 / 241,6mm
Frequência de chaveamento	30,72 kHz

Fonte: Dados da Pesquisa, 2024.

A eficiência da configuração #7 é de 98,09%, sendo superior à das referências. No quesito custo por potência, a configuração otimizada apresenta o menor valor, R\$ 148,71/kW, em contraste com os custos mais elevados das referências. Obteve-se um valor para a densidade de potência da configuração #7 próximo ao da referência de três níveis, mas consideravelmente superior ao da referência de dois níveis. Os resultados dessa comparação são rerepresentados na Tabela 5.19.

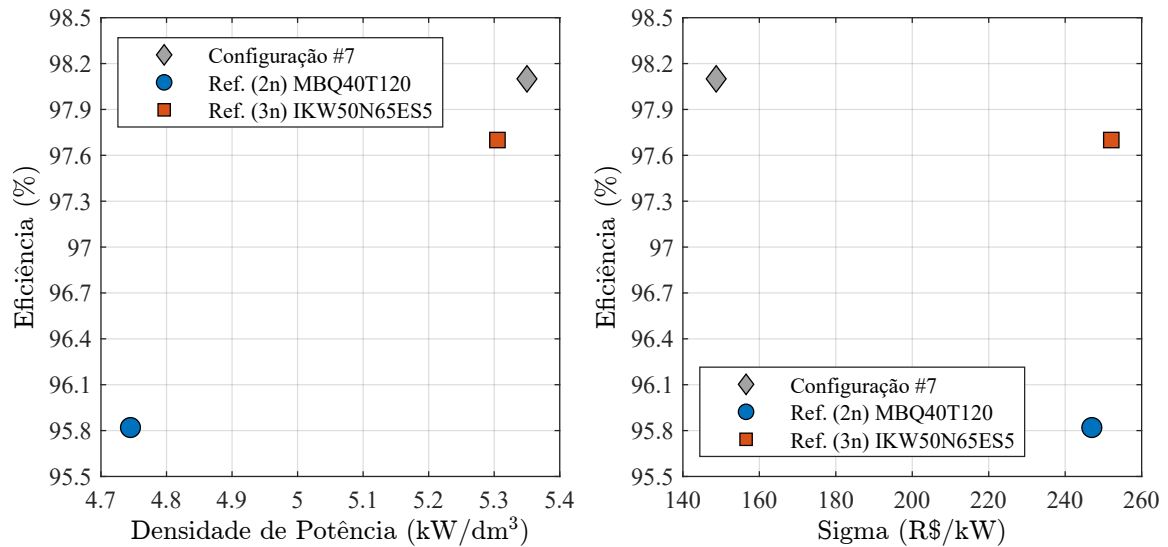
Tabela 5.19: Desempenho da configuração otimizada #7 e das referências comerciais.

	ID #7	Referência 2n	Referência 3n
η [%]	98,09	95,82	97,70
σ [R\$/kW]	148,71	246,97	252,06
ρ [kW/dm ³]	5,350	4,745	5,305
FoM	3,529	1,841	2,056

Fonte: Dados da Pesquisa, 2024.

A Figura 5.42 apresenta graficamente a comparação de desempenho entre a configuração #7 e as referências comerciais de inversores de dois e três níveis, considerando os parâmetros de eficiência, densidade de potência e custo por potência.

Figura 5.42: Comparação do desempenho da configuração otimizada #7 e das referências comerciais.



Fonte: Dados da Pesquisa, 2024.

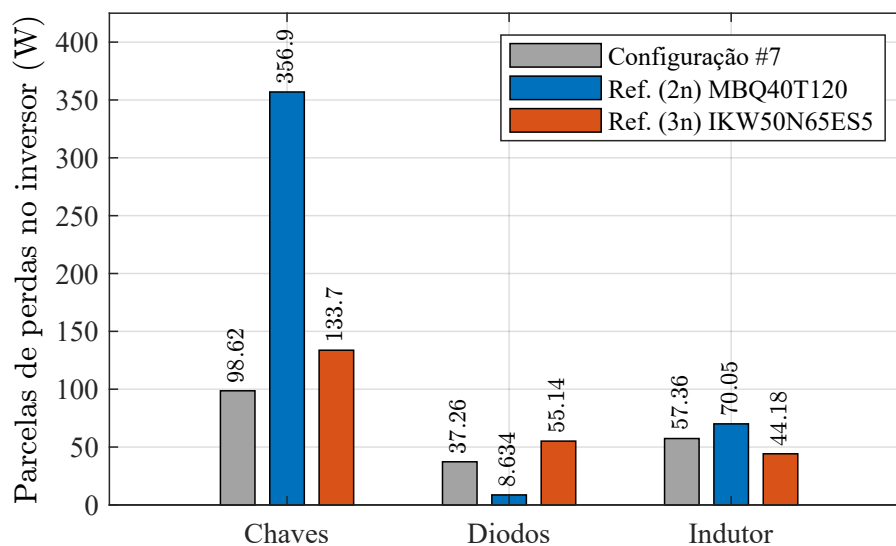
No geral, as perdas totais da configuração #7 são substancialmente inferiores às da referência de dois níveis e muito próximas das da referência de três níveis, como apresentado na Figura 5.43. Isso demonstra o impacto positivo da otimização realizada utilizando chaves SiC na topologia 2n, maximizando a eficiência ao mesmo tempo que reduz perdas nos principais componentes do inversor.

As perdas nas chaves da configuração #7 são as menores entre as comparações com as referências comerciais. Esse resultado reflete a superioridade dos dispositivos de SiC, que possuem menores perdas de comutação.

Em relação às perdas nos diodos, a configuração #7 apresenta um valor intermediário. Embora seja maior do que a referência de dois níveis, que também não utiliza diodos de grampeamento, o valor é consideravelmente menor do que o da referência de três níveis. Isso reflete um desempenho otimizado da configuração #7, apesar das perdas nos diodos internos das chaves.

No que se refere às perdas no indutor, a configuração #7 posiciona-se entre as referências de dois níveis e três níveis. Esse resultado demonstrado é condizente, uma vez que o indutor é reduzido na configuração 3n em relação à configuração 2n.

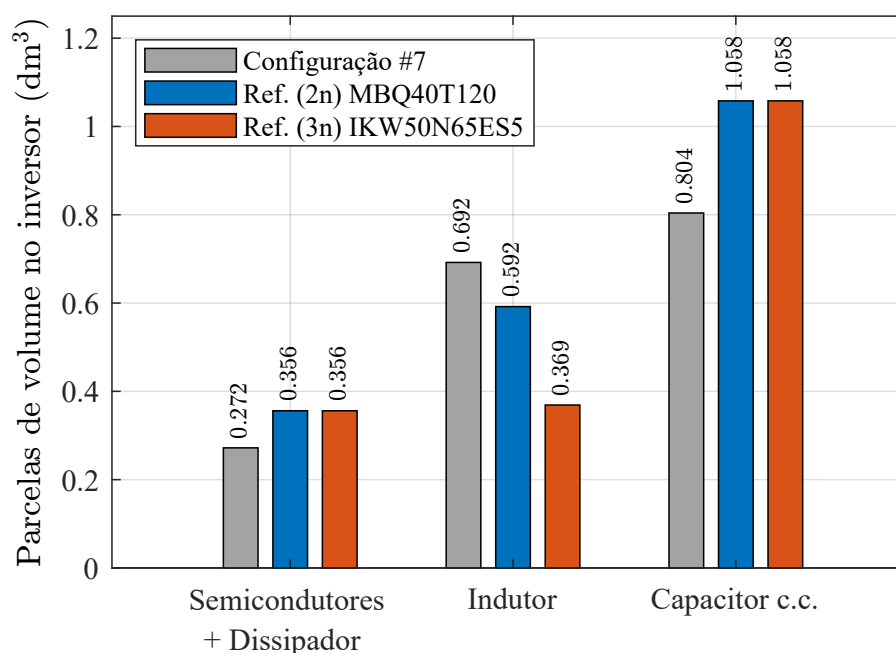
Figura 5.43: Distribuição de perdas na configuração otimizada #7.



Fonte: Dados da Pesquisa, 2024.

A análise do gráfico na Figura 5.44, referente às parcelas de volume no inversor, destaca que a configuração #7 apresenta um volume total reduzido em comparação com a referência 2 níveis, e possui um valor semelhante à referência 2 níveis.

Figura 5.44: Distribuição de volume na configuração otimizada #7.



Fonte: Dados da Pesquisa, 2024.

O volume relacionado aos semicondutores e dissipador na configuração #7 é o menor entre as configurações avaliadas, totalizando $0,272 \text{ dm}^3$. Esse valor é consideravelmente inferior aos volumes das referências de dois níveis e três níveis, que apresentam $0,356 \text{ dm}^3$ cada.

O volume do indutor na configuração #7 é maior do que o observado na referência de três níveis, que registra $0,369 \text{ dm}^3$, mas significativamente menor do que na referência de dois níveis, que apresenta $0,592 \text{ dm}^3$. Esse resultado é atribuído ao projeto otimizado do indutor, que conseguiu reduzir o volume em relação à referência de dois níveis sem comprometer o desempenho.

O volume do capacitor c.c. na configuração #7 é de $0,804 \text{ dm}^3$, apresentando uma redução significativa em relação às referências de dois níveis e três níveis, ambas com $1,058 \text{ dm}^3$.

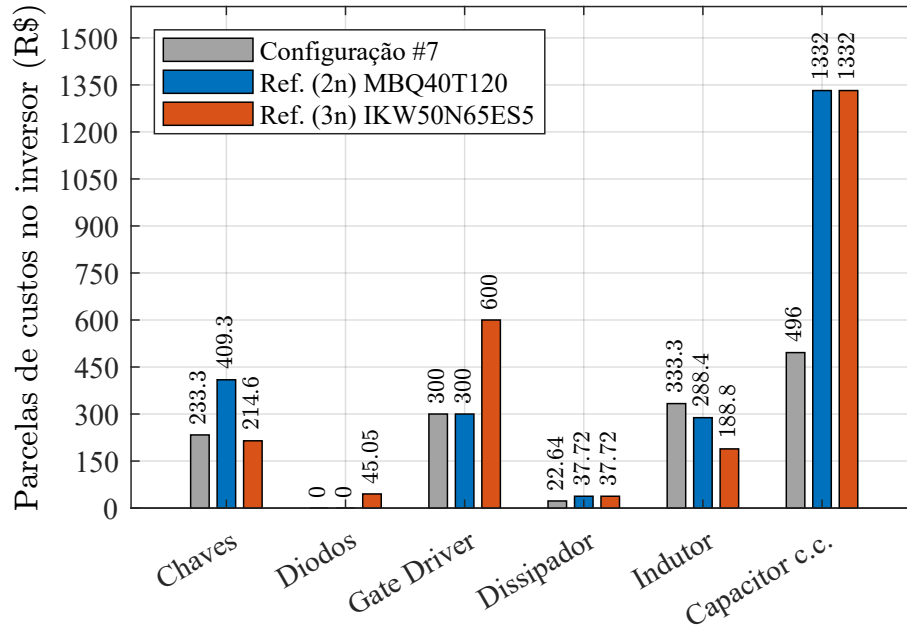
Destaca-se na Figura 5.45 a redução global de custos da configuração #7 em relação às referências. A configuração #7, que emprega chaves de carbeto de silício, apresenta um custo de R\$ 233,30, significativamente inferior aos R\$ 409,30 da referência de dois níveis com dispositivos de silício (Si). Em relação à referência de três níveis, que utiliza chaves Si de menor tensão nominal, o custo é similar, confirmando a competitividade das chaves SiC quando empregadas em uma configuração otimizada.

O custo do *gate driver* na configuração #7 é de R\$ 300, equivalente ao da referência de dois níveis e 50% menor do que o da referência de três níveis. Isso reflete a característica da topologia com menos chaves para acionamento e menor complexidade.

O dissipador na configuração #7 apresenta um custo de R\$ 22,64, consideravelmente inferior ao da referência de duas e três níveis, ambas com um custo de R\$ 37,72. Essa redução no custo do dissipador está relacionada à menor quantidade de calor gerada, resultado de um projeto otimizado para dissipação térmica eficiente.

Por outro lado, o indutor, embora apresente um custo maior que as referências, ainda se mantém dentro de valores aceitáveis, considerando o desempenho geral do sistema.

Figura 5.45: Distribuição de custos na configuração otimizada #7.



Fonte: Dados da Pesquisa, 2024.

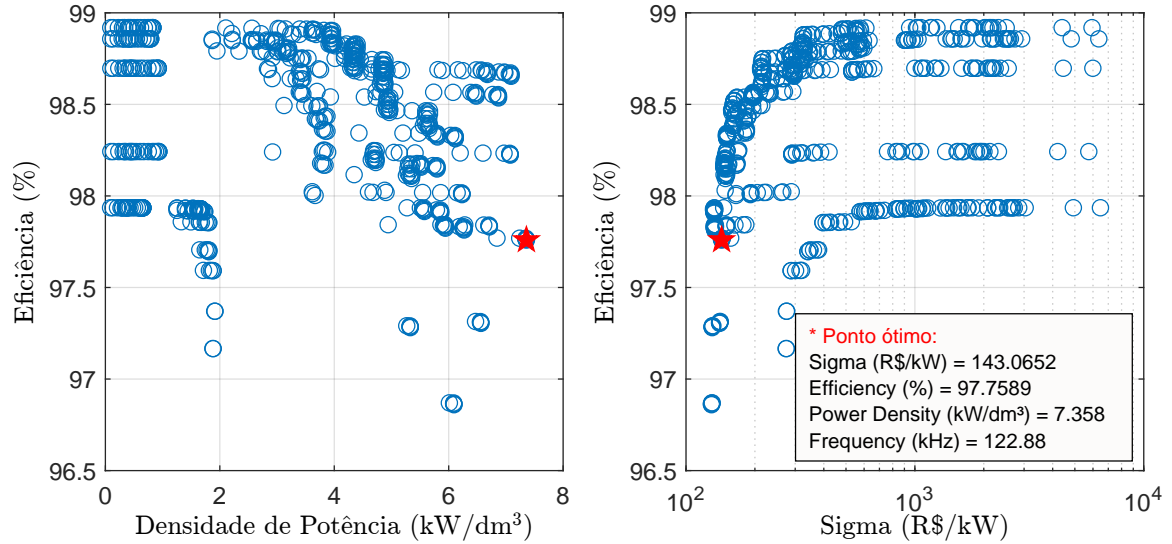
5.5.2 Configuração #8: Projeto 2n livre com variação de frequência no padrão 1

A configuração #8 foi avaliada com o objetivo de explorar o impacto da variação de frequência no padrão 1 na otimização do inversor 2n com chaves SiC. A análise seguirá a metodologia utilizada até então, com o detalhamento das especificações da configuração otimizada, comparando os principais parâmetros de desempenho, como eficiência, densidade de potência, custo específico e a figura de mérito, com as referências comerciais.

A Figura 5.46 ilustra o espaço de soluções obtido para a configuração #8, considerando os 579 projetos avaliados. Nessa figura, é possível observar como as soluções se distribuem em termos de eficiência, densidade de potência (ρ) e custo específico (σ). O ponto otimizado foi destacado, representando a configuração que apresentou o melhor equilíbrio entre os critérios de otimização analisados.

A Tabela 5.20 apresenta as especificações da configuração otimizada #8. Essa configuração utiliza a chave SiC modelo C3M0075120K. O indutor foi projetado com $341,8 \mu H$,

Figura 5.46: Espaço de soluções para a configuração otimizada #8.



Fonte: Dados da Pesquisa, 2024.

utilizando um núcleo único do modelo 78213, com 55 espiras formadas por 33 fios em paralelo de bitola 27. A frequência de chaveamento nesta configuração foi ajustada para 122,88 kHz, permitindo uma operação eficiente e reduzindo o volume dos componentes passivos.

Tabela 5.20: Especificações da configuração otimizada #8.

Parâmetro	ID #8
MOSFET SiC	C3M0075120K (1 por posição)
$V_{BR(sw)}$	1200 V
Diodo de grampeamento	n.a.
Indutor	341,8 μH 1x núcleo 78213 / 55 espiras (33x #27)
Capacitância do barramento	8x 1600 μF / 400 V (4 por barramento)
Dissipador	HS6835 / 111,6mm
Frequência de chaveamento	122,88 kHz

Fonte: Dados da Pesquisa, 2024.

O desempenho da configuração #8 em comparação com as referências comerciais 2

níveis e 3 níveis segue listado na Tabela 5.21. A configuração #8 obteve uma eficiência de 97,76%, superior à eficiência das duas referências. Em relação ao custo específico, a configuração otimizada destacou-se com um valor de R\$ 143,06/kW, evidenciando uma redução significativa quando comparada às referências 2 níveis e 3 níveis. Quanto à densidade de potência, a configuração #8 alcançou 7,358 kW/dm³, destacando-se como uma das melhores entre as soluções avaliadas.

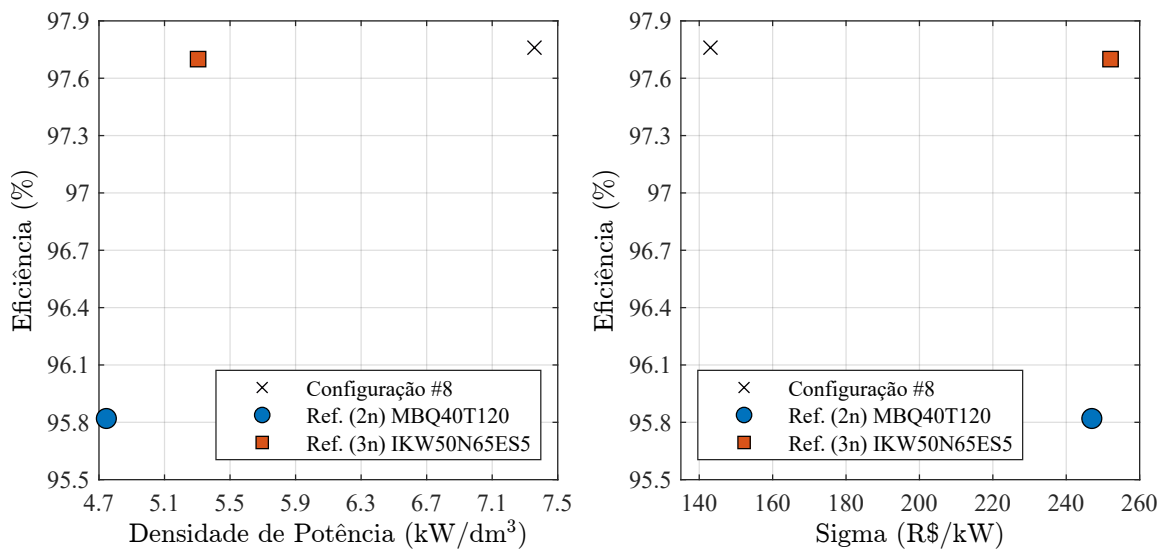
Tabela 5.21: Desempenho da configuração otimizada #8 e das referências comerciais.

	ID #8	Referência 2n	Referência 3n
η [%]	97,76	95,82	97,70
σ [R\$/kW]	143,06	246,97	252,06
ρ [kW/dm ³]	7,358	4,745	5,305
FoM	5,028	1,841	2,056

Fonte: Dados da Pesquisa, 2024.

Na Figura 5.47, são apresentados os gráficos comparativos do desempenho da configuração otimizada #8 em relação às referências comerciais.

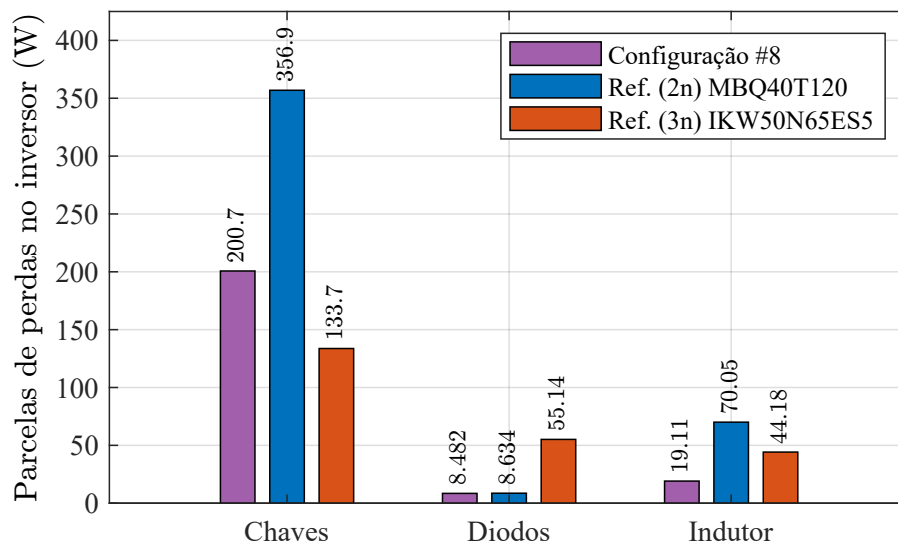
Figura 5.47: Comparação do desempenho da configuração otimizada #8 e das referências comerciais.



Fonte: Dados da Pesquisa, 2024.

A Figura 5.48 apresenta a comparação das parcelas de perdas no inversor para a configuração otimizada em relação às referências comerciais. Observa-se que as perdas nas chaves da configuração #8, com 200,7 W, ficaram significativamente inferiores às da referência 2 níveis, que apresentaram 356,9 W, embora superiores às da referência 3 níveis, com 133,7 W. Esse comportamento reflete a eficiência aprimorada proporcionada pela utilização de chaves de carbeto de silício (SiC), inclusive quando aplicadas em topologias de 2 níveis.

Figura 5.48: Distribuição de perdas na configuração otimizada #8.



Fonte: Dados da Pesquisa, 2024.

Mesmo com uma frequência de chaveamento quatro vezes maior que a referência comercial $2n$, as perdas na configuração otimizada foram de aproximadamente 40% da referência com chave MBQ40T120.

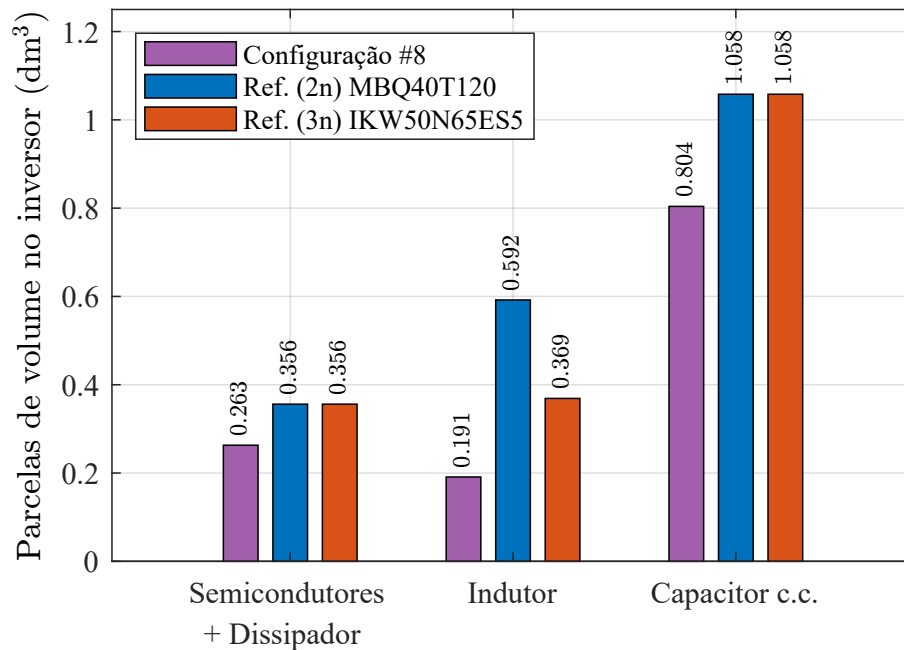
No caso dos diodos, as perdas na configuração otimizada #8 foram praticamente nulas (8,482 W), alinhando-se ao comportamento esperado para a ausência de diodos de grampeamento nessa topologia. Essa característica garantiu uma vantagem frente às referências comerciais, especialmente em relação à referência 3 níveis, que apresentou perdas de 55,14 W devido ao uso inerente de diodos na composição da topologia.

As perdas no indutor da configuração #8 foram as menores entre as soluções analisadas, com 19,11 W, destacando-se frente às referências comerciais, que apresentaram

70,05 W (2 níveis) e 44,18 W (3 níveis). Esse resultado demonstra o impacto positivo da otimização do indutor na configuração #8 ao operar o conversor com frequência de chaveamento elevada, que garantiu menor dissipação de energia nessa parcela.

Observa-se na Figura 5.49 uma significativa redução no volume associado aos semicondutores e dissipadores na configuração #8, totalizando $0,263 \text{ dm}^3$, em contraste com os valores equivalentes de $0,356 \text{ dm}^3$ para ambas as referências comerciais. Essa diminuição é atribuída ao menor número de componentes da topologia $2n$ e à maior eficiência térmica proporcionada pelas chaves SiC.

Figura 5.49: Distribuição de volume na configuração otimizada #8.



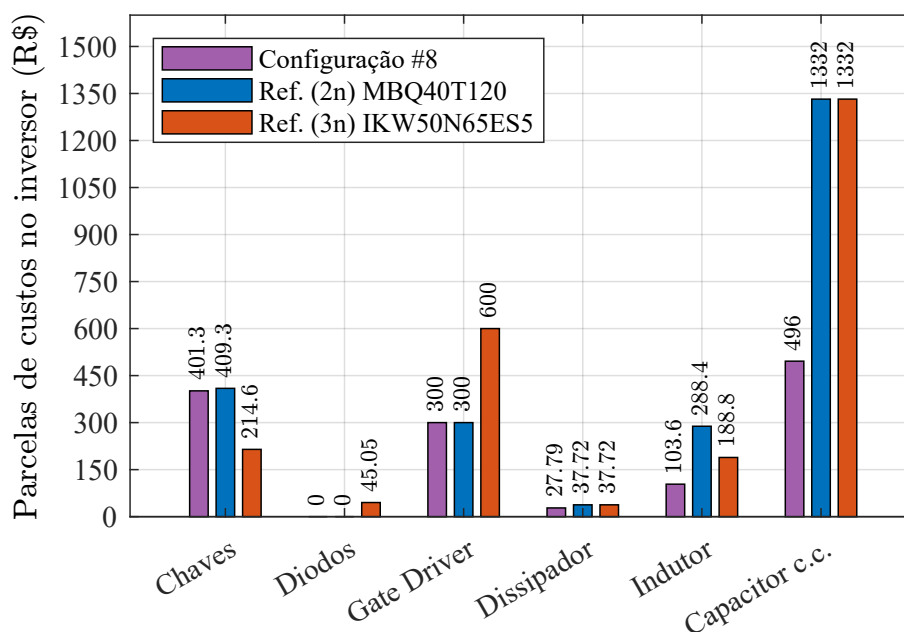
Fonte: Dados da Pesquisa, 2024.

No caso do indutor, a configuração #8 apresentou o menor volume entre as opções analisadas. Quanto ao volume do capacitor c.c., a configuração #8 alcançou um valor inferior ao das referências comerciais. Essa redução evidencia o benefício de ajustes no projeto do capacitor. Em suma, a configuração #8 demonstrou uma notável performance na compactação, com volumes reduzidos em todas as parcelas analisadas.

A Figura 5.50 apresenta a análise comparativa dos custos das parcelas do inversor. É importante considerar que a referência 2 níveis utiliza dois dispositivos por posição,

enquanto a configuração #8 e a referência 3 níveis utilizam apenas um dispositivo por posição.

Figura 5.50: Distribuição de custos na configuração otimizada #8.



Fonte: Dados da Pesquisa, 2024.

O custo das chaves semicondutoras na configuração #8 foi de R\$ 401,30, um valor intermediário entre os R\$ 409,30 da referência 2 níveis, que utiliza dois dispositivos por posição, e os R\$ 214,60 da referência 3 níveis. Apesar de os dispositivos de carbeto de silício (SiC) apresentarem um custo individual mais elevado, como evidenciado pelo valor das chaves na configuração #8, que supera o da referência 3 níveis, esse custo é compensado por sua superioridade em eficiência e densidade de potência.

Observa-se que o custo do dissipador para a configuração #8 é de R\$ 27,79, o que representa uma redução em relação às referências 2 níveis e 3 níveis (ambas com R\$ 37,72). Esse dado destaca o impacto positivo da adoção de dispositivos de carbeto de silício (SiC), que operam de maneira mais eficiente termicamente, reduzindo as demandas de dissipação de calor e, conseqüentemente, a necessidade de dissipação.

O custo do indutor na configuração #8 (R\$ 103,60) também foi significativamente menor em comparação à referência 2 níveis (R\$ 288,40) e à referência 3 níveis (R\$ 188,80),

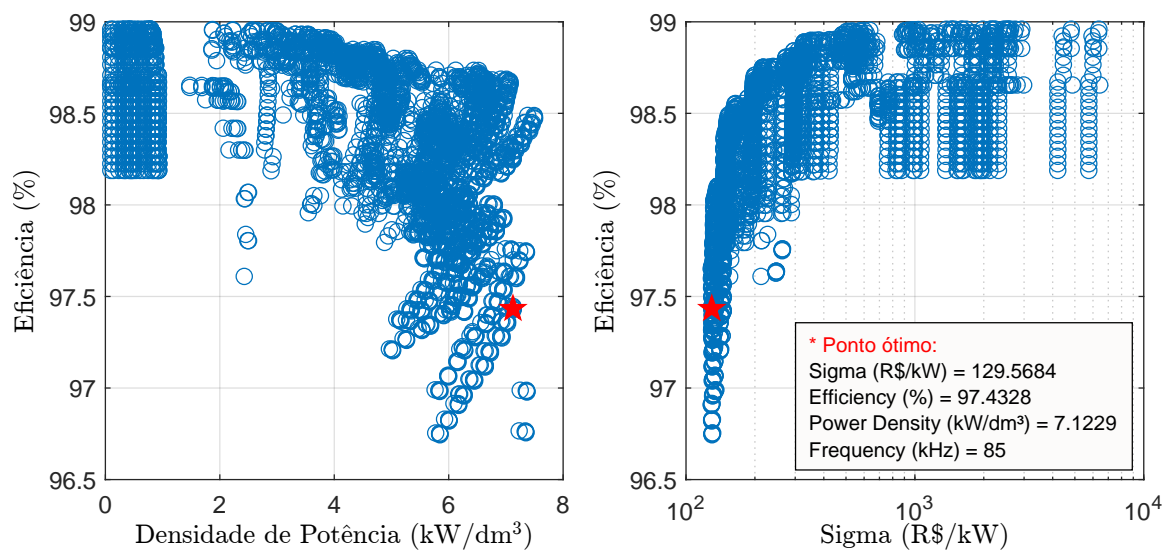
evidenciando a vantagem do uso do SiC em frequências mais altas, que resultam em requisitos menores de armazenamento magnético e, conseqüentemente, na redução de custos.

5.5.3 Configuração #9: Projeto 2n livre com variação de frequência no padrão 2

A análise da configuração #9 considerou um total de 3327 projetos distintos, avaliados por meio da ferramenta computacional. Essa extensa quantidade de projetos reflete o esforço em explorar um espaço de soluções significativo, abrangendo diferentes combinações de parâmetros e frequências de chaveamento no padrão 2. A investigação da ampla gama de projetos possibilita identificar sutis diferenças nas características de desempenho.

A Figura 5.51 apresenta o espaço de soluções obtido na otimização da configuração #9. Nela, é possível observar a distribuição dos projetos avaliados em termos de eficiência, densidade de potência e custo por unidade de potência. A visualização permite identificar claramente os projetos com desempenho superior e destaca o ponto ótimo escolhido, que teve a melhor combinação dos critérios de desempenho.

Figura 5.51: Espaço de soluções para a configuração otimizada #9.



Fonte: Dados da Pesquisa, 2024.

O projeto otimizado na configuração #9 considera o chaveamento do inversor com frequência de 85 kHz e utilização da chave IMW120R060M1H. O indutor foi dimensionado para 494,1 μH, utilizando um núcleo 78110 com 81 espiras (fio AWG 24). A capacitância do barramento manteve-se em oito capacitores de 1600 μF cada. A Tabela 5.22 detalha as especificações da configuração otimizada.

Tabela 5.22: Especificações da configuração otimizada #9.

Parâmetro	ID #9
MOSFET SiC	IMW120R060M1H (1 por posição)
$V_{BR(sw)}$	1200 V
Diodo de grampeamento	n.a.
Indutor	494,1 μH 1x núcleo 78110 / 81 espiras (17x #24)
Capacitância do barramento	8x 1600 μF / 400 V (4 por barramento)
Dissipador	HS6835 / 111,6mm
Frequência de chaveamento	85,0 kHz

Fonte: Dados da Pesquisa, 2024.

Na Tabela 5.23, os resultados de desempenho da configuração #9 são comparados às referências comerciais. A eficiência alcançou 97,43%, sendo superior à da referência de 2 níveis e levemente inferior à da referência de 3 níveis. O custo por unidade de potência representou uma redução significativa em relação às referências, especialmente à de 3 níveis. A densidade de potência registrou 7,122 kW/dm³, destacando-se como uma das

Tabela 5.23: Desempenho da configuração otimizada #9 e das referências comerciais.

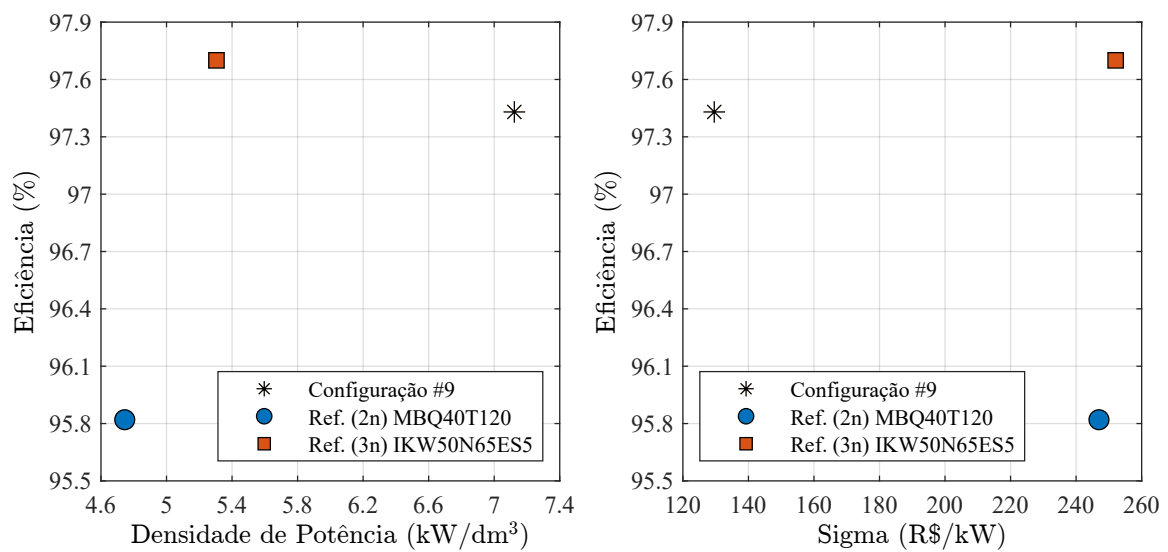
	ID #9	Referência 2n	Referência 3n
η [%]	97,43	95,82	97,70
σ [R\$/kW]	129,57	246,97	252,06
ρ [kW/dm ³]	7,123	4,745	5,305
FoM	5,356	1,841	2,056

Fonte: Dados da Pesquisa, 2024.

maiores dentre as configurações analisadas em todo o estudo de caso. Finalmente, o índice de mérito evidenciou a vantagem global da configuração #9, com um valor de 5,356.

A Figura 5.52 exibe o desempenho da configuração #9 em relação às referências comerciais, considerando os indicadores de eficiência, densidade de potência e custo por unidade de potência.

Figura 5.52: Comparação do desempenho da configuração otimizada #9 e das referências comerciais.



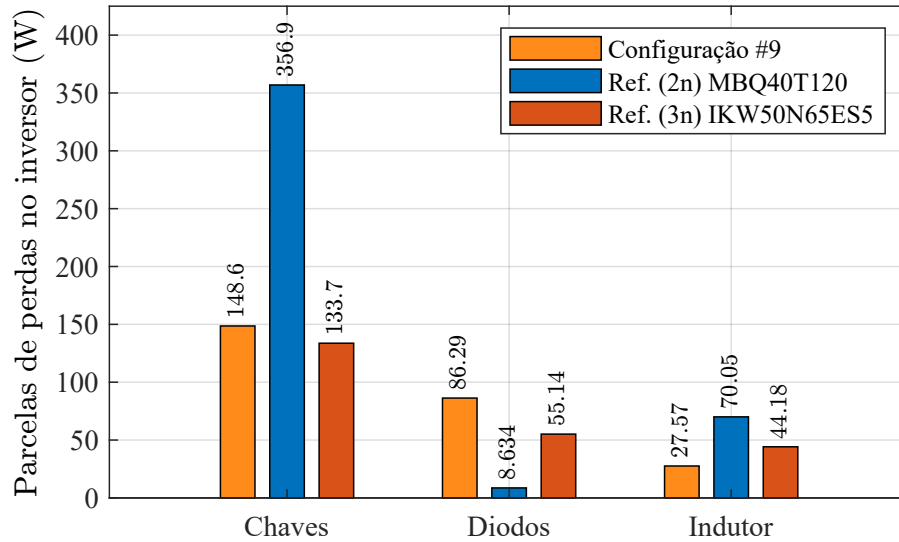
Fonte: Dados da Pesquisa, 2024.

Com relação às perdas, a configuração #9 apresentou perdas totais de 262,46 W, significativamente menores em relação à referência 2n (346,66 W), e ligeiramente superiores em relação à referência 3n (233,02 W), conforme demonstrado na Figura 5.53.

As perdas nas chaves foram reduzidas na configuração #9 em 58,36% em relação à referência HB, mas superaram a referência NPC em 11,16%. Já as perdas no indutor (27,57 W) foram as mais baixas, com reduções expressivas de 60,64% em relação ao HB e 37,63% ao NPC, devido à operação em alta frequência e à otimização do projeto.

As perdas nos diodos (86,29 W) foram muito superiores, com aumento de 899,42% em relação à referência comercial 2n, que também não utiliza diodos de grampeamento. Embora a topologia de 2 níveis, por definição, não utilize diodos de grampeamento, os diodos que fazem parte do próprio encapsulamento do transistor, os chamados diodos

Figura 5.53: Distribuição de perdas na configuração otimizada #9.

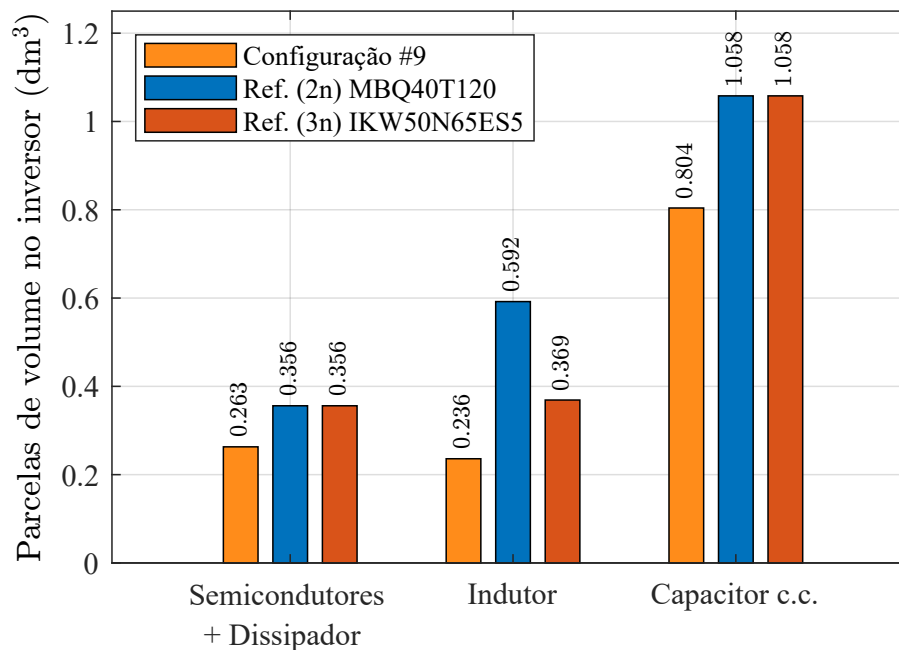


Fonte: Dados da Pesquisa, 2024.

antiparalelos, também têm um impacto nas perdas do conversor.

Os resultados da distribuição de volume no conversor são ilustrados na Figura 5.54 onde também há a otimização do volume das principais parcelas que compõem o inversor.

Figura 5.54: Distribuição de volume na configuração otimizada #9.



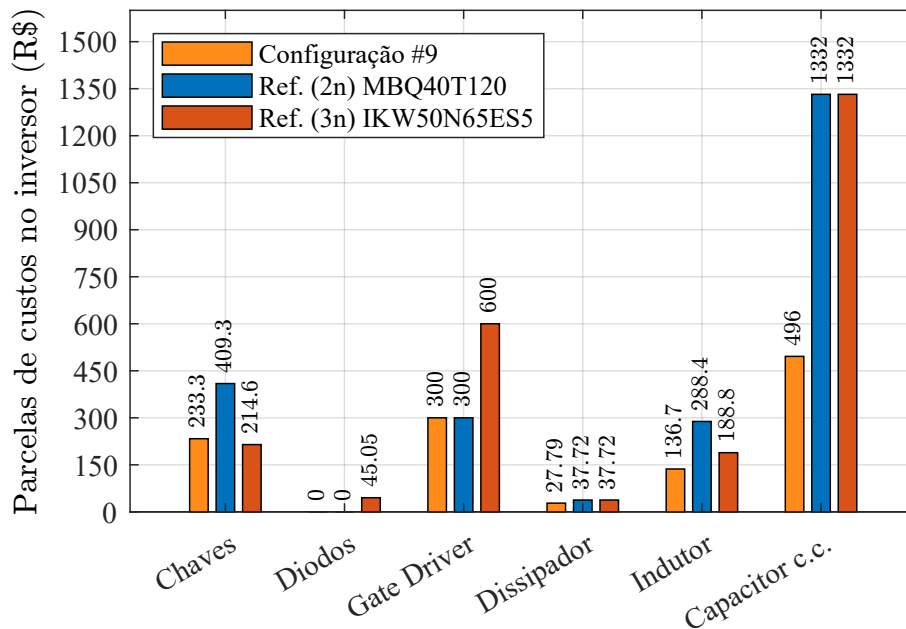
Fonte: Dados da Pesquisa, 2024.

Na análise dos semicondutores e do dissipador, observa-se que a configuração #9 apresenta o menor volume, com $0,263 \text{ dm}^3$, uma redução significativa em relação às duas referências. Essa melhoria é associada à utilização de dispositivos de carbeto de silício, que possuem melhor desempenho térmico. Foi possível reduzir o tamanho do dissipador para $111,6 \text{ mm}$, garantindo a temperatura dos componentes SiC dentro dos limites definidos.

Para o indutor, a configuração #9 também demonstra uma vantagem, com um volume consideravelmente inferior ao volume observado nas referências. Essa redução reflete o impacto da frequência de chaveamento elevada na diminuição do tamanho dos componentes magnéticos.

No âmbito de preços, a configuração #9 torna-se vantajosa, devido aos menores custos totais (R\$ 1193,79), representando uma redução de 49,57% em comparação à referência 2n (R\$ 2452,52) e 50,61% em relação à referência 3n (R\$ 2418,17). A Figura 5.55 apresenta a comparação dos custos dos principais componentes do inversor para a configuração #9 em relação às referências comerciais de 2 níveis (MBQ40T120) e 3 níveis (IKW50N65ES5).

Figura 5.55: Distribuição de custos na configuração otimizada #9.



Fonte: Dados da Pesquisa, 2024.

O custo das chaves foi consideravelmente menor que na referência HB, mas ligeiramente

superior ao NPC. Isso é justificável uma vez que os dispositivos SiC tendem a ter valor unitário superior quando comparados às chaves de silício.

Considerando-se a mesma otimização do banco de capacitores c.c. já feita em análises anteriores, a redução no custo desta parcela é de mais da metade das referências comerciais. A redução do indutor, em decorrência do aumento da frequência de chaveamento, também contribuiu para a diminuição dos custos dos projetos.

5.6 Projeto ótimo considerando as figuras de mérito

Por fim, são consolidados os resultados das simulações, priorizando as configurações que oferecem o melhor compromisso entre eficiência, custo e densidade de potência. Após feita a análise de todas as configurações propostas para o estudo de caso, cabe a comparação entre a Figura de Mérito de cada projeto. É destacado o uso da ferramenta computacional para determinar as soluções ótimas a partir dos critérios de desempenho selecionados.

A Tabela 5.24 consolida uma comparação abrangente entre os projetos de referência e todas as configurações otimizadas avaliadas, considerando os indicadores de eficiência energética (η), custo por potência (σ), densidade de potência (ρ) e a figura de mérito (FoM).

Percebe-se que o projeto ótimo foi obtido na configuração #9 (Seção 5.5.3), quando analisada a operação na faixa de 10 kHz até 130 kHz . Essa configuração considera a topologia 2 níveis e utilização de chaves SiC operando na frequência de chaveamento de 85 kHz . Os outros projetos que mais se aproximaram do melhor resultado também consideraram operação com frequência de chaveamento maior que as referências de projetos (31,72 kHz), como, por exemplo, a configuração #8 com frequência de 122,80 kHz , também utilizando chaves SiC na topologia 2 níveis, e a configuração #6 com topologia 3 níveis, frequência de 65,0 kHz e chaves Si.

Embora os resultados obtidos demonstrem vantagens potenciais no desempenho do conversor em certas configurações com chaves de Si e alta frequência de chaveamento,

Tabela 5.24: Desempenho dos projetos de referência e de todas as configuração otimizadas.

Projeto	η [%]	σ [R\$/kW]	ρ [kW/dm ³]	<i>FoM</i>
Ref. <i>2n</i>	95,82	246,97	4,745	1,841
Ref. <i>3n</i>	97,70	252,06	5,305	2,056
ID #1	96,94	130,59	5,309	3,941
ID #2	95,62	125,45	5,532	4,217
ID #3	96,47	124,53	5,771	4,470
ID #4	98,18	163,50	6,372	3,826
ID #5	96,94	156,32	6,784	4,207
ID #6	96,95	149,96	7,372	4,766
ID #7	98,10	148,71	5,350	3,529
ID #8	97,76	143,06	7,358	5,028
ID #9	97,43	129,57	7,123	5,356

Fonte: Dados da Pesquisa, 2024.

essa aplicação prática é pouco usual, requerendo uma análise mais detalhada e uma possível implementação experimental para confirmar a viabilidade e a eficácia quando aplicado o controle em falha fechada no conversor da solução proposta. Ressalta-se também que, na ferramenta computacional, é possível definir um limite para a frequência máxima de chaveamento, ajustando-a conforme as restrições do projeto ou a capacidade dos componentes utilizados.

Os valores de eficiência das configurações otimizadas apresentam variação entre 95,62% (configuração #2) e 98,18% (configuração #4), com destaque para as configurações #4 e #6, que ultrapassam significativamente os valores de ambas as referências.

O indicador de custo por potência mostra uma redução acentuada nas configurações otimizadas em relação às referências. Por exemplo, a configuração #9 que teve o melhor projeto, apresenta σ 47,54% menor em relação à referência de dois níveis.

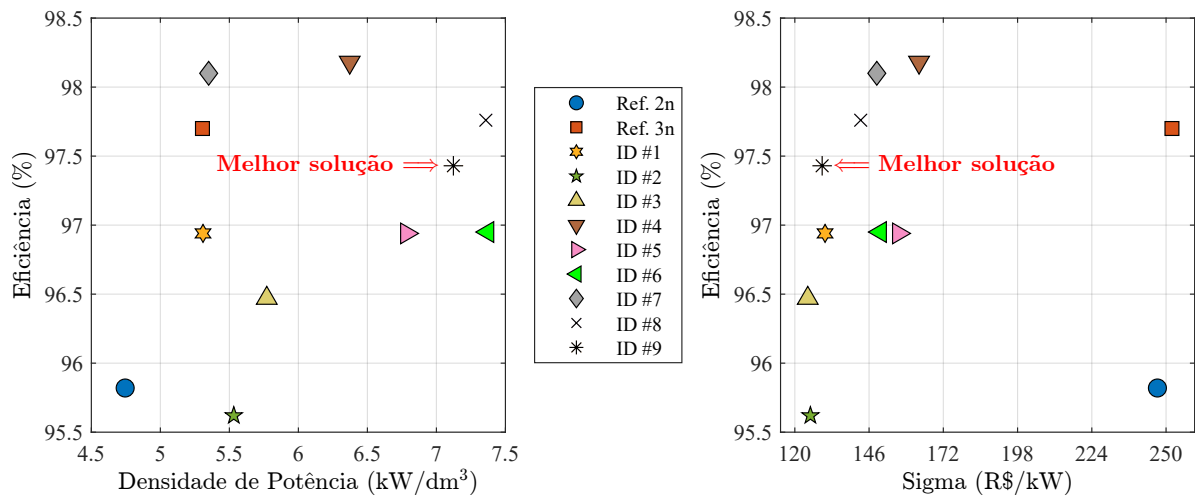
A densidade de potência apresenta variação significativa, com destaque para a configuração #6, #8 e #9, que superam consideravelmente as referências. Essa melhoria está

associada ao design mais compacto e eficiente dos componentes otimizados, especialmente do indutor e capacitor.

A figura de mérito (FoM) sintetiza os indicadores de desempenho, oferecendo uma visão consolidada do desempenho global de cada configuração. A configuração #9 apresenta o maior valor para a figura de mérito (5,356), sendo quase três vezes superior ao da referência de dois níveis (1,841) e mais que o dobro da referência de três níveis (2,056). Esse desempenho reflete a melhor combinação entre eficiência, densidade de potência e custo por potência.

A análise da Figura 5.56 evidencia a distribuição das diferentes configurações otimizadas e de referência no espaço definido pela eficiência energética (η) versus densidade de potência (ρ) no gráfico à esquerda e pela eficiência energética (η) versus custo por potência (σ) no gráfico à direita. Utilizam-se esses gráficos para ilustrar a distribuição dos parâmetros entre os projetos e destacar a melhor solução.

Figura 5.56: Comparação do desempenho de todas as configurações de inversor avaliadas no estudo de caso.



Fonte: Dados da Pesquisa, 2024.

No plano eficiência versus densidade de potência, observa-se que a configuração #9 é a solução que combina alta eficiência (97,43%) com uma densidade de potência superior (7,123 kW/dm³), posicionando-se à direita e mais acima em relação à grande parte dos demais projetos. Essa configuração supera consideravelmente as referências de dois níveis

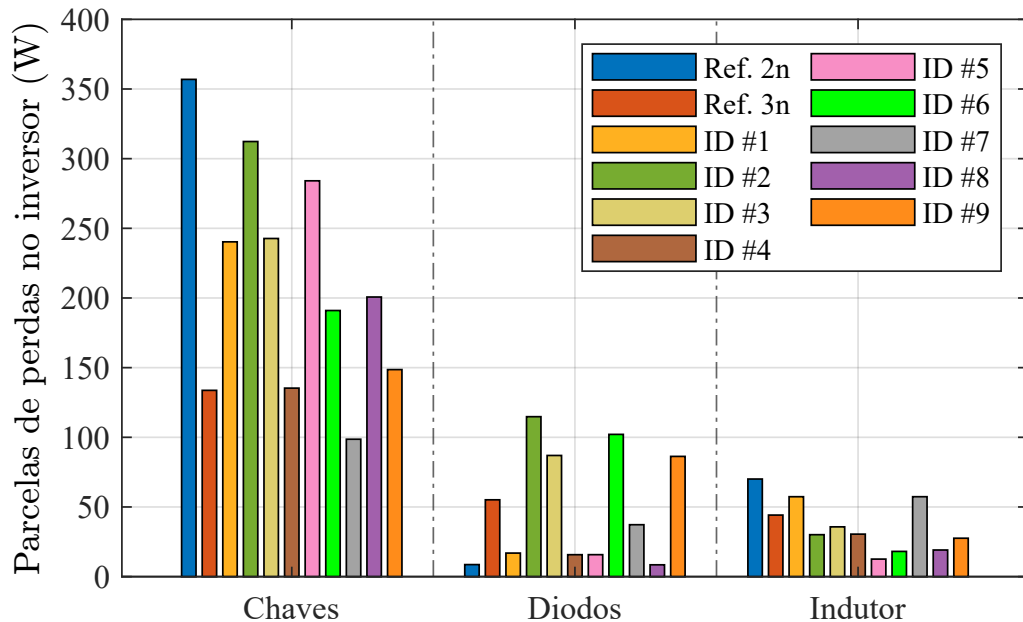
e três níveis, que apresentam valores mais baixos para ambos os critérios. A configuração #8 também se destaca, com uma densidade de potência e eficiência superiores.

No plano eficiência *versus* custo por potência, a configuração #9 novamente se destaca, apresentando baixo σ (R\$ 129,57/kW) e alta eficiência, posicionando-se à esquerda da maioria dos projetos. A configuração #8, embora próxima, apresenta um custo ligeiramente maior, o que a coloca em uma posição secundária.

Os dois gráficos reforçam que a configuração #9 é a mais equilibrada entre as avaliadas, oferecendo um desempenho global superior em termos de eficiência, densidade de potência e custo.

A Figura 5.57 apresenta a comparação das parcelas de perdas no inversor para as nove configurações otimizadas, além das referências de dois e três níveis. De forma geral, evidencia-se que as configurações otimizadas, especialmente aquelas que utilizam dispositivos de SiC, alcançam reduções expressivas nas perdas, distribuindo-as de maneira mais eficiente entre os componentes.

Figura 5.57: Distribuição de perdas nas configurações avaliadas no estudo de caso.



Fonte: Dados da Pesquisa, 2024.

Na parcela de perdas nas chaves, observa-se que a referência de dois níveis apresenta as

maiores perdas, superando 350 W. Isso destaca o baixo desempenho do modelo de IGBT de referência para a frequência de chaveamento do projeto. As configurações baseadas em dispositivos de SiC, como as configurações #7 e #9, apresentam perdas significativamente menores, evidenciando a eficiência superior desses dispositivos.

Para as perdas nos diodos, há um comportamento variado. As configurações que utilizam topologias de três níveis, como a configuração #6, exibem contribuições notáveis devido à inclusão de diodos de grampeamento, característica inerente à topologia NPC1. Por outro lado, as configurações baseadas em dois níveis ainda apresentam perdas nos diodos, o que pode indicar a operação dos diodos internos das chaves em condições subótimas.

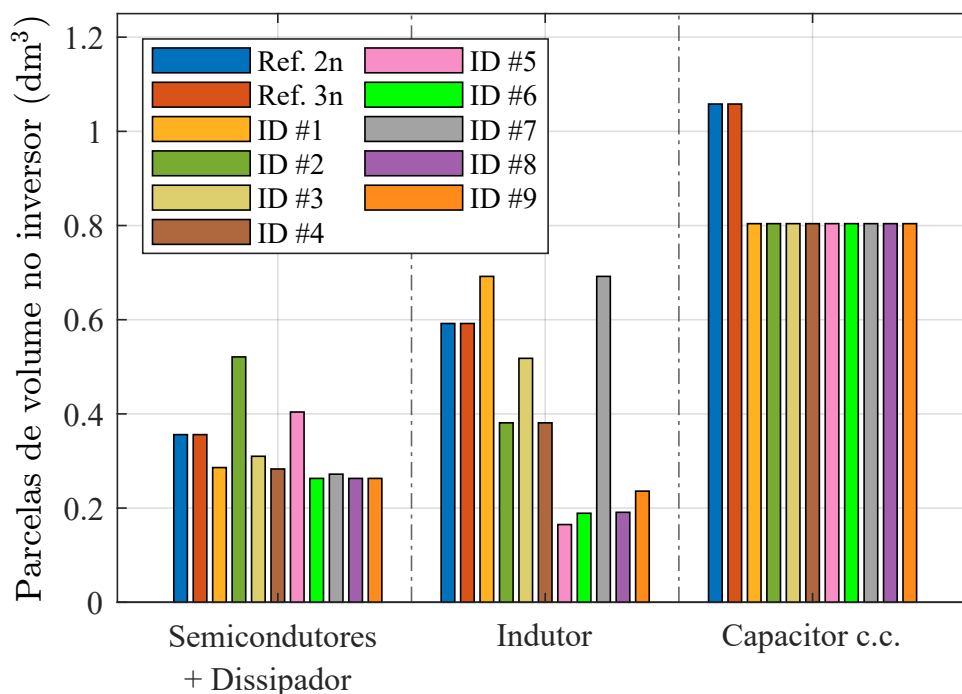
Na análise das perdas nos indutores, observa-se uma contribuição mais equilibrada entre as configurações, com os valores mais baixos apresentados pelas configurações otimizadas, principalmente quando empregadas frequências de chaveamento mais altas.

A Figura 5.58 apresenta a distribuição de volume nas diferentes configurações avaliadas. Os resultados evidenciam a influência significativa da topologia, tecnologia das chaves e frequência de chaveamento na dimensão física do conversor. As variações de volumes entre as configurações são mais significativas nas parcelas do indutor e capacitor do barramento c.c..

A redução no volume dos indutores é possível nas configurações #8 e #9 pela operação com frequências maiores, e nas configurações #5 e #6 tanto pela maior frequência de chaveamento quanto pela utilização da topologia NPC1, que inerentemente viabiliza a utilização do indutor de saída com menor indutância nominal.

Ao analisar os volumes dos capacitores do barramento c.c., nota-se uma diferença significativa entre as referências comerciais (2n e 3n) e as configurações otimizadas (ID #1 a ID #9). As referências apresentam um volume de 1,058 dm^3 , enquanto todas as configurações otimizadas possuem um volume reduzido de aproximadamente 0,804 dm^3 , representando uma diminuição de cerca de 24%. Essa característica demonstra um avanço em termos de compactação dos sistemas otimizados, mantendo a capacidade de atender às exigências de estabilidade no barramento c.c..

Figura 5.58: Distribuição de volume nas configurações avaliadas no estudo de caso.



Fonte: Dados da Pesquisa, 2024.

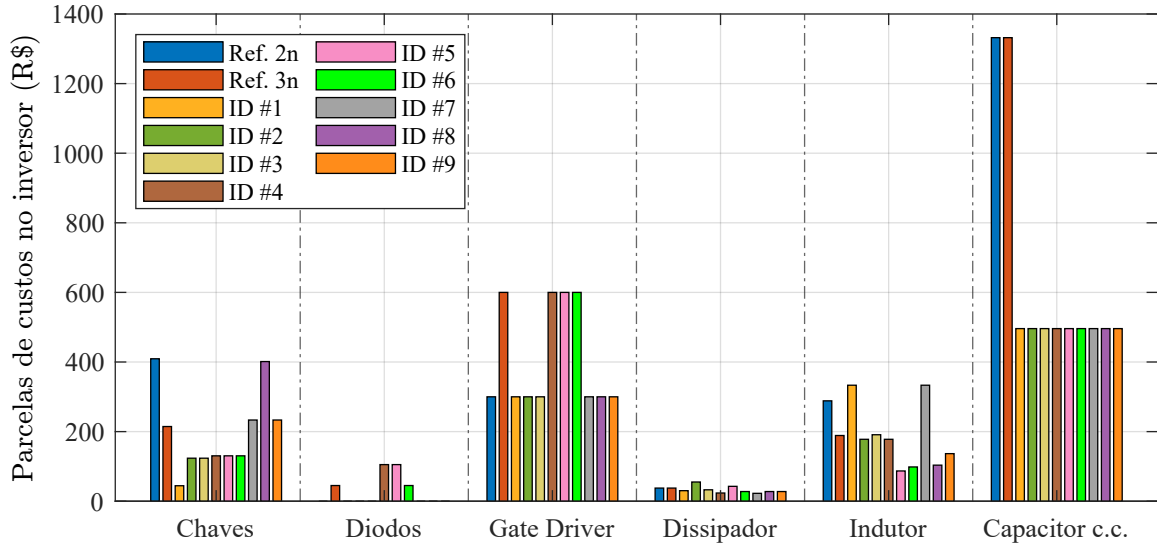
Os valores de cada elemento são distribuídos nas parcelas do inversor conforme indicado na Figura 5.59. Os custos das chaves são mais variáveis, refletindo a influência direta do tipo de dispositivo e do número de dispositivos por posição. As configurações otimizadas apresentam um custo inferior às referências comerciais.

Para a parcela das chaves, observa-se que as configurações otimizadas que utilizam dispositivos de SiC apresentaram custos superiores às configurações otimizadas com Si convencional. Essa diferença de preço reflete diretamente o custo mais elevado dos dispositivos de SiC no mercado atual, em razão de sua tecnologia avançada e dos benefícios associados, como melhor desempenho térmico e elétrico.

Percebe-se claramente o aumento de custo da parcela do *gate driver* na composição do inversor nos projetos com topologia NPC1, que possuem mais posições de interruptores estáticos na composição do braço do conversor e, conseqüentemente, há a necessidade de utilizar o dobro de circuitos de acionamento em comparação à topologia HB.

O custo do dissipador se mantém em patamares similares para todas as configurações

Figura 5.59: Distribuição de custos nas configurações avaliadas no estudo de caso.



Fonte: Dados da Pesquisa, 2024.

avaliadas, uma vez que não houve diferenças significativas nos comprimentos. Logicamente, em virtude da topologia $2n$ não utilizar diodos de grampeamento, o custo dessa parcela é nulo nos respectivos projetos com essa topologia.

Os capacitores do barramento c.c. continuam sendo o maior contribuinte para o custo total em todas as configurações. Essa parcela do conversor também se beneficiou amplamente da otimização, com uma redução significativa de cerca de 62% nas configurações otimizadas em relação às referências comerciais, garantindo uma economia expressiva.

Durante o desenvolvimento desta dissertação, foi publicado o artigo [86], que representa um extrato da pesquisa conduzida. O artigo aborda uma avaliação comparativa de uma quantidade reduzida de configurações, utilizando a ferramenta computacional multiobjetiva, para validar o desempenho de inversores $2n$ e $3n$ aplicando interruptores estáticos de Si e SiC.

5.7 Desempenho Computacional

Um aspecto importante a ser destacado é o desempenho computacional da ferramenta nos estudos de casos. Na otimização de conversores, especialmente com a aplicação de

metodologias multiobjetivas e a busca por soluções no espaço paramétrico, é fundamental avaliar o tempo computacional necessário para alcançar as soluções propostas. Isso permite entender a complexidade do problema e dimensionar o esforço computacional, especialmente em sistemas de grande escala.

No contexto deste trabalho, a ferramenta computacional realiza a integração de múltiplos componentes e topologias, exigindo a resolução de diversas variáveis e restrições. O processo de otimização envolve um espaço de busca significativo, considerando diferentes combinações de componentes, o que amplia a complexidade do problema. O aumento do número de parâmetros e opções expande o espaço de busca por soluções e, consequentemente, eleva o esforço computacional e o tempo de resolução.

As simulações computacionais deste trabalho foram realizadas utilizando-se o *software* MATLAB 2022a. Na Tabela 5.25, apresenta-se o tempo necessário para resolver a otimização das configurações propostas nos estudos de casos, de acordo com a quantidade de projetos possíveis pela ferramenta computacional. As especificações do computador utilizado para a execução das simulações estão descritas no Apêndice A.

Tabela 5.25: Tempo computacional necessário para otimização de cada configuração.

Configuração	Projetos	Tempo
ID #1	89	00 min : 21 seg
ID #2	304	02 min : 44 seg
ID #3	1876	13 min : 01 seg
ID #4	253	00 min : 31 seg
ID #5	980	04 min : 03 seg
ID #6	5008	19 min : 17 seg
ID #7	192	00 min : 24 seg
ID #8	579	02 min : 25 seg
ID #9	3327	13 min : 02 seg

Fonte: Dados da Pesquisa, 2024.

Os resultados obtidos nesta pesquisa foram alcançados em um tempo computacional

relativamente curto, considerando a execução das simulações em um computador convencional, o que demonstra a eficiência da ferramenta, considerando a complexidade dos sistemas e possibilita a aplicação prática das soluções propostas no desenvolvimento e validação dos conversores estudados.

Entretanto, é importante destacar que, à medida que a complexidade do problema cresce, seja pelo aumento do número de componentes avaliados ou pela expansão do espaço de busca, o tempo de execução tende a crescer. Esse comportamento é esperado em problemas de otimização multiobjetivo, especialmente quando múltiplos critérios de desempenho são considerados simultaneamente.

5.8 Conclusões do capítulo

Ao longo deste capítulo, foram apresentados os estudos de caso e os resultados das simulações realizadas com diferentes configurações de inversores, contemplando diversas topologias, materiais de chaves semicondutoras (Si e SiC) e padrões de variação de frequência de chaveamento. Esses estudos permitiram avaliar o desempenho dos projetos otimizados em relação às referências comerciais de inversores de dois e três níveis, considerando métricas como eficiência, densidade de potência, custo e volume.

Os resultados do estudo de caso evidenciam que as configurações otimizadas superam significativamente as referências de dois e três níveis em todos os indicadores analisados. Esses resultados destacam a eficiência dos métodos de otimização aplicados, demonstrando a viabilidade de soluções mais compactas, econômicas e eficientes no contexto de inversores de potência.

Os dados obtidos para cada cenário foram discutidos em detalhes, destacando as vantagens e desvantagens de cada configuração e como elas se comparam às referências comerciais e outras topologias analisadas.

Evidenciou-se que as configurações otimizadas com chaves de SiC demonstraram um desempenho superior em eficiência e densidade de potência, apesar do custo inicial mais elevado dos dispositivos semicondutores. O uso de SiC também possibilitou a operação

em frequências de chaveamento mais elevadas, o que impactou positivamente na redução do volume e do custo de outros componentes passivos, como capacitores e indutores.

Por outro lado, as configurações otimizadas com Si convencional também demonstraram viabilidade econômica e de desempenho, destacando-se como alternativas adequadas para as referências comerciais e indicando a possibilidade de evoluções dessas referências.

Os resultados forneceram subsídios sólidos para a escolha do melhor projeto para o estudo de caso proposto e demonstram o impacto das tecnologias emergentes na melhoria de desempenho e compactação de conversores de potência.

Capítulo 6

Conclusão

Nesta dissertação, foram apresentados os procedimentos utilizados para concepção e análise de um estudo comparativo, utilizando uma ferramenta computacional multiobjetiva, referente ao desempenho de inversores de 2 níveis e 3 níveis, com uso de chaves de Si e SiC. Foram abordadas a avaliação das tecnologias das chaves, as principais metodologias para a análise do desempenho dos inversores até o estudo de caso para análise dos resultados.

A forma escolhida para a apresentação dos capítulos teve como objetivo introduzir cada tópico fundamental para o desenvolvimento e análise de inversores para sistemas UPS, com foco no desempenho, custo e volume dos componentes. O estudo foi estruturado para cobrir desde os fundamentos teóricos até a análise detalhada de múltiplas configurações de inversores, empregando diferentes tecnologias de semicondutores e estratégias de otimização.

O Capítulo 1, introdutório, teve como intuito contextualizar o tema abordado na dissertação, trazendo as principais motivações para o desenvolvimento da pesquisa, a partir das quais foi constatado que se trata de um tema relevante e na fronteira do conhecimento.

Adicionalmente, no Capítulo 2 realizou-se uma revisão bibliográfica direcionada à avaliação detalhada do estado da arte de sistemas UPS, abordando suas principais classificações e tecnologias empregadas atualmente. Essa análise incluiu a caracterização dos três

principais tipos de UPS - offline, interativa e online - destacando suas arquiteturas, funcionalidades e aplicações típicas. Avaliou-se também as características de topologias de inversores e as vantagens comparativas entre dispositivos semicondutores de silício (Si) e carbeto de silício (SiC). Esse embasamento teórico foi essencial para justificar as escolhas tecnológicas nos capítulos posteriores.

O Capítulo 3 apresentou a ferramenta computacional para o projeto multiobjetivo de conversores, evidenciando a integração de algoritmos de otimização, banco de dados de componentes e metodologias avançadas de avaliação de desempenho. Essa ferramenta é um dos principais pilares da metodologia proposta nesta dissertação e foi aplicada nos estudos de caso que se seguiram, permitindo uma análise abrangente e robusta. A ferramenta computacional não apenas automatizou o processo de avaliação, mas também permitiu um estudo mais aprofundado das soluções otimizadas, além de abrir caminho para futuras melhorias.

No Capítulo 4 dedicou-se ao desenvolvimento de uma metodologia abrangente para a análise do desempenho de conversores. Essa metodologia foi estruturada com o objetivo de integrar diversas etapas do processo de dimensionamento e avaliação, com foco em garantir precisão, eficiência e uma abordagem multicritério no projeto de conversores. Apresentaram-se os algoritmos de otimização empregados, detalhando como eles foram configurados para explorar o espaço de soluções de maneira eficiente.

A otimização foi realizada considerando diferentes componentes do conversor, como semicondutores, dissipadores, indutores e capacitores. Esses componentes foram avaliados com base em um banco de dados abrangente, que serviu como referência para a escolha dos modelos mais adequados. Um mapeamento subsequente da fronteira de Pareto para um espaço multidimensional foi proposto, facilitando a identificação do sistema candidato com base em uma única métrica que consolida os diferentes critérios de desempenho. Essa abordagem forneceu as bases para os estudos de caso apresentados, que avaliaram os projetos otimizados em comparação com referências reais.

No Capítulo 5 foi apresentado um método para análise da otimização dos conversores. Além disso, foram apresentados os resultados provenientes de simulação para todas as nove

configurações de operação previstas durante a análise do estudo de caso, sendo o ponto central para a validação prática e teórica da metodologia desenvolvida. A concordância dos dados consolida o princípio de otimização adotado para o sistema, demonstrando como a integração de ferramentas computacionais e critérios multiobjetivos pode aprimorar significativamente o desempenho dos conversores.

O estudo apresentado neste trabalho demonstra o potencial da ferramenta computacional para otimizar o projeto de conversores de potência. Ao analisar cenários distintos, pode-se observar como a ferramenta permite a seleção dos componentes e frequências de chaveamento adequadas, resultando em reduções significativas nas perdas, volume e custos do sistema.

Perante os resultados, foi possível validar que os semicondutores de novas tecnologias, como o SiC, são capazes de oferecer melhor eficiência e densidade de potência para o sistema, mesmo no cenário atual de preços destes componentes, que ainda são mais caros que as chaves convencionais de Si quando avaliadas de forma individual.

O estudo de caso apresentou soluções consistentes, considerando a proposta da ferramenta em utilizar parâmetros de componentes reais no banco de dados. Os resultados obtidos das comparações indicam que os conversores 2 níveis que utilizam chaves SiC têm desempenho superior, tanto em relação à topologia 2 níveis com chaves Si quanto em relação à topologia 3 níveis com chaves Si.

Foram avaliadas diferentes configurações otimizadas, considerando critérios multiobjetivos, como custo, perdas, volume e densidade de potência. O uso de SiC no inversor de 2 níveis buscou explorar o potencial de melhoria de desempenho, enquanto se mantém um projeto mais simples e compacto em comparação a topologias de 3 níveis. Verificou-se que as vantagens dos dispositivos SiC são capazes de superar as limitações do aumento de custo inicial desses dispositivos, ao mesmo tempo em que se alinham aos critérios de otimização.

Uma limitação importante de ser destacada é o banco de dados de materiais e componentes. Para permitir estudos ainda mais gerais e abrangentes, o banco de dados precisa ser ampliado. Isso inclui mais opções de componentes, com custos atualizados, fornecendo

outras alternativas para otimização dos projetos.

O trabalho demonstrou que a implementação de software da rotina proposta e seu método de busca direta inteligente podem lidar com problemas complexos de otimização multiobjetivo. Isso requer apenas meios computacionais e encontra soluções em tempo razoável, conforme apresentado na Seção 5.7. Exemplos com quase diversas variáveis de projeto independentes, resultando em um número muito grande de resultados, foram demonstrados como viáveis.

A vasta quantidade de dados detalhados gerados pela rotina permite uma análise abrangente dos problemas de otimização e facilita a identificação de limitações fundamentais de desempenho. A relevância prática da abordagem foi demonstrada pelo uso de componentes disponíveis comercialmente, o que facilita a implementação de sistemas candidatos sem necessidade de considerações adicionais extensas de design.

6.1 Propostas de continuidade

Cabe ressaltar que, embora todos os tópicos previstos para estudo tenham sido abordados neste documento, a profundidade do tema inviabiliza esgotar o assunto no prazo delimitado ao mestrado. Assim, como propostas de continuidade do trabalho, destacam-se:

- Ampliar o banco de dados de componentes visto que, uma extensão do banco de dados empregado na ferramenta computacional pode proporcionar maior diversidade de dispositivos semicondutores, indutores e capacitores. Isso permitirá avaliar tecnologias emergentes e explorar novas combinações de materiais e componentes, aprimorando a análise e expandindo as possibilidades de otimização;
- Aprimorar a metodologia de cálculo de perdas nos diodos para aumentar a precisão das estimativas de desempenho do componente pois, atualmente, a escassez de dados detalhados nas especificações dos fabricantes dificulta a análise detalhada das perdas. Desenvolver modelagens mais completas que considerem os fenômenos di-

nâmicos do diodo. Além disso, realizar ensaios experimentais submetendo os diodos às condições de operação de interesse, permitindo medir diretamente os parâmetros, bem como suas variações em diferentes cenários;

- Incluir a avaliação da temperatura e vida útil dos capacitores eletrolíticos para estimativas de confiabilidade do sistema. Correlacionar as perdas nos capacitores em uma estimativa precisa de temperatura ainda é um desafio devido à falta de dados específicos sobre o comportamento térmico dos componentes. Realizar ensaios experimentais para esclarecer as incertezas relacionadas ao impacto do aquecimento interno e fornecer subsídios para a modelagem mais precisa de degradação;
- Incorporar novas topologias de conversores para as simulações, como conversores multiníveis mais avançados ou configurações híbridas, para proporcionar mais opções nas análises de projetos. Esse aprimoramento possibilitará explorar soluções ainda mais eficientes e inovadoras;
- Desenvolver uma análise similar para os retificadores e também para a UPS completa, agregando tanto o retificador quanto o inversor. A análise da UPS como um sistema completo viabilizará a avaliação da interação entre os conversores no contexto global do sistema, considerando o impacto de todos os conversores nas métricas de desempenho do sistema;
- Realizar estudos com cargas que apresentam características variadas, como cargas não lineares, crucial para compreender o impacto dessas condições no desempenho do conversor. Essa análise permitirá verificar a robustez da solução proposta frente à diferentes condições de operação;
- Construir e validar experimentalmente o conversor otimizado para possibilitar a avaliação dos resultados teóricos e simulados pela ferramenta computacional. Essa etapa é fundamental para demonstrar a aplicabilidade real das configurações propostas e identificar possíveis desafios na implementação prática do conversor.

Referências Bibliográficas

- [1] Milad, M. e Darwish, M. “UPS system: How can future technology and topology improve the energy efficiency in data centers?” Em: *2014 49th International Universities Power Engineering Conference (UPEC)*. 2014, pp. 1–4. DOI: [10.1109/UPEC.2014.6934608](https://doi.org/10.1109/UPEC.2014.6934608) (Citado na página 23).
- [2] Park, Jae-Kyu et al. “High-Performance Transformerless Online UPS”. Em: *IEEE Transactions on Industrial Electronics* 55.8 (2008), pp. 2943–2953. DOI: [10.1109/TIE.2008.918606](https://doi.org/10.1109/TIE.2008.918606) (Citado na página 23).
- [3] Krishnan, R. e Srinivasan, S. “Topologies for uninterruptible power supplies”. Em: *ISIE '93 - Budapest: IEEE International Symposium on Industrial Electronics Conference Proceedings*. 1993, pp. 122–127. DOI: [10.1109/ISIE.1993.268835](https://doi.org/10.1109/ISIE.1993.268835) (Citado na página 23).
- [4] Lukovic, Slobodan et al. “A Methodology for Proactive Maintenance of Uninterruptible Power Supplies”. Em: *2016 Seventh Latin-American Symposium on Dependable Computing (LADC)*. 2016, pp. 183–186. DOI: [10.1109/LADC.2016.37](https://doi.org/10.1109/LADC.2016.37) (Citado na página 23).
- [5] Emadi, A., Nasiri, A. e Bekiarov, S.B. *Uninterruptible Power Supplies and Active Filters*. First edition. Boca Raton: CRC Press, 2004. ISBN: 9781420037869 (Citado na página 23).
- [6] Huang, Yan et al. “Electricity Cost Optimization of Data Center Interactive Services with UPS”. Em: *2018 15th International Computer Conference on Wavelet Active*

- Media Technology and Information Processing (ICCWAMTIP)*. 2018, pp. 181–184. DOI: [10.1109/ICCWAMTIP.2018.8632610](https://doi.org/10.1109/ICCWAMTIP.2018.8632610) (Citado na página 24).
- [7] Zhao, Biao et al. “Next-Generation Multi-Functional Modular Intelligent UPS System for Smart Grid”. Em: *IEEE Transactions on Industrial Electronics* 60.9 (2013), pp. 3602–3618. DOI: [10.1109/TIE.2012.2205356](https://doi.org/10.1109/TIE.2012.2205356) (Citado na página 24).
- [8] Schlegel, Ludwig e Hofmann, Wilfried. “Comparison of High-Power 2-Level and 3-Level Converters in Terms of Power Density, Costs and Performance”. Em: *2022 24th European Conference on Power Electronics and Applications (EPE'22 ECCE Europe)*. 2022, P.1–P.9 (Citado 2 vezes nas páginas 24, 37).
- [9] Lee, TingAn, Kinoshita, Masahiro e Sanada, Kazunori. “High-efficiency large-capacity uninterruptible power supply using bidirectional-switch-based NPC multilevel converter”. Em: *8th International Conference on Power Electronics - ECCE Asia*. 2011, pp. 2100–2105. DOI: [10.1109/ICPE.2011.5944525](https://doi.org/10.1109/ICPE.2011.5944525) (Citado na página 24).
- [10] Buschhorn, Stefan e Vogel, Klaus. “Saving money: SiC in UPS applications”. Em: *PCIM Europe 2014; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*. 2014, pp. 1–7 (Citado na página 24).
- [11] Laird, Ian et al. “A Design Optimization Tool for Maximizing the Power Density of 3-Phase DC–AC Converters Using Silicon Carbide (SiC) Devices”. Em: *IEEE Transactions on Power Electronics* 33.4 (2018), pp. 2913–2932. DOI: [10.1109/TPEL.2017.2705805](https://doi.org/10.1109/TPEL.2017.2705805) (Citado na página 24).
- [12] Anthon, Alexander et al. “The Benefits of SiC mosfets in a T-Type Inverter for Grid-Tie Applications”. Em: *IEEE Transactions on Power Electronics* 32.4 (2017), pp. 2808–2821. DOI: [10.1109/TPEL.2016.2582344](https://doi.org/10.1109/TPEL.2016.2582344) (Citado na página 25).
- [13] Uemura, Hirofumi et al. “ η - ρ Pareto optimization of 3-phase 3-level T-type AC-DC-AC converter comprising Si and SiC hybrid power stage”. Em: *2014 Interna-*

- tional Power Electronics Conference (IPEC-Hiroshima 2014 - ECCE ASIA)*. 2014, pp. 2834–2841. DOI: [10.1109/IPEC.2014.6870083](https://doi.org/10.1109/IPEC.2014.6870083) (Citado na página 25).
- [14] Balachandran, Swaminathan e Lee, Fred C.y. “Algorithms for Power Converter Design Optimization”. Em: *IEEE Transactions on Aerospace and Electronic Systems* AES-17.3 (1981), pp. 422–432. DOI: [10.1109/TAES.1981.309070](https://doi.org/10.1109/TAES.1981.309070) (Citado na página 25).
- [15] Bolsi, Pedro C. et al. “Cost and Efficiency Optimization of Low-frequency Transformers in Uninterruptible Power Supplies”. Em: *2024 16th Seminar on Power Electronics and Control (SEPOC)*. 2024, pp. 1–6. DOI: [10.1109/SEPOC63090.2024.10747421](https://doi.org/10.1109/SEPOC63090.2024.10747421) (Citado na página 25).
- [16] Christensen, Nicklas et al. “Cost, Efficiency and Power Density Pareto Investigation of Three Phase Inverters”. Em: *2018 20th European Conference on Power Electronics and Applications (EPE'18 ECCE Europe)*. 2018, P.1–P.8 (Citado na página 25).
- [17] Barrera-Cardenas, Rene e Molinas, Marta. “A Simple Procedure to Evaluate the Efficiency and Power Density of Power Conversion Topologies for Offshore Wind Turbines”. Em: *Energy Procedia* 24 (2012). Selected papers from Deep Sea Offshore Wind R&D Conference, Trondheim, Norway, 19-20 January 2012, pp. 202–211. ISSN: 1876-6102. DOI: [10.1016/j.egypro.2012.06.102](https://doi.org/10.1016/j.egypro.2012.06.102) (Citado na página 26).
- [18] Chen, Yingzhuo, Yuan, Zhao e Luo, Fang. “A Model-Based Multi-Objective Optimization for High Efficiency and High Power Density Motor Drive Inverters for Aircraft Applications”. Em: *NAECON 2018 - IEEE National Aerospace and Electronics Conference*. 2018, pp. 36–42. DOI: [10.1109/NAECON.2018.8556757](https://doi.org/10.1109/NAECON.2018.8556757) (Citado na página 26).
- [19] Aamir, Muhammad, Kalwar, Kafeel Ahmed e Mekhilef, Saad. “Review: Uninterruptible Power Supply (UPS) system”. Em: *Renewable and Sustainable Energy Reviews* 58 (2016), pp. 1395–1410. ISSN: 1364-0321. DOI: [10.1016/j.rser.2015.12.335](https://doi.org/10.1016/j.rser.2015.12.335) (Citado 2 vezes nas páginas 29, 30).

- [20] Bekiarov, Stoyan B. e Emadi, Ali. “Uninterruptible power supplies: classification, operation, dynamics, and control”. Em: *APEC. Seventeenth Annual IEEE Applied Power Electronics Conference and Exposition (Cat. No.02CH37335)*. Vol. 1. 2002, 597–604 vol.1. DOI: [10.1109/APEC.2002.989305](https://doi.org/10.1109/APEC.2002.989305) (Citado 2 vezes nas páginas [30](#), [32](#)).
- [21] Racine, Matthew S., Parham, James D. e Rashid, M.H. “An overview of uninterruptible power supplies”. Em: *Proceedings of the 37th Annual North American Power Symposium, 2005*. 2005, pp. 159–164. DOI: [10.1109/NAPS.2005.1560518](https://doi.org/10.1109/NAPS.2005.1560518) (Citado na página [30](#)).
- [22] Epp, Nikolai et al. “SiC Improves Switching Losses, Power Density and Volume in UPS”. Em: *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*. 2016, pp. 1–8 (Citado 2 vezes nas páginas [30](#), [40](#)).
- [23] King, Alexander e Knight, William. *Uninterruptible Power Supplies*. First edition. McGraw-Hill Education, 2003. ISBN: 9780071395953 (Citado 2 vezes nas páginas [30](#), [32](#)).
- [24] Saches, K. “Dynamic or static: the role of dynamic UPS in the growing world of static systems”. Em: *Conference Proceedings., Eleventh International Telecommunications Energy Conference*. 1989, 14.3/1–14.3/8 vol.2. DOI: [10.1109/INTLEC.1989.88300](https://doi.org/10.1109/INTLEC.1989.88300) (Citado na página [30](#)).
- [25] Windhorn, A. “A hybrid static/rotary UPS system”. Em: *IEEE Transactions on Industry Applications* 28.3 (1992), pp. 541–545. DOI: [10.1109/28.137433](https://doi.org/10.1109/28.137433) (Citado na página [30](#)).
- [26] Guerrero, Josep M., Garcia De Vicuna, Luis e Uceda, Javier. “Uninterruptible power supply systems provide protection”. Em: *IEEE Industrial Electronics Magazine* 1.1 (2007), pp. 28–38. DOI: [10.1109/MIE.2007.357184](https://doi.org/10.1109/MIE.2007.357184) (Citado 6 vezes nas páginas [30](#), [31](#), [32](#), [33](#), [34](#), [35](#)).

- [27] Solter, W. “A new international UPS classification by IEC 62040-3”. Em: *24th Annual International Telecommunications Energy Conference*. 2002, pp. 541–545. DOI: [10.1109/INTLEC.2002.1048709](https://doi.org/10.1109/INTLEC.2002.1048709) (Citado 4 vezes nas páginas 30, 32, 33, 35).
- [28] ABNT. *NBR 15014: Conversor a semiconductor - Sistema de alimentação de potência ininterrupta, com saída em corrente alternada (nobreak) - Terminologia*. Standard. Rio de Janeiro, Brasil: Associação Brasileira de Normas Técnicas, dez. de 2003 (Citado 2 vezes nas páginas 30, 33).
- [29] Karve, S. “Three of a kind [UPS topologies, IEC standard]”. Em: *IEE Review* 46.2 (2000), pp. 27–31. DOI: [10.1049/ir:20000204](https://doi.org/10.1049/ir:20000204) (Citado 2 vezes nas páginas 31, 33).
- [30] ENGETRON. *Fabricante de UPS*. Online. 2024. URL: www.engetron.com.br (acesso em 1 de fev. de 2024) (Citado 2 vezes nas páginas 34, 87).
- [31] Yeh, Chia-Chou e Manjrekar, M.D. “A reconfigurable uninterruptible power supply system for multiple power quality applications”. Em: *Twentieth Annual IEEE Applied Power Electronics Conference and Exposition, 2005. APEC 2005*. Vol. 3. 2005, 1824–1830 Vol. 3. DOI: [10.1109/APEC.2005.1453297](https://doi.org/10.1109/APEC.2005.1453297) (Citado na página 34).
- [32] Alves, Wendell Cunha. “Desenvolvimento de UPS trifásica de alto rendimento utilizando MOSFETS de carbetto de silício”. Dissertação de Mestrado. Universidade Federal de Minas Gerais, 2018 (Citado na página 36).
- [33] Cammarota, Filippo e Sinigallia, Stefano. “High-efficiency on-line double-conversion UPS”. Em: *INTELEC 07 - 29th International Telecommunications Energy Conference*. 2007, pp. 657–662. DOI: [10.1109/INTLEC.2007.4448862](https://doi.org/10.1109/INTLEC.2007.4448862) (Citado na página 36).
- [34] Lee, TingAn, Kinoshita, Masahiro e Sanada, Kazunori. “High-efficiency large-capacity uninterruptible power supply using bidirectional-switch-based NPC multilevel converter”. Em: *8th International Conference on Power Electronics - ECCE Asia*. 2011, pp. 2100–2105. DOI: [10.1109/ICPE.2011.5944525](https://doi.org/10.1109/ICPE.2011.5944525) (Citado na página 37).

- [35] Krah, Jens, Rath, Andreas e Hölting, Markus. “Efficient Space Vector PWM Scheme for 3-Level Inverters”. Em: *Power Electronics for Industrial Applications and Renewable Energy Conversion, 2005*. Nov. de 2011 (Citado na página 37).
- [36] Dustert, Christoph e Volke, Andreas. “Application of Gate Drivers for 3-Level NPC-2 Power Modules with Reverse Blocking IGBTs”. Em: *International Conference on Power Electronics, Intelligent Motion, Renewable Energy and Energy Management, PCIM Asia China 2014*. 2014, pp. 91–97 (Citado na página 37).
- [37] Alves, Wendell C., Morais, Lenin M. F. e Cortizo, Porfirio C. “Design of an Highly Efficient AC-DC-AC Three-Phase Converter Using SiC for UPS Applications”. Em: *Electronics* 7.12 (2018). ISSN: 2079-9292. DOI: [10.3390/electronics7120425](https://doi.org/10.3390/electronics7120425) (Citado na página 37).
- [38] Statudt, Ingo. *3L NPC & TNPC Topology*. Application Note AN-11001. Rev04. Nurnberg, Deutschland: SEMIKRON, 2012 (Citado na página 37).
- [39] Stecca, Marco et al. “Comparison of Two and Three-Level DC-AC Converters for a 100 kW Battery Energy Storage System”. Em: *2020 IEEE 29th International Symposium on Industrial Electronics (ISIE)*. 2020, pp. 677–682. DOI: [10.1109/ISIE45063.2020.9152545](https://doi.org/10.1109/ISIE45063.2020.9152545) (Citado na página 38).
- [40] Alemi, Payam e Lee, Dong-Choon. “Power loss comparison in two- and three-level PWM converters”. Em: *8th International Conference on Power Electronics - ECCE Asia*. 2011, pp. 1452–1457. DOI: [10.1109/ICPE.2011.5944455](https://doi.org/10.1109/ICPE.2011.5944455) (Citado na página 38).
- [41] Luo, Cheng et al. “Experimental study of a SiC MOSFET based single phase inverter in UPS applications”. Em: *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*. 2016, pp. 1–6. DOI: [10.1109/ECCE.2016.7855098](https://doi.org/10.1109/ECCE.2016.7855098) (Citado na página 38).
- [42] Boroyevich, Dushan e DiMarino, Christina. “Is SiC a Game Changer?” Em: *Congresso Brasileiro de Eletrônica de Potência*. Fortaleza, Brasil, nov. de 2015 (Citado na página 38).

- [43] Andrade, Marco Vinicio Teixeira. “Módulos de potência híbridos IGBT de silício e MOSFET de carbeto de silício em paralelo”. Dissertação de Mestrado. Universidade Federal de Minas Gerais, 2023 (Citado na página 38).
- [44] Schneider, Magno Otton. “Estudo e projeto de conversores de alto rendimento para interface de uma microrrede híbrida”. Dissertação de Mestrado. Universidade Federal de Minas Gerais, 2023 (Citado na página 38).
- [45] Stevanovic, Ljubisa D. et al. “Recent advances in silicon carbide MOSFET power devices”. Em: *2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*. 2010, pp. 401–407. DOI: [10.1109/APEC.2010.5433640](https://doi.org/10.1109/APEC.2010.5433640) (Citado na página 39).
- [46] Vaculik, Petr. “The properties of SiC in comparison with Si semiconductor devices”. Em: *2013 International Conference on Applied Electronics*. 2013, pp. 1–4 (Citado na página 39).
- [47] Biela, Juergen et al. “SiC versus Si—Evaluation of Potentials for Performance Improvement of Inverter and DC–DC Converter Systems by SiC Power Semiconductors”. Em: *IEEE Transactions on Industrial Electronics* 58.7 (2011), pp. 2872–2882. DOI: [10.1109/TIE.2010.2072896](https://doi.org/10.1109/TIE.2010.2072896) (Citado 2 vezes nas páginas 39, 41).
- [48] Rabkowski, Jacek, Pefititsis, Dimosthenis e Nee, Hans-Peter. “Silicon Carbide Power Transistors: A New Era in Power Electronics Is Initiated”. Em: *IEEE Industrial Electronics Magazine* 6.2 (2012), pp. 17–26. DOI: [10.1109/MIE.2012.2193291](https://doi.org/10.1109/MIE.2012.2193291) (Citado na página 40).
- [49] McBryde, James et al. “Performance comparison of 1200V Silicon and SiC devices for UPS application”. Em: *IECON 2010 - 36th Annual Conference on IEEE Industrial Electronics Society*. 2010, pp. 2657–2662. DOI: [10.1109/IECON.2010.5675125](https://doi.org/10.1109/IECON.2010.5675125) (Citado na página 40).
- [50] Chen, Zheng et al. “A 1200 V, 60 A SiC MOSFET multi-chip phase-leg module for high-temperature, high-frequency applications”. Em: *2013 Twenty-Eighth Annual*

- IEEE Applied Power Electronics Conference and Exposition (APEC)*. 2013, pp. 608–615. DOI: [10.1109/APEC.2013.6520273](https://doi.org/10.1109/APEC.2013.6520273) (Citado na página 40).
- [51] Östling, Mikael, Ghandi, Reza e Zetterling, Carl-Mikael. “SiC power devices — Present status, applications and future perspective”. Em: *2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs*. 2011, pp. 10–15. DOI: [10.1109/ISPSD.2011.5890778](https://doi.org/10.1109/ISPSD.2011.5890778) (Citado na página 41).
- [52] Kimoto, T. e Yonezawa, Y. “Current status and perspectives of ultrahigh-voltage SiC power devices”. Em: *Materials Science in Semiconductor Processing* 78 (2018). Wide band gap semiconductors technology for next generation of energy efficient power electronics, pp. 43–56. ISSN: 1369-8001. DOI: [10.1016/j.mssp.2017.10.010](https://doi.org/10.1016/j.mssp.2017.10.010) (Citado na página 41).
- [53] Gueguen, P. “Market and technology trends in wide bandgap power packaging”. Em: *Applied Power Electronics Conference and Exposition, IEEE 2015*. 2015 (Citado 2 vezes nas páginas 41, 42).
- [54] Choudhury, Abhijit. “Present Status of SiC based Power Converters and Gate Drivers – A Review”. Em: *2018 International Power Electronics Conference (IPEC-Niigata 2018 -ECCE Asia)*. 2018, pp. 3401–3405. DOI: [10.23919/IPEC.2018.8507554](https://doi.org/10.23919/IPEC.2018.8507554) (Citado na página 43).
- [55] Cota, Anna Paula Leite. “Desenvolvimento de ferramentas computacionais para análise de perdas em conversores estáticos: aplicação ao cálculo de rendimento de UPSs trifásicas de dupla conversão”. Dissertação de Mestrado. Universidade Federal de Minas Gerais, 2016 (Citado 5 vezes nas páginas 44, 63, 66, 69, 78).
- [56] Castro e Castro, Pedro Augusto de. “Desenvolvimento de uma Ferramenta Computacional para Otimização do Projeto de uma UPS”. Dissertação de Mestrado. Universidade Federal de Minas Gerais, 2022 (Citado na página 44).
- [57] Kolar, J. W., Biela, J. e Minibock, J. “Exploring the pareto front of multi-objective single-phase PFC rectifier design optimization - 99.2% efficiency vs. 7kW/din3 power

- density”. Em: *2009 IEEE 6th International Power Electronics and Motion Control Conference*. 2009, pp. 1–21. DOI: [10.1109/IPEMC.2009.5289336](https://doi.org/10.1109/IPEMC.2009.5289336) (Citado na página 44).
- [58] Burkart, Ralph M. e Kolar, Johann W. “Comparative η - ρ - σ Pareto Optimization of Si and SiC Multilevel Dual-Active-Bridge Topologies With Wide Input Voltage Range”. Em: *IEEE Transactions on Power Electronics* 32.7 (2017), pp. 5258–5270. DOI: [10.1109/TPEL.2016.2614139](https://doi.org/10.1109/TPEL.2016.2614139) (Citado na página 50).
- [59] Kolar, J. W. et al. “Extreme efficiency power electronics”. Em: *2012 7th International Conference on Integrated Power Electronics Systems (CIPS)*. 2012, pp. 1–22 (Citado na página 60).
- [60] Kolar, J. W. et al. “Performance trends and limitations of power electronic systems”. Em: *2010 6th International Conference on Integrated Power Electronics Systems*. 2010, pp. 1–20 (Citado na página 60).
- [61] Burkart, Ralph M. “Advanced Modeling and Multi-Objective Optimization of Power Electronic Converter Systems”. Tese de Doutorado. ETH Zurich, 2016. DOI: [10.3929/ethz-a-010700637](https://doi.org/10.3929/ethz-a-010700637) (Citado 2 vezes nas páginas 60, 65).
- [62] Oro Carralero, Leandro Leysdian et al. “Selection of Power Semiconductor Devices for a Standalone System based on Power Loss Analysis”. Em: *IEEE Latin America Transactions* 22.6 (2024), pp. 519–527. DOI: [10.1109/TLA.2024.10534300](https://doi.org/10.1109/TLA.2024.10534300) (Citado na página 62).
- [63] Santana, Renato Átila Silva. “Projeto e Análise de Rendimento de uma UPS Mono-fásica de Três Braços e Construção de um Calorímetro Fechado de Dupla Caixa”. Dissertação de Mestrado. Universidade Federal de Minas Gerais, 2018 (Citado na página 63).
- [64] Prado, Edemar O. et al. “Simple analytical model for accurate switching loss calculation in power MOSFETs using non-linearities of Miller capacitance”. Em: *IET*

- Power Electronics* 15.7 (2022), pp. 594–604. DOI: [10.1049/pe12.12252](https://doi.org/10.1049/pe12.12252) (Citado na página 64).
- [65] Feix, Gudrun et al. “Simple methods to calculate IGBT and diode conduction and switching losses”. Em: *2009 13th European Conference on Power Electronics and Applications*. 2009, pp. 1–8 (Citado na página 67).
- [66] ROHM. *2μs Short-Circuit Tolerance, 650V 80A, FRD Built-in, TO-247N, Field Stop Trench IGBT*. RGTVX6TS65D. Rev.A. Set. de 2021. URL: <https://fscdn.rohm.com/en/products/databook/datasheet/discrete/igbt/rgtvx6ts65d-e.pdf> (acesso em 7 de mar. de 2024) (Citado na página 67).
- [67] Wilson, Peter R. “Thermal Modeling and Analysis of Power Electronic Components and Systems”. Em: *Power Electronics Handbook*. Ed. por Muhammad H. Rashid. Fourth Edition. Butterworth-Heinemann, 2018, pp. 1441–1450. ISBN: 978-0-12-811407-0. DOI: [10.1016/B978-0-12-811407-0.00052-0](https://doi.org/10.1016/B978-0-12-811407-0.00052-0) (Citado na página 69).
- [68] Shahjalal, Mohammad. “Electric-thermal modelling of power electronics components”. Tese de Doutorado. University of Greenwich, 2018 (Citado na página 69).
- [69] HS DISSIPADORES. *Fabricante de dissipadores de calor*. Online. 2024. URL: www.hsdissipadores.com.br (acesso em 13 de dez. de 2023) (Citado 5 vezes nas páginas 70, 71, 72, 119).
- [70] Teodorescu, Remus, Liserre, Marco e Rodríguez, Pedro. “Grid Filter Design”. Em: *Grid Converters for Photovoltaic and Wind Power Systems*. John Wiley & Sons, Ltd, 2011. Cap. 11, pp. 289–312. ISBN: 9780470667057. DOI: [10.1002/9780470667057.ch11](https://doi.org/10.1002/9780470667057.ch11) (Citado na página 73).
- [71] McLyman, C.W.T. *Transformer and Inductor Design Handbook*. Third edition. New York: Marcel Dekker, 2004. ISBN: 9780824753931 (Citado 2 vezes nas páginas 74, 75).
- [72] MAGNETICS. *Powder Core Catalog*. Online. 2024. URL: www.mag-inc.com/ (acesso em 10 de mai. de 2024) (Citado na página 75).

- [73] Vilkn, Pedro Humberto Jacinto. “Desenvolvimento de Metodologia para Projeto de Indutores Utilizados em UPS de Alto Rendimento”. Dissertação de Mestrado. Universidade Federal de Minas Gerais, 2018 (Citado 4 vezes nas páginas 78, 80, 81).
- [74] Bartoli, M., Reatti, A. e Kazimierczuk, M.K. “Modelling iron-powder inductors at high frequencies”. Em: *Proceedings of 1994 IEEE Industry Applications Society Annual Meeting*. Vol. 2. 1994, 1225–1232 vol.2. DOI: [10.1109/IAS.1994.377550](https://doi.org/10.1109/IAS.1994.377550) (Citado na página 78).
- [75] Hilal, A. e Cougo, B. “Optimal inductor design and material selection for high power density inverters used in aircraft applications”. Em: *2016 International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles & International Transportation Electrification Conference (ESARS-ITEC)*. 2016, pp. 1–6. DOI: [10.1109/ESARS-ITEC.2016.7841359](https://doi.org/10.1109/ESARS-ITEC.2016.7841359) (Citado na página 79).
- [76] Li, Jieli, Abdallah, T. e Sullivan, C.R. “Improved calculation of core loss with non-sinusoidal waveforms”. Em: *Conference Record of the 2001 IEEE Industry Applications Conference. 36th IAS Annual Meeting (Cat. No.01CH37248)*. Vol. 4. 2001, 2203–2210 vol.4. DOI: [10.1109/IAS.2001.955931](https://doi.org/10.1109/IAS.2001.955931) (Citado na página 79).
- [77] Ruth, R.L. “Arresting those high frequency power thieves [transformer losses]”. Em: *Proceedings:Electrical Electronics Insulation Conference and Electrical Manufacturing & Coil Winding Conference*. 1995, pp. 205–212. DOI: [10.1109/EEIC.1995.482365](https://doi.org/10.1109/EEIC.1995.482365) (Citado na página 79).
- [78] Venkatachalam, K. et al. “Accurate prediction of ferrite core loss with nonsinusoidal waveforms using only Steinmetz parameters”. Em: *2002 IEEE Workshop on Computers in Power Electronics, 2002. Proceedings*. 2002, pp. 36–41. DOI: [10.1109/CIPE.2002.1196712](https://doi.org/10.1109/CIPE.2002.1196712) (Citado 2 vezes nas páginas 80, 82).
- [79] Mühlethaler, J., Kolar, J. W. e Ecklebe, A. “Loss modeling of inductive components employed in power electronic systems”. Em: *8th International Conference on Power Electronics - ECCE Asia*. 2011, pp. 945–952. DOI: [10.1109/ICPE.2011.5944652](https://doi.org/10.1109/ICPE.2011.5944652) (Citado na página 80).

- [80] Dartmouth College. *Darthmouth Magnetic Component and Power Electronics Research*. Online. 2024. URL: www.inductor.thayerschool.org/index.shtml (acesso em 15 de mai. de 2024) (Citado na página 82).
- [81] Zientarski, Jonatan Rafael Rakoski. “Análise, modelagem e validação experimental de uma metodologia para o projeto do indutor em conversores Boost PFC”. Dissertação de Mestrado. Universidade Federal de Santa Maria, 2009 (Citado na página 83).
- [82] Qi, Mingxuan et al. “Design and Benchmark of Capacitive DC Links for the Hold-up Time Application”. Em: *2019 IEEE 10th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*. 2019, pp. 939–944. DOI: [10.1109/PEDG.2019.8807642](https://doi.org/10.1109/PEDG.2019.8807642) (Citado na página 83).
- [83] Guimarães Junior, Aurean Belo. “Performance Comparison Of Single-phase Pv Inverter Topologies Regarding Efficiency And Power Density”. Dissertação de Mestrado. Universidade Federal de Minas Gerais, 2024 (Citado na página 84).
- [84] MOUSER. *Distribuidor de Componentes Eletrônicos*. Online. 2024. URL: www.mouser.com (acesso em 6 de mar. de 2024) (Citado na página 85).
- [85] Hashimoto, Kleber. “Técnicas de otimização combinatória multiobjetivo aplicadas na estimação do desempenho elétrico de redes de distribuição.” Tese de Doutorado. Universidade de São Paulo, 2004. DOI: [10.11606/T.3.2004.tde-19112004-165342](https://doi.org/10.11606/T.3.2004.tde-19112004-165342) (Citado na página 86).
- [86] Siqueira, Nikolas A. A., Moraes, Lenin M. F. e Oliveira, Thiago R. “Análise Multi-objetiva de Inversores Trifásicos Otimizados com Interruptores Estáticos de Silício e Carbetto de Silício para Aplicação em UPS”. Em: *XXV Congresso Brasileiro de Automática*. 2024, pp. 1–8. URL: https://www.sba.org.br/cba2024/papers/paper_3869.pdf (acesso em 14 de out. de 2024) (Citado na página 157).

Apêndice A

Especificações do Computador Utilizado para Simulações

Tabela A.1: Especificações do Computador Utilizado.

Item	Especificação
Processador	Intel(R) Core(TM) i5-7200U @ 2.50 GHz
Memória RAM	16 GB 2400 MHz DDR4
Armazenamento em Disco	240 GB (SSD) + 1 TB (HDD)
Processador Gráfico	NVIDIA GeForce 940MX 4 GB GDDR5
Sistema Operacional	Windows 10 Home 64-bits v22H2

Fonte: Dados da Pesquisa, 2024.