

UNIVERSIDADE FEDERAL DE MINAS GERAIS
Escola de Engenharia
Programa de Pós-Graduação em Engenharia Elétrica

Diego Augusto Pontes

PROJETO DE UM *PHASE-LOCKED*
LOOP DE BAIXO *JITTER* EM
TECNOLOGIA CMOS

Belo Horizonte

2022

Diego Augusto Pontes

PROJETO DE UM *PHASE-LOCKED*
LOOP DE BAIXO *JITTER* EM
TECNOLOGIA CMOS

Versão Final

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Minas Gerais, como requisito para parcial à obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Hugo Daniel Hernandez Herrera

Belo Horizonte

2022

P814p

Pontes, Diego Augusto.

Projeto de um *Phase-Locked Loop* de baixo *Jitter* em tecnologia CMOS [recurso eletrônico] / Diego Augusto Pontes. - 2022.
1 recurso online (85 f. : il., color.) : pdf.

Orientador: Hugo Daniel Hernandez Herrera.

Dissertação (mestrado) - Universidade Federal de Minas Gerais, Escola de Engenharia.

Bibliografia: f. 84-85.

Exigências do sistema: Adobe Acrobat Reader.

1. Engenharia elétrica - Teses. 2. Osciladores elétricos - Teses.
I. Herrera, Hugo Daniel Hernandez. II. Universidade Federal de Minas Gerais. Escola de Engenharia. III. Título.

CDU: 621.3(043)



UNIVERSIDADE FEDERAL DE MINAS GERAIS
ESCOLA DE ENGENHARIA
COLEGIADO DO CURSO DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

FOLHA DE APROVAÇÃO

"Projeto de Um Phase-locked Loop de Baixo Jitter Em Tecnologia Cmos"

DIEGO AUGUSTO PONTES

Dissertação de Mestrado defendida e aprovada, no dia 08 de junho de 2022, pela Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação Engenharia Elétrica da Universidade Federal de Minas Gerais constituída pelos seguintes professores:

Prof. Dr. Dalton Martini Colombo (DEE (UFMG))

Prof. Dr. Francisco de Assis Brito Filho (DEPARTAMENTO DE ENGENHARIAS (UFERSA))

Prof. Dr. Hugo Daniel Hernandez Herrera - Orientador (DEE (UFMG))

Belo Horizonte, 08 de junho de 2022.



Documento assinado eletronicamente por **Hugo Daniel Hernandez Herrera, Usuário Externo**, em 24/06/2022, às 11:43, conforme horário oficial de Brasília, com fundamento no art. 5º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



Documento assinado eletronicamente por **Frederico Gadelha Guimaraes, Coordenador(a) de curso de pós-graduação**, em 22/11/2022, às 13:22, conforme horário oficial de Brasília, com fundamento no art. 5º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



A autenticidade deste documento pode ser conferida no site https://sei.ufmg.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0, informando o código verificador **1512779** e o código CRC **53F0E300**.

*Dedicado à minha esposa, Taís de Freitas,
aos meus pais, José Geraldo e Rosa †,
e aos meus irmãos, Douglas e Talita.*

Agradecimentos

Agradeço, primeiramente, à Deus pelo dom da vida e pela honra de ter ao meu lado pessoas que me apoiaram durante todo trajeto.

À minha esposa, Taís de Freitas, pelo apoio e compreensão durante o árduo caminho da pós-graduação.

Aos meus pais, José Geraldo e Rosa *f*, pela dedicação ao meu crescimento pessoal e profissional durante todos esses anos e por serem exemplos de como é possível amar incondicionalmente.

Aos meus irmãos, Douglas e Talita, pelo companheirismo, união e por serem tão presentes em minha vida.

Ao Professor Hugo Daniel Hernandez Herrera por toda a ajuda, dedicação e paciência durante o processo de orientação.

Aos amigos e familiares, pela torcida, servindo de porto seguro quando a empreitada parecia difícil demais.

A todos os professores que tive na Universidade, pela excelência dos ensinamentos ao longo de toda a pós-graduação.

Resumo

Com a constante evolução tecnológica, a demanda por maiores velocidades de processamento dos sistemas digitais também é contínua. Multiplicadores de *clock* são circuitos capazes de gerar um sinal de alta frequência, a partir de um sinal de frequência inferior, como de um cristal piezoelétrico, por exemplo. O *Phase-Locked Loop* (PLL) é a base deste circuito e é foco de diferentes estudos na busca por melhores resultados experimentais que, conseqüentemente, impactarão positivamente na qualidade espectral do sinal de saída do circuito multiplicador de *clock*.

Este trabalho apresenta o projeto de um PLL do Tipo I em tecnologia CMOS de 180 nm, baseado em um oscilador em anel, com um divisor na malha de realimentação, um detector de fase em uma topologia dinâmica, além de uma nova proposta de filtro, baseado na resistência equivalente gerada em função de capacitores chaveados. As descrições e simulações de cada bloco do circuito são mostradas, discutidas e validadas para que o circuito final seja apresentado, bem como sua simulação e *layout*.

Com um fator de divisão de 32 e um sinal de referência de 50 MHz, as simulações da topologia proposta apresentaram uma largura de banda de 25 MHz, um ruído de fase de -118 dBc/Hz à 1 MHz de deslocamento, 486 fs de *jitter* integrado e níveis de espúrios de -63 dB. Além disso, embora a tecnologia utilizada não seja a mais atual, esse circuito tem um baixo consumo de potência, 10 mW, além de uma área total de 0.0105 mm².

Esses resultados foram comparados com outros trabalhos, mostrando que esta proposta é compatível com o estado da arte sobre PLL.

Palavras-chave: *Phase-Locked Loop*. Oscilador em Anel. Baixo *Jitter*. Ruído de Fase. CMOS.

Abstract

With the constant technological evolution, the demand for higher processing speeds in digital systems is also continuous. Clock multiplier are circuits responsible for generating a higher frequency signal from a reference signal of lower frequency, like a piezoelectric crystal, for example. The Phase-Locked Loop (PLL) is the basis of this circuit and is the focus of different studies, in the search for better experimental results that, consequently, will have a positive impact on quality spectral output signal of the clock multiplier circuit.

This work presents the design of a Type I PLL in 180 nm CMOS technology, based on a VCO in ring topology, with a divider in the feedback loop, a phase detector in a dynamic topology, in addition to a new filter proposal, based on equivalent resistance generated as a function of switched capacitors. Descriptions and simulations of each circuit block are presented, discussed and validated so that the final circuit is presented, as well as your simulation and layout.

With a division factor of 32 and a reference signal of 50 MHz, the simulations of proposed topology presented a bandwidth of 25 MHz, a phase noise of -118 dBc/Hz at 1 MHz offset, 486 fs of built-in jitter and REF-spur levels of -63 dB. Also, although the technology used is not the latest, this circuit has a low power consumption, 10 mW, in addition to a total area of 0.0105 mm².

These results were compared with other works showing that this proposal is compatible with the state of the art on PLL.

Keywords: Phase-Locked Loop. Ring Oscillator. Low Jitter. Phase Noise. CMOS.

Lista de Ilustrações

Figura 1 – Diagrama de blocos simplificado do PLL Tipo I	21
Figura 2 – Detector de fase: (a) Porta lógica <i>XOR</i> , e (b) Diagrama de tempo.	22
Figura 3 – Circuito do Filtro passa-baixa	23
Figura 4 – Ganho do VCO	24
Figura 5 – Topologias de osciladores: (a) à cristal, (b) de relaxação, (c) LC, e (d) em anel com inversores	24
Figura 6 – <i>Flip-Flop</i> D como divisor	26
Figura 7 – Relação entre o número de <i>flip-flops</i> tipo D e a frequência de saída	26
Figura 8 – Modelo linear do PLL Tipo I	27
Figura 9 – Diagrama de blocos simplificado do PLL Tipo II	28
Figura 10 – Esquemático do PFD	30
Figura 11 – Lógica de funcionamento do PFD: a) clk_{ref} adiantado em relação a clk_{fb} , e b) clk_{ref} atrasado em relação a clk_{fb}	30
Figura 12 – Esquemático da Bomba de Carga	31
Figura 13 – Funcionamento do CP: a) Carga dos capacitores do filtro, e b) Descarga dos capacitores do filtro	32
Figura 14 – Circuito do Filtro do PLL Tipo II	33
Figura 15 – Modelo linear do PLL Tipo II	34
Figura 16 – Diagrama de blocos do SS-PLL	36
Figura 17 – Diagrama de blocos do IL-PLL	37
Figura 18 – Diagrama de blocos simplificado do S-PLL	37
Figura 19 – Diagrama temporal do Gerador de <i>Clock</i> Sem Sobreposição	39
Figura 20 – Esquemático do Gerador de <i>Clock</i> Sem Sobreposição	39
Figura 21 – MSSF: a) Esquemático, e b) Diagrama temporal	40
Figura 22 – Momentos do chaveamento do MSSF: a) Momento ϕ_1 , e b) Momento ϕ_2	41
Figura 23 – <i>Jitter</i> no domínio do tempo	44
Figura 24 – Representação temporal do <i>jitter</i> em um sinal de <i>clock</i>	44
Figura 25 – Histograma de probabilidades do <i>jitter</i>	45
Figura 26 – Ruído de fase: a) ideal, e b) real	46
Figura 27 – Representação do espúrio	47
Figura 28 – Espelho de corrente genérico e sua representação equivalente	48

Figura 29 – Esquemático do <i>Beta Multiplier</i>	50
Figura 30 – Diagrama de blocos simplificado do PLL projetado	53
Figura 31 – Esquemático do PD: a) baseado na porta lógica XOR, e b) proposto neste trabalho	54
Figura 32 – Simulação do PD projetado com saída em aberto	55
Figura 33 – Simulação do PD projetado com um capacitor conectado à saída	56
Figura 34 – Magnitude e fase da função de transferência do MSSF	57
Figura 35 – Filtro proposto: a) Completo, e b) Simplificado	58
Figura 36 – Simulação da Magnitude e Fase do MSSF: a) MSSF típico, e b) MSSF proposto em função do capacitor C_3	59
Figura 37 – Esquemático do Filtro projetado	59
Figura 38 – Esquemático do VCO proposto	60
Figura 39 – Esquemático da célula do VCO proposto	61
Figura 40 – Simulação do VCO do PLL	62
Figura 41 – Esquema do Divisor projetado	63
Figura 42 – <i>Flip-flop</i> tipo D - TSPC do Divisor projetado	63
Figura 43 – Simulação do Divisor projetado	64
Figura 44 – Esquemático da porta NOT	65
Figura 45 – Esquemático da porta NAND	65
Figura 46 – Simulação do Gerador de <i>Clock</i> Sem Sobreposição projetado	66
Figura 47 – Esquemático do <i>Beta Multiplier</i> projetado	67
Figura 48 – Esquemático do <i>Buffer</i> projetado	69
Figura 49 – Simulação do sinal de saída da cadeia de inversores do <i>Buffer</i> projetado	70
Figura 50 – Simulação do sinal de saída do <i>Buffer</i> para uma carga de 50Ω	71
Figura 51 – Esquemático do PLL projetado	71
Figura 52 – <i>Layout</i> do PLL projetado	72
Figura 53 – Simulação do Ruído de Fase	74
Figura 54 – Variação da frequência de oscilação em função do tempo	74
Figura 55 – Variação da tensão de controle em função do tempo	74
Figura 56 – Resposta em frequência do PLL projetado e espúrio	75
Figura 57 – Distribuição da potência consumida do PLL por bloco	76
Figura 58 – <i>Layout</i> do <i>chip</i> projetado	77
Figura 59 – <i>Layout</i> do PLL com os <i>pads</i> de conexão	78
Figura 60 – Esquema de montagem dos equipamentos para testes do PLL	79
Figura 61 – Esquemático da placa teste	80
Figura 62 – <i>Layout</i> da Placa de teste	80
Figura 63 – Esboço 3D da placa de teste	81

Lista de Tabelas

Tabela 1 – Dimensões dos transistores do PD	54
Tabela 2 – Tabela verdade do funcionamento do PD projetado	54
Tabela 3 – Dimensões dos transistores da célula do filtro proposto	60
Tabela 4 – Dimensões dos transistores do VCO	60
Tabela 5 – Dimensões dos transistores da célula do VCO	61
Tabela 6 – Dimensões dos transistores dos <i>flip-flops</i>	64
Tabela 7 – Dimensões dos transistores da porta NOT	65
Tabela 8 – Dimensões dos transistores da porta NAND	65
Tabela 9 – Dimensões dos transistores da célula do <i>Beta Multiplier</i> proposto . . .	67
Tabela 10 – Simulação do <i>Beta Multiplier</i>	68
Tabela 11 – Correntes do <i>Beta Multiplier</i> para $I_b = 49.9761 \mu A$	68
Tabela 12 – Dimensões dos transistores da célula do <i>Buffer</i> proposto	69
Tabela 13 – Distribuição do consumo de potência do PLL após o tempo de acomodação	76
Tabela 14 – Resultados da Simulação	76
Tabela 15 – Descrição dos <i>pads</i> utilizados	78

Lista de Abreviaturas e Siglas

CM	Multiplicador de <i>clock</i>
PLL	<i>Phase-Locked Loop</i>
PVT	Processo, tensão e temperatura
VCO	Oscilador Controlado por Tensão
PN	Ruído de fase
SS-PLL	<i>Sub-Sampling PLL</i>
IL-PLL	<i>Injection Locked PLL</i>
S-PLL	<i>Single-Loop Sampling PLL</i>
DPLL	<i>Phase-Locked Loop</i> digital
ADPLL	<i>Phase-Locked Loop</i> totalmente digital
PD	Detector de Fase
LP	Filtro passa-baixa
PFD	Detector de Fase e Frequência
CP	Bomba de carga
MSSF	<i>Master-Slave Sampling Filter</i>
ZOH	<i>Zero-Order Hold</i>
PM	Margem de fase
PAC	<i>Periodic AC Analysis</i>
PCB	Placa de circuito impresso

Lista de Símbolos

clk_{ref}	Sinal de referência do PLL
clk_{out}	Sinal de saída do PLL
clk_{fb}	Sinal do elo de realimentação do PLL
$\Delta\phi$	Erro de fase
V_{PD}	Tensão de saída do bloco Detector de Fase
$V_{controle}$	Tensão de controle do VCO
K_{VCO}	Ganho do VCO
$f_{VCO_{out}}$	Frequência de saída do VCO
f_{VCO_0}	Frequência de oscilação natural do VCO
N	Fator de divisão do bloco Divisor
n	Número de <i>flip-flops</i> tipo D no bloco Divisor
$f_{div_{out}}$	Frequência de saída do bloco Divisor
$f_{div_{in}}$	Frequência de entrada do bloco Divisor
$\theta_{div_{out}}$	Fase de saída do bloco Divisor
$\theta_{div_{in}}$	Fase de entrada do bloco Divisor
θ_e	Erro de fase do bloco Detector de Fase ou Detector de Fase e Frequência
θ_{ref}	Fase do sinal de referência do PLL
θ_{fb}	Fase do sinal do elo de realimentação do PLL
K_{PD}	Ganho do Detector de Fase
Δt	Duração do pulso de <i>up</i> e <i>down</i>

up	Sinal de saída do bloco PFD para correção positiva da frequência do PLL
$down$	Sinal de saída do bloco PFD para correção negativa da frequência do PLL
I_{CP}	Corrente de saída do bloco Bomba de Carga
K_{PFD}	Ganho do Detector de Fase e Frequência
V_e	Tensão de saída do conjunto Detector de Fase e Frequência e Bomba de Carga
Δt_ϕ	Tempo entre os pulsos do Gerador de <i>Clock</i> Sem Sobreposição
Φ_1	Fase da primeira saída do Gerador de <i>Clock</i> Sem Sobreposição
Φ_2	Fase da segunda saída do Gerador de <i>Clock</i> Sem Sobreposição
Φ_{1n}	Fase invertida da primeira saída do Gerador de <i>Clock</i> Sem Sobreposição
I_{ref}	Corrente de referência do espelho de corrente
I_b	Corrente de polarização do VCO
$I_{D_{sat}}$	Corrente de saturação do dreno do transistor
K'_n	Parâmetro de transcondutância do transistor
W	Largura do transistor
L	Comprimento do transistor
V_{GS}	Tensão entre porta e fonte do transistor MOSFET
V_{TH}	Tensão de limiar do transistor
R_{PD}	Resistência de saída do Detector de Fase
V_{DS}	Tensão entre dreno e fonte do transistor MOSFET

Sumário

1	Introdução	16
1.1	Motivação e Justificativa	17
1.2	Objetivo Geral	17
1.3	Objetivos Específicos	17
1.4	Estrutura da Dissertação	17
2	Revisão Bibliográfica	19
2.1	PLL Tipo I	20
2.1.1	Funcionamento	20
2.1.2	Blocos funcionais	22
2.1.2.1	Detector de Fase	22
2.1.2.2	Filtro passa-baixa	22
2.1.2.3	Oscilador Controlado por Tensão	23
2.1.2.4	Divisor	25
2.1.3	Modelo matemático	27
2.2	PLL Tipo II	28
2.2.1	Funcionamento	28
2.2.2	Blocos funcionais	29
2.2.2.1	Detector de Fase e Frequência	29
2.2.2.2	Bomba de carga	31
2.2.2.3	Filtro	33
2.2.3	Modelo matemático	33
2.2.4	Técnicas de otimização	35
2.3	<i>Single-Loop Sampling</i> PLL	37
2.3.1	Funcionamento	37
2.3.2	Blocos funcionais	38
2.3.2.1	Gerador de <i>Clock</i> Sem Sobreposição	38
2.3.2.2	<i>Master-Slave Sampling Filter</i>	39
2.3.3	Modelo matemático	42
2.4	<i>Jitter</i>	43
2.5	Ruído de Fase	46
2.6	Espúrios	47
2.7	Corrente de polarização	47
2.8	Resumo do Capítulo	50
3	Desenvolvimento do Projeto	52
3.1	Blocos funcionais	53
3.1.1	Detector de Fase	53

3.1.2	Filtro	56
3.1.3	VCO	60
3.1.4	Divisor	63
3.1.5	Gerador de <i>Clock</i> Sem Sobreposição	65
3.2	Blocos periféricos	66
3.2.1	<i>Beta Multiplier</i>	66
3.2.2	<i>Buffer</i> de Saída	68
3.3	Projeto	71
3.4	Resumo do Capítulo	72
4	Análise dos Resultados	73
4.0.1	Testes experimentais	77
4.1	Resumo do Capítulo	81
5	Conclusões e propostas futuras	82
5.1	Conclusões	82
5.2	Propostas de Continuidade	83
	Referências	84

Capítulo 1

Introdução

A constante evolução tecnológica tem impulsionado a demanda por velocidades de processamento cada vez maiores em sistemas digitais. Esses sistemas requerem um sinal de *clock* de alta frequência com baixo *jitter* para sincronizar suas operações em alta velocidade sem degradação da informação.

Multiplicadores de *Clock* (CMs) são circuitos baseados, genericamente, em um *Phase-Locked Loop* (PLL) com um bloco divisor em sua malha de realimentação. Um CM é capaz de fornecer um sinal de saída de alta frequência a partir de um sinal de frequência inferior oriundo, em grande parte destes circuitos, de um cristal oscilador, o qual possui um *clock* com baixo *jitter* e, conseqüentemente, um espectro de frequências mais limpo.

O PLL pode ser desenvolvido em formato analógico, digital ou misto. Comparado com o domínio analógico, o domínio digital é mais preciso e previsível, além de permitir o aumento da complexidade do circuito de maneira mais fácil sem que se tornem necessários ajustes ou calibrações complexas [KAVYASHREE and REDDY, 2018]. Dessa forma, a maior facilidade de calibração do modelo digital, em relação ao modelo analógico, justifica a diversidade de pesquisas para o projeto de CMs parcial ou completamente digitais.

Para que o PLL possa ser utilizado dentro de circuitos integrados, é necessário que ele consuma pouca potência e, obviamente, ocupe uma área relativamente pequena. No entanto, para que ele possua este elevado nível de integração sem comprometer sua *performance*, são necessárias pesquisas em busca do aumento da robustez do circuito, visto sua grande sensibilidade às variações PVT (processo, tensão, temperatura). Estas variações, de origem do processo de fabricação e das oscilações da tensão de alimentação e da temperatura do circuito, podem causar instabilidade no funcionamento do mesmo em relação às especificações iniciais de projeto, justificando a necessidade do cuidado mencionado.

1.1 Motivação e Justificativa

Em busca de melhores resultados experimentais, diferentes estudos são apresentados constantemente, no intuito de contribuir com o estado da arte, no que se diz respeito a PLL. Desta forma, dentre as duas topologias básicas de PLL, Tipo I e Tipo II, existem diferentes abordagens para ambas em busca de utilizar suas vantagens e suprimir ou, no mínimo, minimizar suas desvantagens.

Desta forma, muitas topologias são estudadas e propostas, a fim de se obter melhores resultados para as especificações do PLL. Essa busca pelo aprimoramento constante do circuito é o grande motivador deste trabalho, na expectativa de alcançar novos resultados que contribuam positivamente com o estado da arte sobre PLL, visto esta demanda contínua por Multiplicadores de *Clock*, já mencionada.

1.2 Objetivo Geral

O objetivo geral desta dissertação é o desenvolvimento de um PLL Tipo I em tecnologia CMOS de 180 nm com uma topologia que apresente *jitter*, nível de espúrios e ruído de fase compatíveis com os trabalhos atuais do estado da arte, além de baixo consumo de potência e com uma área total, que, assim como os demais parâmetros mencionados, também sejam comparáveis as propostas recentes de PLL.

1.3 Objetivos Específicos

1. Revisar a bibliografia do estado da arte sobre PLL;
2. Revisar os conceitos e as possíveis causas do *jitter*, ruído de fase e da emissão de espúrios nos PLLs;
3. Projetar um PLL de baixo *jitter* em tecnologia CMOS de 180 nm;
4. Verificar o desempenho do circuito através de simulações;
5. Fazer o *layout* do PLL projetado;
6. Fabricar o circuito projetado e realizar testes experimentais.

1.4 Estrutura da Dissertação

Esta dissertação está dividida em cinco capítulos. Este capítulo apresentou uma breve introdução sobre PLL, justificando a diversidade de projetos sobre esse assunto, bem como a motivação para o projeto descrito neste trabalho. Além disso, os objetivos

específicos desta dissertação também foram expostos. O Capítulo 2 traz uma abordagem teórica sobre o PLL do Tipo I, Tipo II e do S-PLL, dando características de cada bloco que os compõem, abordando alguns pontos relevantes para um melhor entendimento do projeto proposto. Os conceitos de *jitter*, ruído de fase e emissão de espúrios também são discutidos no Capítulo 2, explicitando a razão técnica pela qual as pesquisas focam no desenvolvimento de um PLL com melhor desempenho em função destas características. Além desses conceitos, uma abordagem teórica sobre corrente de polarização é feita, justificando a escolha do circuito *Beta Multiplier*, parte importante do projeto do PLL proposto nesta dissertação. No Capítulo 3, é feito o desenvolvimento do trabalho proposto, apresentando o esquemático e simulação de cada bloco individual, para que, em seguida, seja feito o mesmo para o sistema completo. No Capítulo 4, são apresentados os resultados das simulações do PLL e a comparação dos mesmos com outros trabalhos do estado da arte. Por fim, o Capítulo 5 traz as conclusões do trabalho a partir da análise dos resultados, além das propostas de melhorias para o projeto.

Capítulo 2

Revisão Bibliográfica

O *Phase Locked-Loop* (PLL) é um sistema de realimentação negativa, cuja função é reduzir a diferença de fase (ou fase e frequência) entre o sinal de referência e o sinal do oscilador [LANDIM, 2017], podendo este último ter sua frequência reduzida em função do bloco divisor na malha de realimentação (*feedback*), responsável pelo efeito da multiplicação do sinal de referência. Esse sistema pode ser usado em moduladores, demoduladores, sintetizadores, multiplicadores de frequência, dentre outros.

De maneira geral, existem quatro tipos de PLL:

- PLL analógico;
- PLL digital (DPLL);
- PLL totalmente digital (ADPLL).

Os PLLs digitais trabalham em tempo discreto, possuem Detector de Fase e Frequência e utilizam um Filtro digital. Outro termo existente para DPLLs é o ADPLL, usado para aqueles circuitos totalmente digitais. Já os PLLs analógicos, geralmente compostos por Detector de Fase, Filtro de malha e um Oscilador Controlado por Tensão (VCO), geram sinais senoidais.

Entretanto, PLLs podem ser compostos por blocos mistos. Desta forma, a principal razão para que eles possam ser classificados como analógicos ou digitais é a taxa de amostragem do PLL em relação a sua largura de banda [GUIMARÃES, 2015].

Conforme apresentado em FERNANDES [2013], alguns parâmetros são utilizados para avaliar a *performance* de um PLL, como:

Tipo e ordem: determinados pela função de transferência do sistema;

Faixa de bloqueio: faixa de frequência na qual o PLL é capaz de seguir as variações de frequência do sinal de entrada, uma vez “travado”. Entende-se por “travado” a

condição em que o erro de fase e/ou fase e frequência é constante e a frequência do sinal de saída do oscilador está estabilizada. Portanto, a faixa de bloqueio é definida, principalmente, pela faixa de operação do VCO e limitado pelo Detector de Fase ou pelo Detector de Fase e Frequência;

Faixa de captura: faixa de frequência na qual o PLL é capaz de “travar”, a partir de uma condição “desbloqueada”. Esta faixa é geralmente menor do que a faixa de bloqueio e depende do Filtro;

Largura de banda da malha: define a velocidade da malha de controle;

Resposta transitória: oscilação do sinal durante o tempo de acomodação;

Erros de estado estacionário: erro de fase ou tempo após o tempo de acomodação;

Pureza do espectro de saída: relação entre a frequência principal e suas bandas laterais;

Ruído de fase: definido pela energia do ruído em uma determinada banda de frequência;

Parâmetros gerais: consumo de energia e área, faixa de tensão de alimentação, amplitude de saída, dentre outros.

A seguir será feito um estudo sobre o PLL Tipo I, PLL Tipo II e duas técnicas de aperfeiçoamento do circuito e, por último, sobre o *Single-Loop Sampling* PLL (S-PLL), que é a circuito-base para o PLL proposto neste trabalho.

2.1 PLL Tipo I

2.1.1 Funcionamento

O princípio de funcionamento do PLL Tipo I consiste na correção contínua da diferença de fase entre dois sinais, um de referência, clk_{ref} , normalmente provido de um cristal oscilador, e outro, referente à saída do PLL, clk_{out} , através da malha de realimentação, clk_{fb} . A correção acontece enquanto essa diferença for detectável, em função dos parâmetros de projeto do PLL já mencionados.

A estrutura básica de um PLL Tipo I é mostrada na Figura 1 e, de forma sucinta, a função de cada um dos seus blocos é descrita na sequência.

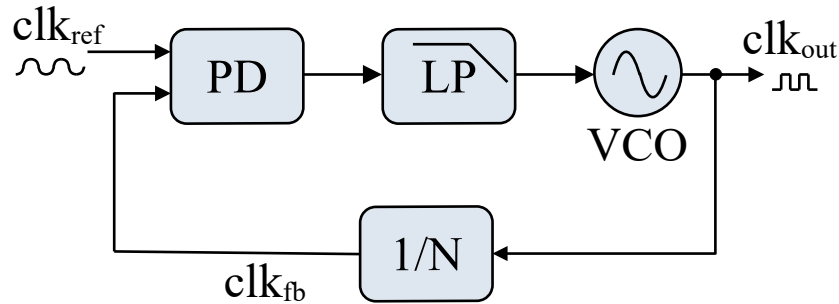


Figura 1 – Diagrama de blocos simplificado do PLL Tipo I. Fonte: Autor

Detector de Fase - PD: compara a diferença de fase entre dois sinais e produz um sinal de saída proporcional a esta diferença.

Filtro Passa-baixa - LP responsável por suavizar o sinal do PD para gerar a tensão de controle do VCO. Sendo assim, o Filtro converte o sinal do PD em um sinal analógico de tensão.

Oscilador Controlado por Tensão - VCO: é o componente que produz a frequência na saída do PLL. O VCO é um tipo de oscilador cuja frequência do seu sinal de saída depende da sua tensão de entrada. Ou seja, variando-se a tensão de entrada do VCO, tem-se a mudança na frequência do sinal de saída, dentro de uma determinada faixa, determinada pelos parâmetros de projeto do mesmo.

Divisor - 1/N: faz parte do elo de realimentação do PLL e a sua função é reduzir a frequência de saída do VCO dentro de uma faixa de valores que ainda possam ser comparadas com o sinal de referência no PD.

A partir da descrição básica dos blocos deste circuito, é possível entender seu funcionamento de forma mais clara.

Na condição em que o PLL Tipo I está “travado”, o PD serve como um amplificador da diferença de fase entre os sinais de referência e da malha de realimentação. O Filtro suprime componentes de alta frequência da saída do PD, permitindo que seu valor contínuo, proporcional ao erro de fase, controle a frequência do VCO. Caso não haja o bloco Divisor, o VCO oscilará com uma frequência igual à do sinal de entrada, com uma diferença mínima de fase não mais detectável pelo PD. No entanto, na presença do bloco Divisor, a frequência de oscilação do VCO será múltipla da frequência do sinal de referência, mas também com uma diferença mínima de fase não mais detectável pelo PD. Em ambos os casos, como resultado da operação dos blocos, o erro de fase ficará constante no tempo [ARGÜELLO, 2004].

2.1.2 Blocos funcionais

Neste tópico será feito um estudo dos blocos funcionais do PLL Tipo I, apresentando suas funções e principais características.

2.1.2.1 Detector de Fase

A função do PD é medir a diferença de fase entre dois sinais, $\Delta\phi$, e produzir um sinal de saída proporcional à esta diferença, V_{PD} . Isto é de total importância, visto que o objetivo do PLL Tipo I é assegurar que o sinal da malha de realimentação seja “igual” em fase ao sinal de referência.

Dentre as opções de circuitos para o PD, o uso de uma porta lógica *XOR* é uma das mais difundidas na literatura (ver Figura 2.a). A resposta temporal desse circuito é mostrada na Figura 2.b e, como pode ser visto, sempre que os sinais de entrada estão em diferentes estados lógicos, a saída do PD estará em nível lógico alto, dando início ao processo de correção da fase entre os dois sinais. Em contrapartida, quando os sinais de entrada estão no mesmo nível lógico, a saída do PD está em nível lógico baixo, não interferindo no estado atual do sinal de saída do PLL.

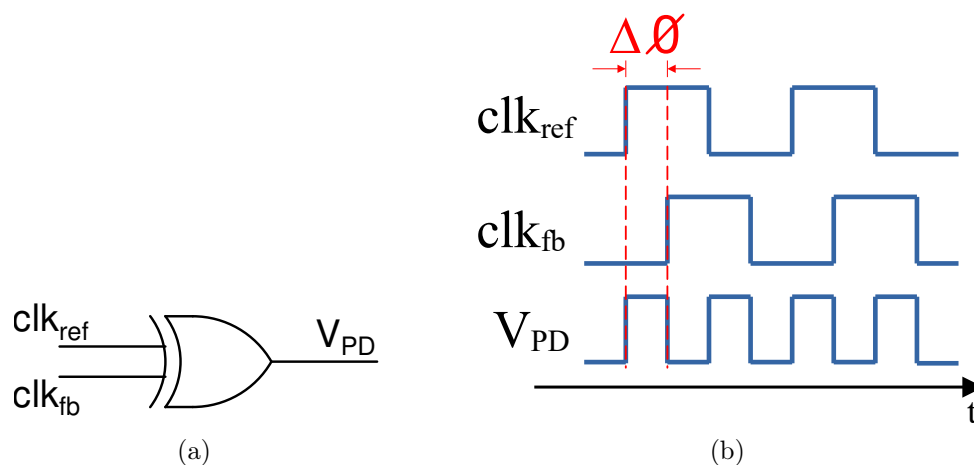


Figura 2 – Detector de fase: (a) Porta lógica *XOR*, e (b) Diagrama de tempo. Fonte: Autor

2.1.2.2 Filtro passa-baixa

O Filtro passa-baixa é responsável por eliminar as componentes de alta frequência do sinal vindo do PD, V_{PD} , mantendo a tensão contínua que é responsável pelo controle da frequência de oscilação do sinal de saída do VCO. O circuito do Filtro passivo do PLL Tipo I, formado por um resistor (R) e um capacitor (C), pode ser visto na Figura 3.

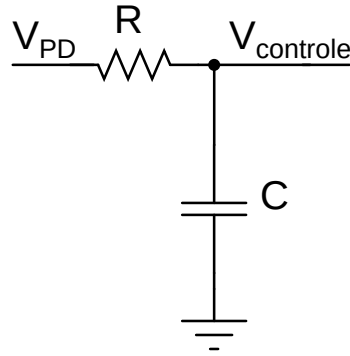


Figura 3 – Circuito do Filtro passa-baixa. Fonte: Autor

Se a diferença de fase entre os dois sinais de entrada no PD for maior que a largura de banda do filtro, o PLL não conseguirá ajustar a frequência do VCO, pois a faixa de captura do PLL está limitada à largura de banda do Filtro [ARGÜELLO, 2004], dado pela frequência de corte do mesmo (Equação 2.1).

$$f_c = \frac{1}{2\pi RC} \quad (2.1)$$

Ou, de forma equivalente, em radianos por segundo (rad/s):

$$\omega_c = \frac{1}{RC} \quad (2.2)$$

2.1.2.3 Oscilador Controlado por Tensão

O VCO é um oscilador que tem a frequência do seu sinal de saída, f_{out} , proporcional a sua tensão de entrada, $V_{controle}$. Eles podem ser dimensionados para trabalhar desde frequências de poucos hertz (Hz) a frequências de centenas de gigahertz (GHz). A relação entre a frequência do sinal de saída do VCO e a sua tensão de entrada pode ser aproximada para uma função linear, conforme Figura 4, na qual a inclinação desta reta é chamada de Ganho do VCO, representado por K_{VCO} .

A partir da análise da Figura 4, pode-se inferir

$$K_{VCO} = \frac{\text{variação da frequência de saída}}{\text{variação da tensão de entrada}} \quad (2.3)$$

Desta forma, tem-se a equação característica do VCO,

$$f_{VCO_{out}} = K_{VCO}V_{controle} + f_{VCO_0} \quad (2.4)$$

em que f_{VCO_0} é o ponto de intercessão no eixo vertical, chamada de oscilação natural. Esta é a frequência de saída do VCO quando sua tensão de controle é nula.

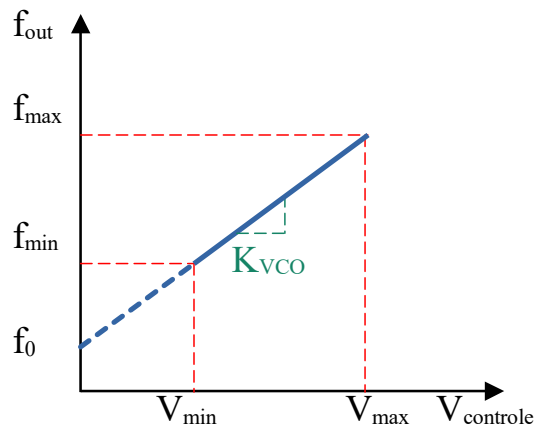


Figura 4 – Ganho do VCO. Fonte: Autor

Alguns exemplos de circuitos osciladores são apresentados na Figura 5 [GUIMARÃES, 2015]. A topologia em anel foi a escolhida para o desenvolvimento deste trabalho e a razão para tal escolha ficará mais clara após a exposição das características e limitação de cada um dos circuitos mencionados.

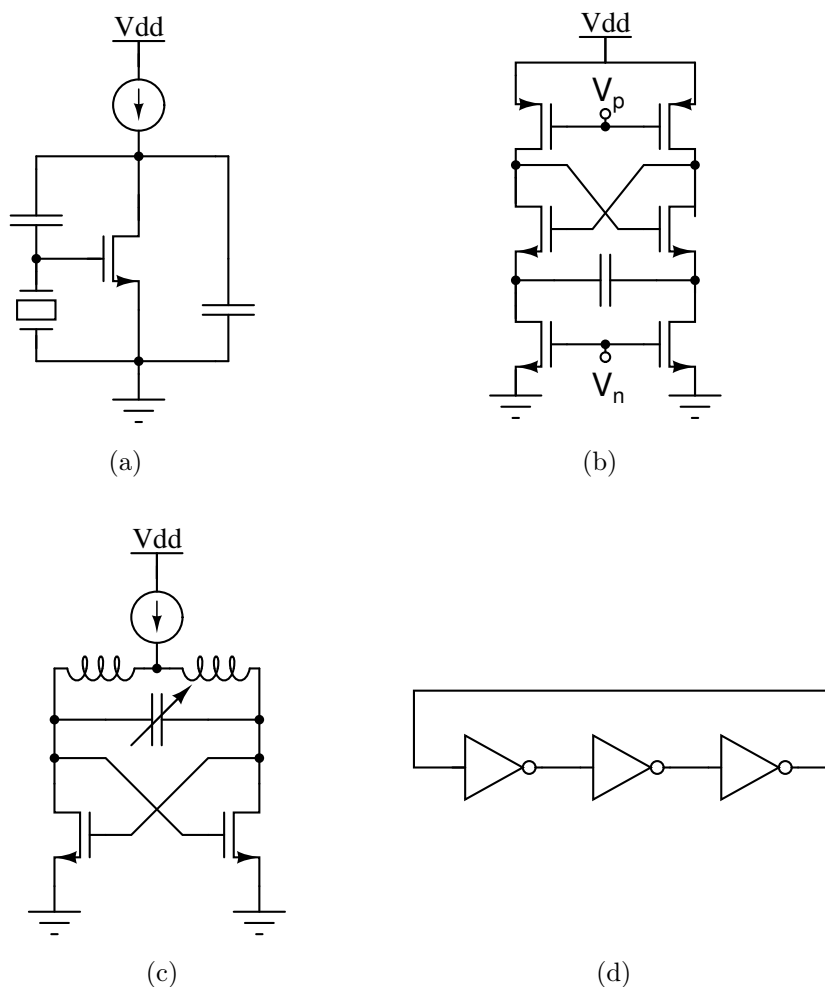


Figura 5 – Topologias de osciladores: (a) à cristal, (b) de relaxação, (c) LC, e (d) em anel com inversores. Fonte: Autor

- a) Osciladores à cristal utilizam a resposta em frequência de um cristal piezoelétrico para gerar a frequência de operação do circuito (Figura 5.a). Sua maior vantagem é a pureza espectral do sinal. No entanto, como desvantagem, existe uma limitação da frequência de saída em função do cristal utilizado, em torno de algumas dezenas de megahertz. Entretanto, devido a sua boa *performance* em relação a ruídos, esses osciladores são comumente usados como frequência de referência de PLLs.
- b) O oscilador de relaxação possui funcionamento relacionado ao carregamento alternado do capacitor pelas duas fontes de corrente (Figura 5.b). A frequência de oscilação é modificada com a variação da corrente de carga. A principal desvantagem desta topologia é o alto consumo de energia necessário para reduzir o ruído de fase do mesmo [GUIMARÃES, 2015].
- c) Este circuito gera um sinal de saída periódico a partir da ressonância entre o capacitor e o indutor, formando o tanque LC, que, idealmente, determina a sua frequência de oscilação a partir da Equação 2.5. Acrescenta-se um circuito amplificador, através da realimentação, que injeta a energia necessária ao tanque para compensar suas perdas que influenciariam negativamente na continuidade da oscilação (Figura 5.c). A grande desvantagem desta topologia é o consumo de área devido ao indutor [GUIMARÃES, 2015].

$$f_{osc} = \frac{1}{2\pi\sqrt{LC}} \quad (2.5)$$

- d) O oscilador em anel com inversores (Figura 5.d) é considerado o mais simples e integrável. A frequência de oscilação é modificada através do controle dos atrasos dos inversores, administrando o valor da corrente de polarização dos transistores. A topologia em anel foi utilizada neste trabalho e suas particularidades de projeto serão tratadas no capítulo sobre a implementação do circuito.

2.1.2.4 Divisor

O Divisor é um bloco opcional na malha de realimentação do PLL. A sua função é reduzir a frequência do VCO dentro de uma faixa de valores que ainda possam ser comparadas com o sinal de referência no PD. Quando este sinal é sincronizado com o sinal de referência, diz-se que o PLL está “travado” e a frequência do sinal de saída do PLL é maior que a frequência do sinal de referência, em um fator determinado pelo Divisor. Esta é a razão pela qual um PLL pode ser usado como Multiplicador de *Clock*.

A divisão inteira da frequência consiste num bloco digital ao qual é ligado um conjunto de contadores, operando de modo assíncrona, acumulando 1 ciclo para cada ciclo de *clock*. Podem ser obtidos outros valores para o fator de divisão usando circuitos lógicos mais complexos, mas que não serão abordados neste estudo.

Uma forma bem simples de se implementar um divisor inteiro de fator 2 é utilizando um *flip-flop* tipo D.

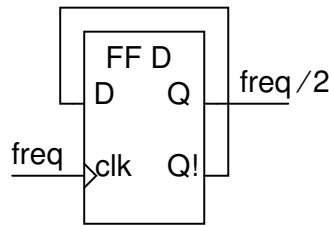


Figura 6 – *Flip-Flop* D como divisor. Fonte: Autor

O fator de divisão (N) do bloco divisor depende da quantidade de *flip-flops*, n , colocados em cascata e é dado pela Equação 2.6.

$$N = 2^n \tag{2.6}$$

A partir do fator de divisão, a frequência de saída do divisor é dada por

$$f_{div_{out}} = \frac{f_{div_{in}}}{N} \tag{2.7}$$

Esta relação entre as frequências pode ser reescrita por uma relação entre fases, como

$$\theta_{div_{out}} = \frac{\theta_{div_{in}}}{N} \tag{2.8}$$

Na Figura 7, é possível observar a relação entre o número de *flip-flops* tipo D e a fração da frequência de referência da entrada, $freq$, que cada um deles entrega em sua saída.

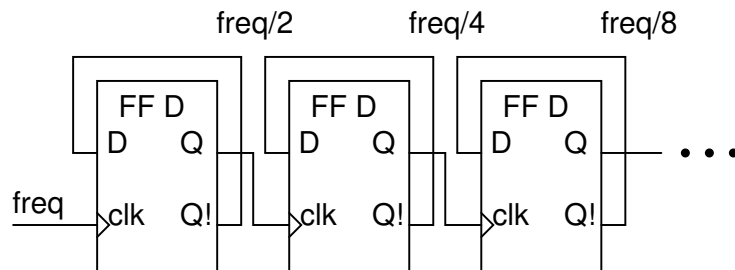


Figura 7 – Relação entre o número de *flip-flops* tipo D e a frequência de saída. Fonte: Autor

2.1.3 Modelo matemático

Embora o PLL seja um sistema não-linear, ele pode ser representado como um modelo linear quando se encontra “travado”. Este sistema pode ser representado como mostrado na Figura 8.

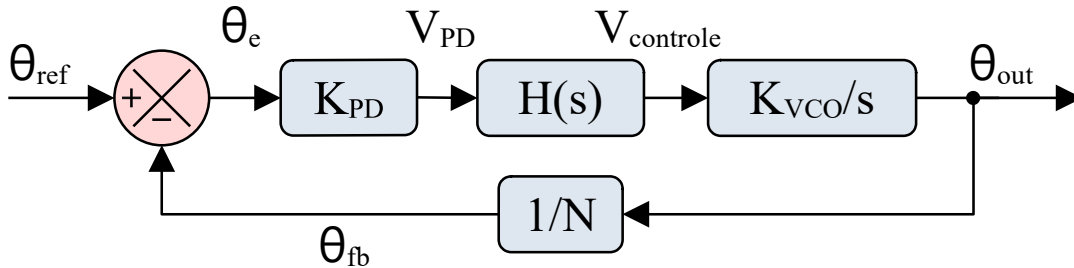


Figura 8 – Modelo linear do PLL Tipo I. Fonte: Autor

O erro de fase na saída do PD, θ_e , é dado por

$$\theta_e(s) = \theta_{ref}(s) - \theta_{fb}(s) \quad (2.9)$$

A tensão de saída do bloco PD, referente ao erro de fase, pode ser modelada conforme Equação 2.10

$$V_{PD}(s) = K_{PD}[\theta_{ref}(s) - \theta_{fb}(s)] = K_{PD}\theta_e(s) \quad (2.10)$$

na qual K_{PD} é o ganho do Detector de Fase.

Esse erro de fase convertido em tensão (V_{PD}) passa pelo Filtro, gerando o sinal $V_{controle}$ na entrada do VCO, responsável pelo controle da frequência de oscilação do sinal de saída do mesmo,

$$V_{controle}(s) = V_{PD}(s)F(s) \quad (2.11)$$

em que $F(s)$ é a função de transferência do Filtro.

Para um Filtro passa-baixa passivo de primeira ordem, sua função de transferência é dada por

$$F(s) = \frac{1}{1 + sRC} \quad (2.12)$$

O VCO pode ser modelado como um integrador, cuja fase de saída, θ_{out} , é igual a integral da frequência ou como mostrado na Equação 2.13 [ARGÜELLO, 2004].

$$\theta_{out}(s) = \frac{V_{controle}(s)K_{VCO}}{s} \quad (2.13)$$

Em posse dos modelos matemáticos de cada um dos blocos, junto ao modelo do bloco Divisor (Equação 2.8), pode-se escrever a função de transferência em malha fechada do PLL Tipo I.

$$\frac{\theta_{out}(s)}{\theta_{ref}(s)} = \frac{K_{PD}K_{VCO}}{\frac{RCs^2}{N} + s + \frac{K_{PD}K_{VCO}}{N}} \quad (2.14)$$

O PLL é considerado do Tipo I, pois a função de transferência em malha aberta (Equação 2.15) contém um polo na origem [LANDIM, 2017].

$$G(s) = \frac{K_{PD}K_{VCO}}{s(1 + sRC)} \quad (2.15)$$

2.2 PLL Tipo II

2.2.1 Funcionamento

O PLL Tipo I utiliza um Detector de Fase que não oferece informações suficientes quando as suas entradas possuem sinais com frequências diferentes. Em contrapartida, o PLL Tipo II utiliza um Detector de Fase e Frequência que, além de informações a nível de fase, também é sensível ao nível de frequência dos dois sinais. Além disso, o PLL Tipo I possui uma relação estreita entre a malha de estabilidade e a frequência de corte do filtro e sua faixa de aquisição é limitada. Assim, caso a frequência do VCO e a frequência do sinal de referência sejam muito diferentes, a malha pode nunca alcançar a sincronização [LANDIM, 2017]. Esta limitação também é resolvida usando o PLL Tipo II, cuja estrutura básica pode ser vista na Figura 9.

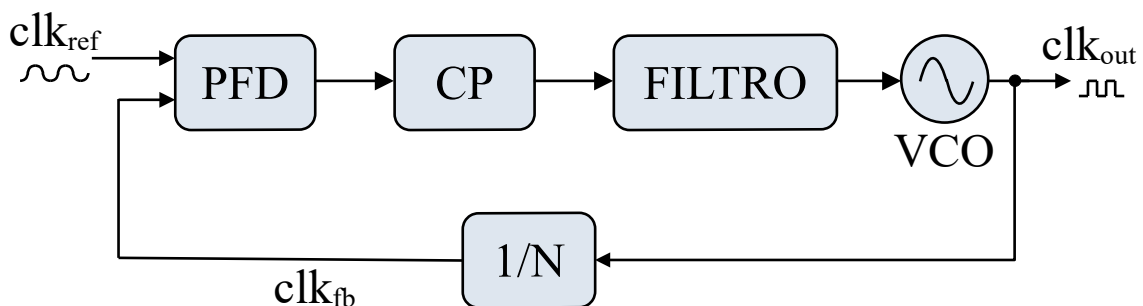


Figura 9 – Diagrama de blocos simplificado do PLL Tipo II. Fonte: Autor

Além do Detector de Fase e Frequência, o PLL Tipo II se difere do PLL Tipo I pelo uso de uma Bomba de Carga, além de uma nova topologia de Filtro. De forma breve, a função destes novos blocos é descrita na sequência.

Detector de Fase e Frequência - PFD: compara a fase e a frequência entre dois sinais e produz um sinal de saída proporcional a esta diferença.

Bomba de Carga - CP: através do sinal recebido pelo PFD, este bloco manipula a quantidade de carga dos capacitores do Filtro, carregando ou descarregando-os rapidamente. Sendo assim, o CP é um conversor de diferença de fase e frequência em corrente.

Filtro: suaviza o sinal do PFD + CP para gerar a tensão de controle do VCO. Dessa forma, o Filtro converte a corrente de saída do CP em um sinal analógico de tensão.

Resumidamente, o PFD fornece uma tensão de saída, cuja componente contínua é proporcional à diferença de fase e frequência entre o sinal de referência e o sinal do oscilador, através da malha de realimentação. Esse sinal gerado pelo PFD controla o sentido da corrente do CP, carregando ou descarregando os capacitores do Filtro. A tensão armazenada nos capacitores é a tensão de controle do oscilador, cuja amplitude é responsável por definir a frequência de oscilação da saída do VCO, assim como no PLL Tipo I. Este sinal retorna ao PFD para análise de fase e frequência e o ciclo se repete até que o PFD não consiga detectar diferença entre os dois sinais. Caso o sinal de saída do oscilador passe por um divisor antes de retornar ao PFD, o ciclo se repetirá como já descrito, porém a frequência do sinal de saída do VCO será uma multiplicação da frequência do sinal de referência. Em ambos os casos, a partir do momento que os dois sinais do PFD se “igualarem”, o oscilador estará na condição “travado”. Neste momento, diz-se que o PLL capturou o sinal de entrada. A partir daí, uma alteração na frequência do sinal de entrada acarretará num novo sinal diferença na saída do PFD, causando uma mudança da corrente do CP, alterando a tensão de controle do VCO que levará o PLL a se adaptar a essa nova frequência.

2.2.2 Blocos funcionais

Neste tópico, será feito um estudo dos dois novos blocos funcionais do PLL Tipo II, além da nova topologia utilizada para o Filtro, apresentando suas funções e principais características.

2.2.2.1 Detector de Fase e Frequência

A função do PFD é detectar a diferença de fase e frequência entre dois sinais e produzir um sinal de saída proporcional à mesma. Isto é de total importância, visto que o objetivo do PLL tipo II é assegurar que o sinal da malha de realimentação seja “igual”, em fase e frequência, ao sinal de referência.

O PFD possui duas entradas já mencionadas e duas saídas, *up* e *down*. O circuito

básico do PFD é composto por dois *flip-flops* tipo D e uma porta *AND* RAZAVI [2020].

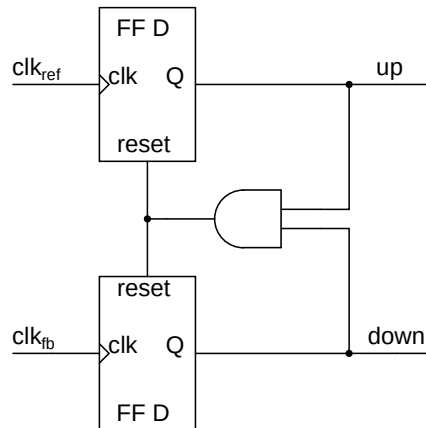


Figura 10 – Esquemático do PFD. Fonte: Autor

No funcionamento do PLL, o sinal *up* é usado para começar o processo de aumento da frequência do sinal de saída do VCO, enquanto o sinal *down* é usado para dar início ao processo de redução do mesmo. Assim, a frequência do oscilador é ajustada até que os dois sinais estejam sincronizados, tanto na fase como na frequência.

O princípio de operação do PFD pode ser visto na Figura 11. Uma borda de subida no pulso de referência faz com que o sinal *up* seja ativado, no intuito de aumentar a tensão de controle do VCO (Figura 11.a); de forma análoga, uma borda de subida na saída loop de realimentação faz com que o sinal *down* seja ativado, no intuito de diminuir a tensão de controle do VCO (Figura 11.b). Quando ambos os sinais, *up* e *down*, estão simultaneamente ativos, uma porta *AND* faz com que estes sinais sejam desativados (*reset* nos dois *flip-flops* tipo D).

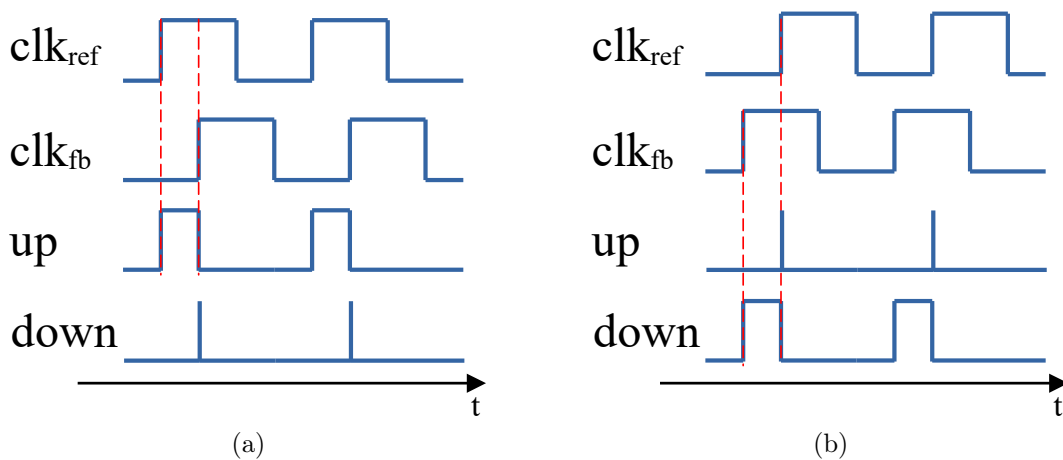


Figura 11 – Lógica de funcionamento do PFD: a) clk_{ref} adiantado em relação a clk_{fb} , e b) clk_{ref} atrasado em relação a clk_{fb} . Fonte: Autor

A partir das duas entradas, quatro combinações dos sinais de saída (*up* e *down*) são possíveis:

$[up, down] = [0, 0]$: momento após *reset* do PFD ou sincronização entre os dois sinais;

$[up, down] = [0, 1]$: o sinal referência está atrasado em relação ao sinal realimentado e precisa-se diminuir a frequência deste;

$[up, down] = [1, 0]$: o sinal referência está avançado em relação ao sinal realimentado e precisa-se aumentar a frequência deste;

$[up, down] = [1, 1]$: por um motivo que será explicado no tópico sobre a Bomba de Carga, este estado é proibido no PFD.

A questão mais sensível neste bloco aparece perto da região onde o erro de fase é, aproximadamente, zero e é chamada “zona morta”. Se o pulso de referência e o da malha de realimentação aparecerem em instantes próximos (pequena diferença de fase), o *reset* do PFD pode ser ativado sem que nenhuma das fontes de corrente da Bomba de Carga tenha sido ativadas, em função dos atrasos do circuito, fazendo com que pequenos valores de erro de fase não sejam corrigidos. A “zona morta” está diretamente relacionada com o projeto e topologia utilizados.

Embora o bloco PFD resolva o problema da limitada faixa de aquisição em relação ao PD, ainda há o problema da relação estreita entre o fator de amortecimento e a frequência de corte do Filtro [LANDIM, 2017]. Essa questão é tratada através da Bomba de Carga.

2.2.2.2 Bomba de carga

A Bomba de Carga, *Charge Pump* em inglês, é um comutador eletrônico responsável por fornecer uma corrente de saída proporcional à diferença de fase e frequência detectada no PFD, controlando a quantidade de carga nos capacitores do Filtro.

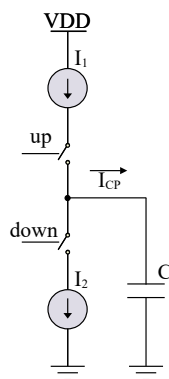


Figura 12 – Esquemático da Bomba de Carga. Fonte: Autor

Como pode ser visto na Figura 12, os sinais *up* e *down* do PFD controlam duas chaves diferentes, abrindo ou fechando as duas fontes de corrente do CP, gerando uma

corrente resultante, I_{CP} . Um pulso de largura Δt faz com que uma destas chaves fique fechada pelo mesmo período de tempo, permitindo a conexão da fonte de corrente ao Filtro que, através dos seus capacitores, representados pelo capacitor C , é convertida na tensão de controle do oscilador, $V_{controle}$.

$$\Delta V_{controle} = \frac{\Delta Q_C}{C} = \frac{I_{CP} \Delta t}{C} \quad (2.16)$$

em que ΔQ_C é a variação na carga do capacitor C .

Há quatro possíveis estados de funcionamento do CP, em função dos dois sinais de entrada, *up* e *down*:

1. Um sinal ativo em *up* faz com que a fonte de corrente I_1 seja conectada à saída, resultando na corrente I_{CP} positiva (Figura 13.a). Essa corrente causa a carga dos capacitores do Filtro, aumentando a tensão de controle do VCO;
2. Um sinal ativo em *down* faz com que a fonte de corrente I_2 seja conectada à saída, resultando numa corrente I_{CP} negativa (Figura 13.b). Essa corrente causa a descarga dos capacitores do Filtro, diminuindo a tensão de controle do VCO;
3. Nenhum dos sinais (*up* ou *down*) estão ativos e, portanto, a tensão de controle do VCO permanece a mesma;
4. Ambas as fontes de corrente estão ativas, causando um curto-circuito entre a tensão de alimentação, VDD, e a referência, GND. Por essa questão, este estado não pode acontecer e justifica a existência da porta *AND* do PFD, resetando as saídas *up* e *down* no instante que ambas tenderiam à nível lógico alto.

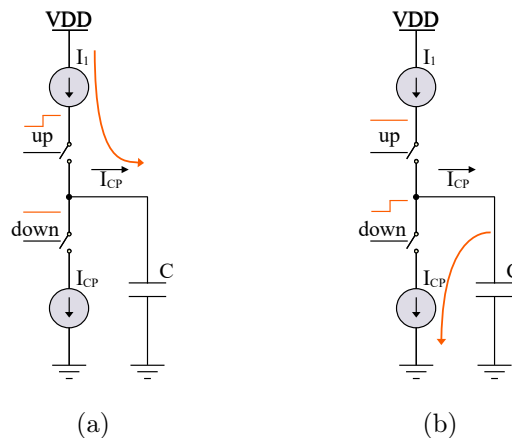


Figura 13 – Funcionamento do CP: a) Carga dos capacitores do filtro, e b) Descarga dos capacitores do filtro. Fonte: Autor

2.2.2.3 Filtro

O Filtro é responsável por filtrar o sinal de saída da Bomba de Carga e converter os pulsos de corrente num valor contínuo de tensão, usado para controlar a frequência do sinal de saída do VCO. Ou seja, ele funciona como uma rede de transimpedância, convertendo corrente em tensão, enquanto filtra o sinal. Este bloco também está relacionado ao aspecto de estabilidade da realimentação, atenuação de espúrios indesejados e na determinação da largura de banda do circuito, aspectos relevantes no ruído total do PLL [GUIMARÃES, 2015].

Embora tenha sido representado por apenas um capacitor na Figura 12, o Filtro do PLL Tipo II é um filtro passivo com um resistor (R) em série ao capacitor C , com a função de estabilizar o sistema, e um capacitor (C_{ripple}) em paralelo a malha RC , utilizado para suprimir os *ripples* na tensão de controle do VCO, causados pelas comutações das fontes de corrente da Bomba de Carga [ARGÜELLO, 2004]. O circuito completo do Filtro é apresentado na Figura 14:

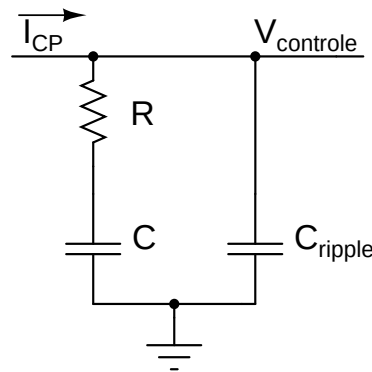


Figura 14 – Circuito do Filtro do PLL Tipo II. Fonte: Autor

Este circuito será melhor explicado no próximo tópico, ao ser tratado o modelo matemático do PLL Tipo II, avaliando a função de transferência do circuito em relação à estabilidade necessária ao PLL, justificando a topologia utilizada para o Filtro.

2.2.3 Modelo matemático

O modelo linear do PLL Tipo II é mostrado na Figura 15.

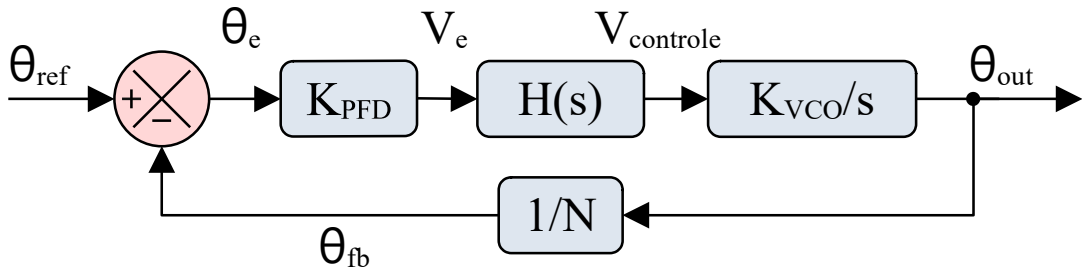


Figura 15 – Modelo linear do PLL Tipo II. Fonte: Autor

O erro de fase na saída do PFD (θ_e) é escrito por

$$\theta_e = \theta_{ref} - \theta_{fb} \quad (2.17)$$

Como mostrado em ARGÜELLO [2004], um CP provê um ganho infinito para uma diferença de fase estática na entrada do PFD, visto que, mesmo para um erro de fase pequeno, haveria uma acumulação indefinida de carga nos capacitores do Filtro. Por outro lado, a resposta do PFD junto ao CP a um degrau de fase é uma rampa linear. Dadas essas duas observações, a função de transferência do conjunto PFD + CP, dada por V_e , pode ser modelada por uma função com um polo na origem.

$$V_e(s) = \frac{K_{PFD}\theta_e}{s} \quad (2.18)$$

Este erro de fase convertido em tensão (V_e) passa pelo Filtro, gerando o sinal $V_{controle}$ na entrada do VCO.

$$V_{controle}(s) = V_e(s)F(s) \quad (2.19)$$

em que $F(s)$ é a função de transferência do Filtro.

O VCO pode ser modelado como um integrador, cuja fase de saída, θ_{out} , é igual a integral da frequência ou como mostrado na Equação 2.20 [ARGÜELLO, 2004].

$$\theta_{out}(s) = \frac{V_c(s)K_{VCO}}{s} \quad (2.20)$$

A relação entre fases do divisor pode ser dada por

$$\theta_{fb} = \frac{\theta_{out}}{N} \quad (2.21)$$

Quando "travado", os sinais de saída e de referência do PLL têm a mesma frequência e sua função de transferência em malha fechada, desconsiderando o Filtro, pode ser escrita em função da fase do sinal de saída (θ_{out}) e da fase do sinal de referência (θ_{ref}).

$$H(s) = \frac{\theta_{out}(s)}{\theta_{ref}(s)} = \frac{K_{PFD}K_{VCO}}{s^2 + \frac{K_{PFD}K_{VCO}}{N}} \quad (2.22)$$

Analisando a Equação 2.22, percebe-se que esta função de transferência possui dois polos imaginários que fazem com que o PLL fique no limite da estabilidade. Esta é razão para que seja colocado o resistor R em série ao capacitor C , agregando um zero estabilizador à função de transferência do PLL (Figura 14), dando origem à função de transferência completa do PLL Tipo II, mostrada na Equação 2.23 [ARGÜELLO, 2004],

$$H(s) = \frac{\theta_{out}(s)}{\theta_{ref}(s)} = \frac{\frac{I_{CP}}{2\pi C_P}(RCs + 1)K_{VCO}}{s^2 + \frac{I_{CP}}{2\pi N}K_{VCO}Rs + \frac{I_{CP}}{2\pi C_N}K_{VCO}} \quad (2.23)$$

em que K_{PFD} é dado por

$$K_{PFD} = \frac{I_{CP}}{2\pi C_1} \quad (2.24)$$

A adição do capacitor C_{ripple} ao Filtro agrega outro polo à função de transferência do PLL, convertendo-o em um sistema de terceira ordem. No entanto, caso seu valor seja consideravelmente pequeno, $C_{ripple} < 0,1C$, o sistema ainda poderá ser analisado como de segunda ordem [ARGÜELLO, 2004].

Essa topologia é conhecida como PLL do Tipo II porque a função de transferência em malha aberta possui dois polos na origem (dois integradores ideais) [LANDIM, 2017].

2.2.4 Técnicas de otimização

Embora já tenha sido mencionado algumas vantagens do PLL Tipo II em relação ao PLL Tipo I, a conclusão sobre a melhor topologia não é trivial, pois depende dos parâmetros da aplicação.

Em busca de melhorar as especificações do PLL Tipo II, diferentes trabalhos são desenvolvidos em busca de novas topologias e/ou circuitos adicionais que alcancem melhores resultados experimentais como, por exemplo, em relação ao *jitter*, emissão de espúrios, ruído de fase, além do consumo de potência e área.

Um parâmetro importante em relação à *performance* do mesmo é o ruído de fase (PN). De forma geral, existem duas maneiras presentes na literatura para reduzir o PN em um PLL [YANG et al., 2021]: 1) aumentar o ganho de malha aberta e/ou 2) aumentar a largura de banda do sistema. O *Sub-Sampling* PLL (SS-PLL) [NAGAM and KINGET, 2018b] [NAGAM and KINGET, 2018a] é um exemplo de topologia que permite aumentar o ganho de malha aberta. No entanto, para isso, um circuito extra é utilizado, como mostrado na Figura 16, impactando o consumo de área. Nesta topologia, um PLL do Tipo

II faz o ajuste primário da frequência de saída do sinal, enquanto o circuito adicional de amostragem é responsável pelo ajuste fino. Devido à presença de uma “zona morta” no conjunto composto pelo Detector de Fase e Frequência e pela Bomba de Carga do PLL Tipo II, o sinal de erro do mesmo se estabiliza e sua atuação na correção se torna constante. A partir deste momento, para uma situação ideal, somente o circuito amostrador interfere no sinal de controle do oscilador, fazendo o ajuste fino da frequência do sinal de saída do PLL.

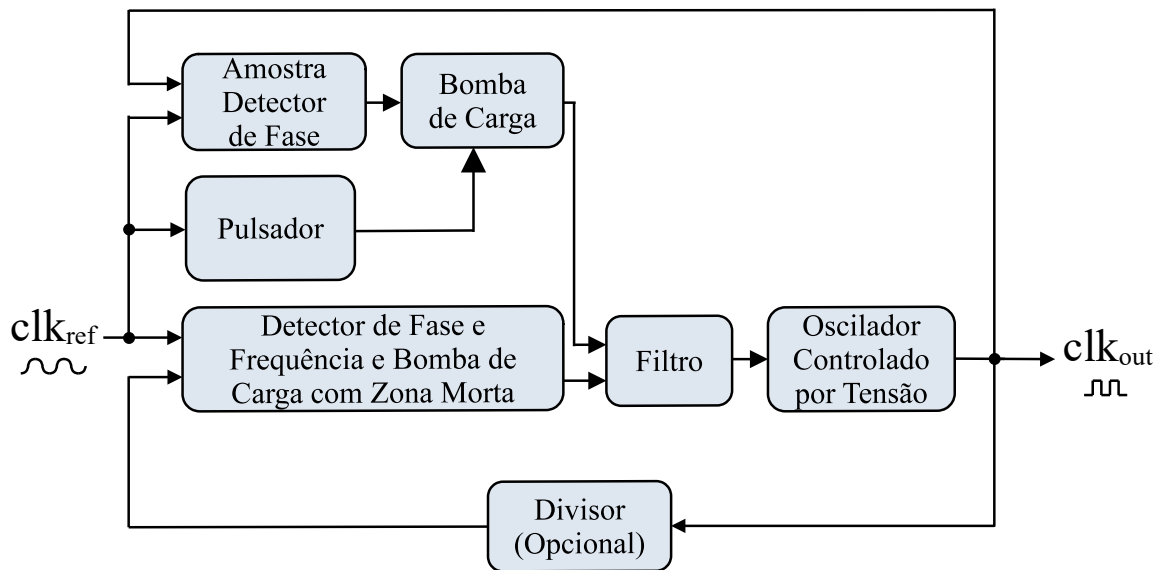


Figura 16 – Diagrama de blocos do SS-PLL. Fonte: Autor

Outro exemplo de topologia, o *Injection Locked PLL* (IL-PLL) [ZHANG et al., 2017] [CHO et al., 2018], apresentado na Figura 17, possui baixo *jitter*. Entretanto, sua característica em função dos espúrios gerados pode ser inaceitável dependendo da aplicação (~ -50 dB) [YANG et al., 2021].

Nessa topologia, o mesmo sinal de referência usado na comparação do Detector de Fase e Frequência é utilizado para referência de um Gerador de Pulsos, responsável por zerar o erro de fase do oscilador de forma cíclica.

Além disso, analisando a estrutura da Figura 17, pode-se observar que neste modelo genérico, há uma atuação concorrente entre a malha de injeção e o PLL sobre o oscilador. Essa atuação simultânea dificulta a detecção do desvio da frequência, pois a diferença de fase acumulada é quase zerada a cada ciclo de referência do sinal pulsante injetado [ELKHOLY et al., 2015], o qual acaba por degradar a especificação de ruído de fase do circuito.

O principal desafio no projeto de Multiplicadores de *Clock* com essa topologia é manter a frequência de funcionamento livre do oscilador próxima da frequência desejada, considerando as possíveis variações PVT [CHO et al., 2018].

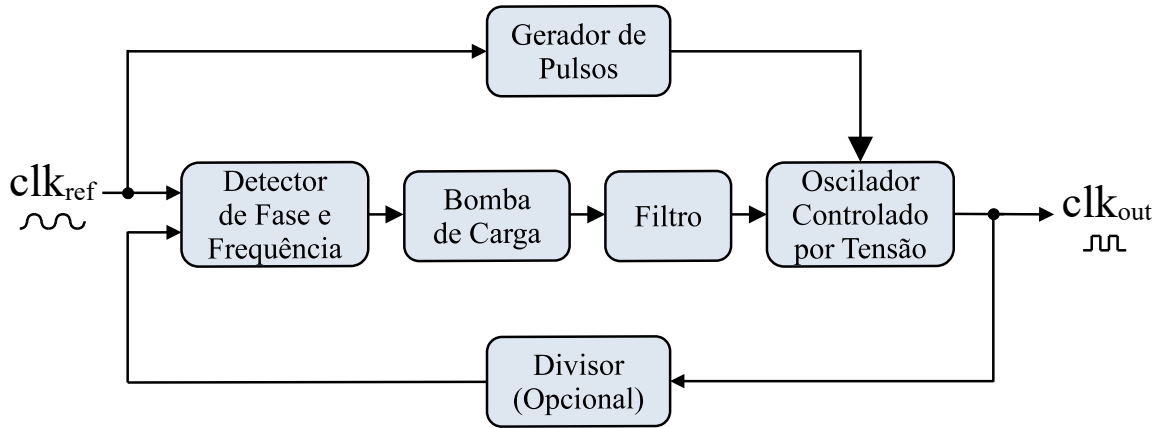


Figura 17 – Diagrama de blocos do IL-PLL. Fonte: Autor

Portanto, é possível perceber a complexidade em aumentar na qualidade final de um PLL e, conseqüentemente, afirmar de maneira indiscutível qual seria a melhor topologia.

Embora o PLL Tipo II suprima os *ripples* do PLL Tipo I, sua limitada largura de banda pode ser um problema para determinadas aplicações. Observado isso, a topologia apresentada na próxima seção, referência para o projeto apresentado nesta dissertação, utiliza um PLL Tipo I, visando a sua maior largura de banda, com uma abordagem com o objetivo de reduzir o *ripple* da tensão de controle do oscilador.

2.3 Single-Loop Sampling PLL

2.3.1 Funcionamento

O *Single-Loop Sampling PLL* (S-PLL), proposto em KONG and RAZAVI [2016], é baseado em um PLL Tipo I com um circuito adicional inserido na malha de realimentação, responsável pelo chaveamento do Filtro apresentado na proposta mencionada. A estrutura básica do S-PLL é mostrada na Figura 18.

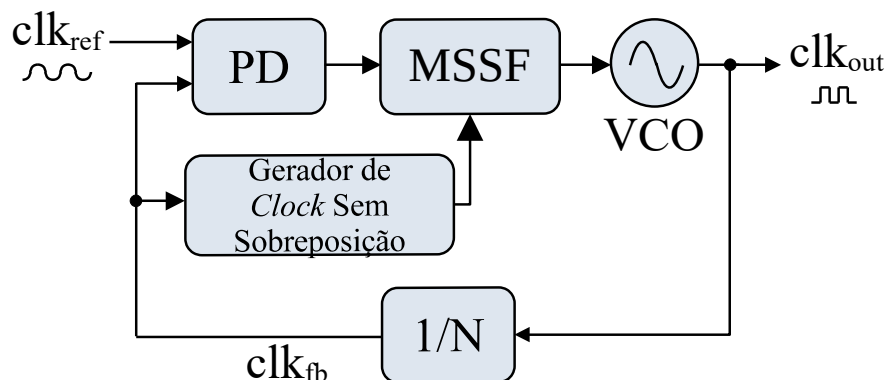


Figura 18 – Diagrama de blocos simplificado do S-PLL. Fonte: Autor

Nessa topologia, um Gerador de *Clock* Sem Sobreposição é utilizado para o gerenciamento do Filtro chaveado que permitiu obter, conforme apresentado no trabalho mencionado, uma largura de banda superior a 10 MHz, devido ao elevado ganho do Detector de Fase, uma redução significativa do ruído de fase a níveis de -116 dBc/Hz à 1 MHz de deslocamento e espúrios inferiores a -60 dB. Devido a questões de estabilidade, é necessário acrescentar um circuito denominado *Harmonic Trap* ao S-PLL. No entanto, este circuito requer um fator de alta qualidade para evitar mudanças de fase do PLL, calibração *chip a chip* devido às variações PVT, além de aumentar significativamente o consumo de potência e área do projeto. Este circuito extra não será abordado nesta dissertação, sendo suficiente as informações dadas para o entedimento da sua necessidade e suas questões técnicas.

Comparado ao diagrama do PLL Tipo I (Figura 1) e do PLL Tipo II (Figura 9), percebe-se que os dois únicos blocos ainda não explicados são o Gerador de *Clock* Sem Sobreposição e a nova topologia de Filtro, chamada *Master-Slave Sampling Filter* - MSSF. De forma sucinta, a função de cada um destes blocos é descrita a seguir:

Gerador de *Clock* Sem Sobreposição: responsável por gerar dois sinais de *clock* que não se sobrepõem, responsáveis pelo chaveamento do MSSF.

***Master-Slave Sampling Filter* - MSSF:** topologia onde o resistor do filtro passivo passa-baixa é substituído por um capacitor chaveado. Embora tenham a mesma função, essa topologia fornece melhor *performance* ao PLL em relação à *jitter*, espúrios e ruído de fase.

Ainda que tenha seu funcionamento baseado no PLL Tipo I, já descrito na Seção 2.1.1, a troca do Filtro pelo MSSF traz consequências positivas no resultado espectral, bem como na análise final em função dos parâmetros do PLL. Essa análise será feita a seguir.

2.3.2 Blocos funcionais

Dada a semelhança ao PLL Tipo I, neste tópico será feito um estudo somente dos dois novos blocos funcionais inseridos por esta topologia, o Gerador de *Clock* Sem Sobreposição e o MSSF, apresentando suas funções e principais características.

2.3.2.1 Gerador de *Clock* Sem Sobreposição

O Gerador de *Clock* Sem Sobreposição é um elemento-chave em circuitos de capacitor chaveado, uma vez que geralmente são necessários sinais de *clock* não-sobrepostos. Sinais de *clock* não sobrepostos significam sinais em execução na mesma frequência, porém

com um pequeno intervalo entre os pulsos, Δt , em que nenhum deles está em nível lógico alto, conforme mostrado na Figura 19.

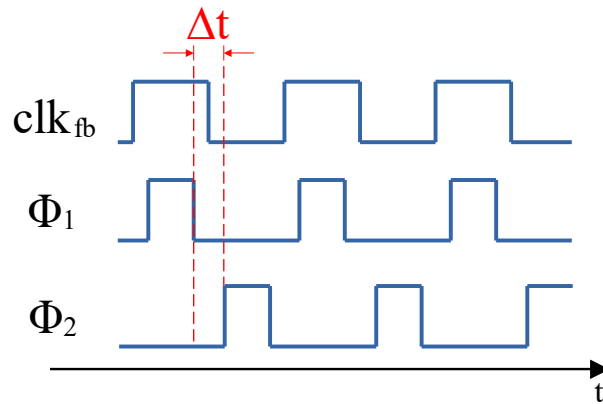


Figura 19 – Diagrama temporal do Gerador de *Clock* Sem Sobreposição. Fonte: Autor

Como pode ser visto, os tempos de ascensão e queda dos sinais de *clock*, ϕ_1 e ϕ_2 , não devem ocorrer ao mesmo tempo e, portanto, a todo instante

$$\phi_1 \cdot \phi_2 = 0 \tag{2.25}$$

Um exemplo de circuito utilizado para o Gerador de *Clock* Sem Sobreposição é mostrado na Figura 20, baseado no circuito apresentado em JACOB BAKER [1995]. Como pode ser observado, o circuito em questão fornece quatro sinais de *clock* que são aqueles sinais utilizados para o chaveamento do MSSF a partir do sinal de saída do Divisor.

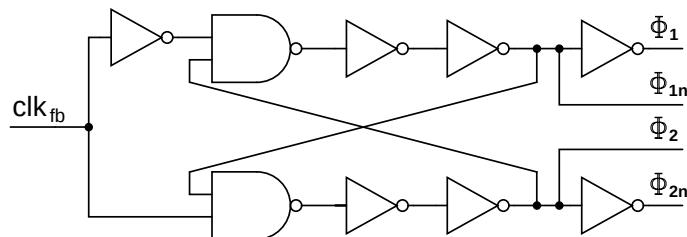


Figura 20 – Esquemático do Gerador de *Clock* Sem Sobreposição. Fonte: Autor

Esse circuito recebe um sinal de *clock* e gera dois sinais não sobrepostos, além do sinal invertido de cada um deles. O tempo de separação entre eles já mencionado, Δt , é oriundo do atraso das portas lógicas do circuito.

2.3.2.2 Master-Slave Sampling Filter

A largura de banda do PLL Tipo I é um atrativo para diversas aplicações, mas o *ripple* do sinal de saída do filtro é um empecilho para seu uso. No MSSF, apresentado em KONG and RAZAVI [2016], a amostragem do sinal do Detector de Fase diminui

consideravelmente o *ripple* da tensão de controle do VCO. Nessa topologia, o resistor do Filtro passa-baixa padrão (Figura 3) foi substituído por um capacitor e duas chaves lógicas, como mostrado na Figura 21.a. Estas chaves são operadas na mesma frequência, porém defasadas no tempo ($\phi_1 \neq \phi_2$) de forma a não coincidir o fechamento de ambas no mesmo instante de tempo.

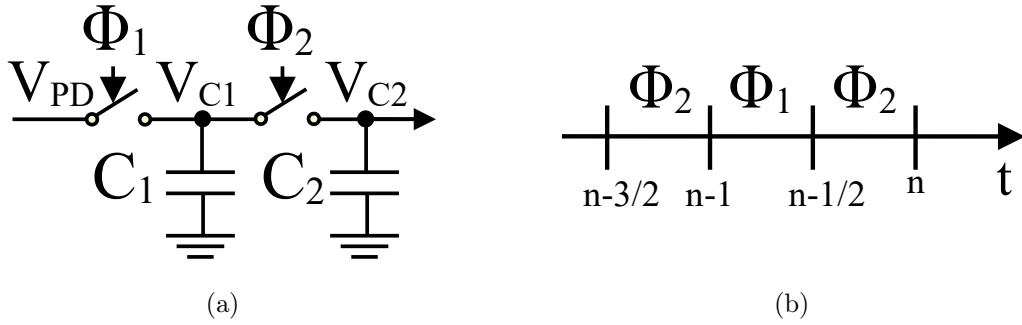


Figura 21 – MSSF: a) Esquemático, e b) Diagrama temporal. Fonte: Autor

A resistência equivalente do circuito composto pelo capacitor e as duas chaves é baseada na carga e descarga do capacitor, na qual seu valor é determinado pela razão entre o período de atuação das chaves, τ_{ch} , e o valor do capacitor utilizado, C ,

$$R_{ch} = \frac{\tau_{ch}}{C} \quad (2.26)$$

ou, de maneira mais direta, como

$$R_{ch} = \frac{1}{f_{ch}C} \quad (2.27)$$

em que f_{ch} é a frequência de chaveamento das chaves lógicas.

Considerando o fechamento defasado das chaves lógicas, dois momentos distintos, denominados ϕ_1 e ϕ_2 , podem ser observados a cada período do *clock* de referência, como mostrado na Figura 21.b, onde n representa um período completo.

No momento ϕ_1 , entre $(n-1)T$ e $(n-\frac{1}{2})T$, tem-se o circuito equivalente apresentado na Figura 22.a.

Observa-se que o capacitor C_1 será carregado com o valor de V_{PD} até o momento $(n-1)T$, podendo ser escrito por

$$V_{C1}^{\phi_1}(n-1)T = V_{PD}^{\phi_1}(n-1)T \quad (2.28)$$

Neste mesmo instante, a tensão no capacitor C_2 e, conseqüentemente, da saída do Filtro, aqui representado por V_{MSSF} , pode ser escrita como

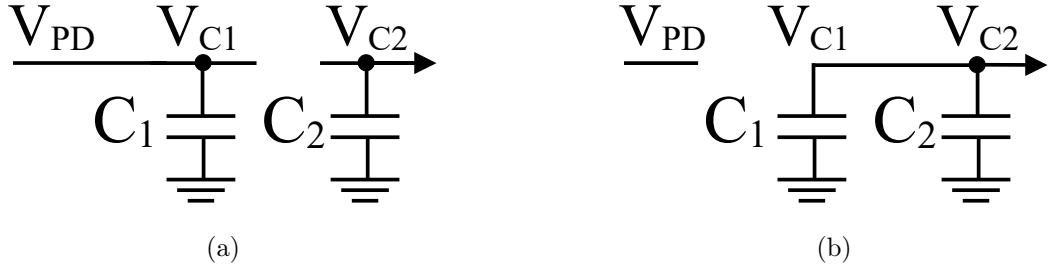


Figura 22 – Momentos do chaveamento do MSSF: a) Momento ϕ_1 , e b) Momento ϕ_2 . Fonte: Autor

$$V_{C_2}^{\phi_1}(n-1)T = V_{C_2}^{\phi_2}(n - \frac{3}{2})T \rightarrow V_{MSSF}^{\phi_1}(n-1)T = V_{MSSF}^{\phi_2}(n - \frac{3}{2})T \quad (2.29)$$

No momento seguinte, ϕ_2 , entre $(n - \frac{1}{2})T$ e nT , tem-se o circuito equivalente apresentado na Figura 22.b. Como pode ser visto, os capacitores estão conectados em paralelo e a tensão de saída do filtro é dada por

$$V_{MSSF}^{\phi_2}(n - \frac{1}{2})T = \frac{C_1}{C_1 + C_2} V_{C_1}^{\phi_1}(n-1)T + \frac{C_2}{C_1 + C_2} V_{C_2}^{\phi_1}(n-1)T \quad (2.30)$$

Pela periodicidade do sinal, pode-se reescrever parte da Equação 2.29, como

$$V_{MSSF}^{\phi_1}(n)T = V_{MSSF}^{\phi_2}(n - \frac{1}{2})T \quad (2.31)$$

Substituindo a Equação 2.28 e a Equação 2.31 na Equação 2.30, tem-se

$$V_{MSSF}^{\phi_1}(n)T = \frac{C_1}{C_1 + C_2} V_{PD}^{\phi_1}(n-1)T + \frac{C_2}{C_1 + C_2} V_{C_2}^{\phi_1}(n-1)T \quad (2.32)$$

Observando que a tensão de saída do MSSF é equivalente a tensão sobre o capacitor C_2 e aplicando a Transformada Z na Equação 2.32, obtém-se

$$V_{MSSF}^{\phi_1}(z) = k_{12} V_{PD}^{\phi_1} z^{-1} + k_{21} V_{MSSF}^{\phi_1} z^{-1} \quad (2.33)$$

em que $k_{12} = \frac{C_1}{C_1 + C_2}$ e $k_{21} = \frac{C_2}{C_1 + C_2}$.

A função de transferência no domínio Z do MSSF é dada

$$H_{MSSF}(z) = \frac{V_{MSSF}^{\phi_1}(z)}{V_{PD}^{\phi_1}(z)} = \frac{k_{12} z^{-1}}{1 - (k_{21} z^{-1})} = \frac{z^{-1}}{1 + \alpha - \alpha z^{-1}} \quad (2.34)$$

em que $\alpha = \frac{C_2}{C_1}$.

Uma variável no domínio Z também pode ser expressa como uma variável complexa, $z = e^{j\omega T}$. Partindo dessa definição, pode-se reescrever a Equação 2.34 da seguinte forma:

$$H_{MSSF}(j\omega) = \frac{k_{12}k_{23}}{e^{j\omega T} - (k_{21}k_{23} + k_{32})} \quad (2.35)$$

Uma função de transferência mais precisa é obtida se o circuito apresentado for considerado como um circuito *zero-order hold* (*ZOH*), conforme mostrado em KONG and RAZAVI [2016].

Como apresentado em RAZAVI [2010], a função *ZOH* é dada por

$$ZOH(f) = e^{-j\omega f T_s} \frac{\sin(\pi f T_s)}{\pi f T_s} \sum_{n=-\infty}^{\infty} X(f - \frac{n}{T_s}) \quad (2.36)$$

em que T_s é o período de amostragem do sinal f .

Para a saída de interesse, $n = 0$, tem-se

$$ZOH(f) = e^{-j\omega f T_s} \frac{\sin(\pi f T_s)}{\pi f T_s} \sum_{n=-\infty}^{\infty} X(f) \quad (2.37)$$

A partir das técnicas apresentadas anteriormente, a função de transferência final do MSSF pode ser expressa, assim como em KONG and RAZAVI [2016], por

$$H_{MSSF}(j\omega) = \frac{1}{1 + \frac{\alpha}{f_{ref}} j\omega} e^{-j\omega f T_{ref}} \frac{\sin(\pi f T_{ref})}{\pi f T_{ref}} \quad (2.38)$$

Comparado ao PLL Tipo I tradicional, este circuito possui uma faixa de captura maior. Em relação ao PLL Tipo II, o uso deste filtro permite uma largura de banda superior, menor tempo de acomodação, além de evitar as dificuldades de projeto referentes ao uso da Bomba de Carga [KONG and RAZAVI, 2016].

2.3.3 Modelo matemático

O modelo linear do $S - PLL$, como já mencionado, é semelhante ao PLL Tipo I. A diferença está relacionada ao filtro MSSF proposto que, como demonstrado anteriormente, tem sua função de transferência dada pela Equação 2.38.

Com esta equação, tem-se a função de transferência do *loop*.

$$G(j\omega) = K_{PD}K_{VCO} \frac{1}{j\omega} \frac{1}{1 + \frac{C_2}{C_{1f}}j\omega} e^{-j\omega f T_{ref}} \frac{\sin \pi f T_{ref}}{\pi f T_{ref}} \quad (2.39)$$

Dada a equação acima, pode-se escrever a função de transferência em malha fechada como

$$H(j\omega) = \frac{G(j\omega)}{1 + G(j\omega) \frac{1}{N}} \quad (2.40)$$

2.4 Jitter

As características relacionadas a ruído representam um dos parâmetros mais importantes na caracterização de circuitos de temporização nos projetos eletrônicos modernos.

Dentro desses parâmetros, pode-se citar o *jitter* e o ruído de fase - PN. Embora ambos descrevam o mesmo fenômeno, usa-se o PN quando o ruído é tratado no domínio da frequência e o *jitter* quando tratado no domínio do tempo. De forma geral, ambos representam o desvio do sinal periódico em seu respectivo domínio. Em função da proposta deste trabalho, pode-se aplicar estes conceitos ao oscilador. Este tópico apresentará uma visão geral do *jitter*, ficando o ruído de fase para o tópico seguinte.

Pode-se definir *jitter* como as variações nas transições de um determinado sinal periódico, como o *clock*, por exemplo. Dessa forma, o sinal pode estar adiantado ou atrasado em relação à posição ideal e, sendo assim, o *jitter* é um tipo de incerteza temporal em função de determinado momento em que se espera algum tipo de transição periódica.

Um oscilador ideal tem períodos idênticos para cada ciclo. Assim, a fase aumenta com uma inclinação constante em função do tempo. Como a frequência é a derivada da fase, tem-se uma frequência constante, como mostrado na Figura 23.a. No entanto, um oscilador real tem variações de período em seu sinal de saída - *jitter*. Como a fase varia em relação a inclinação ideal do oscilador, tem-se uma variação de frequência em torno de uma frequência fundamental, representados pela sombra gerada ao redor de cada linha na Figura 23.b.

A Figura 24 mostra um sinal periódico de *clock* em que vários períodos diferentes são evidenciados. Um sinal de *clock* ideal se repete de maneira invariável (preto). No entanto, as formas de onda reais variam no domínio do tempo, com as bordas do sinal subindo ou descendo mais cedo (vermelho) ou mais tarde (verde) do que deveriam. Obviamente, se o *jitter* for significativamente grande, os sinais adjacentes irão causar interferências entre si, causando deterioração da informação.

O Detector de Fase/Detector de Fase e Frequência, a Bomba de Carga e o Divisor são circuitos dependentes da entrada. Isto significa que uma transição nas suas saídas

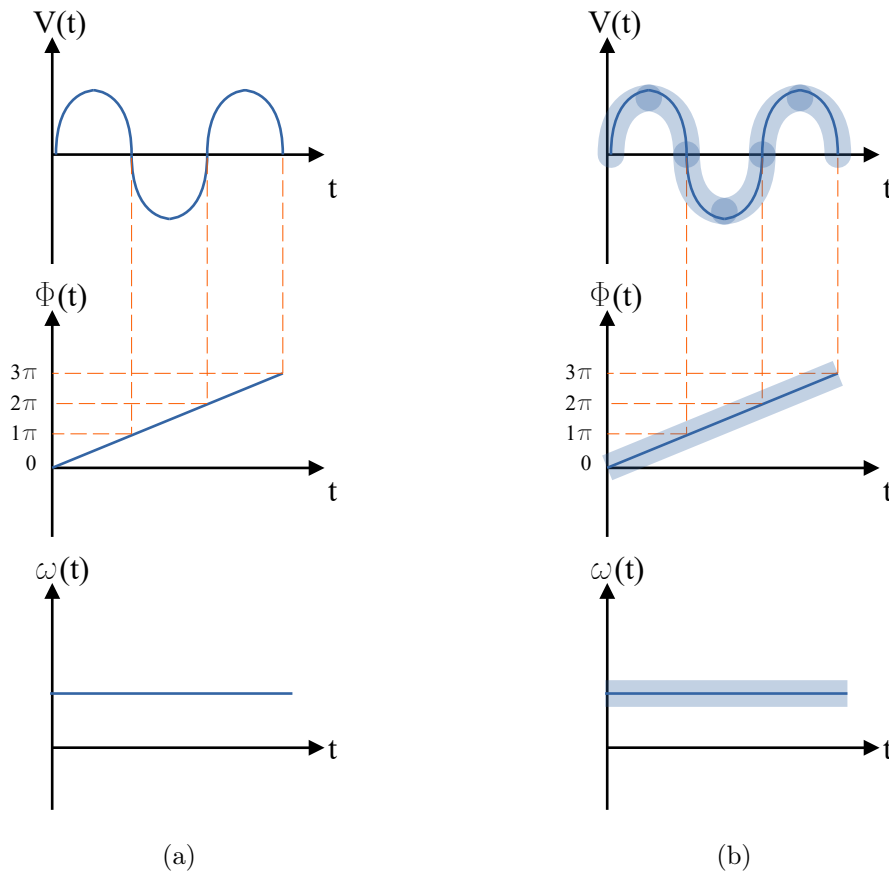


Figura 23 – *Jitter* no domínio do tempo. Fonte: Autor

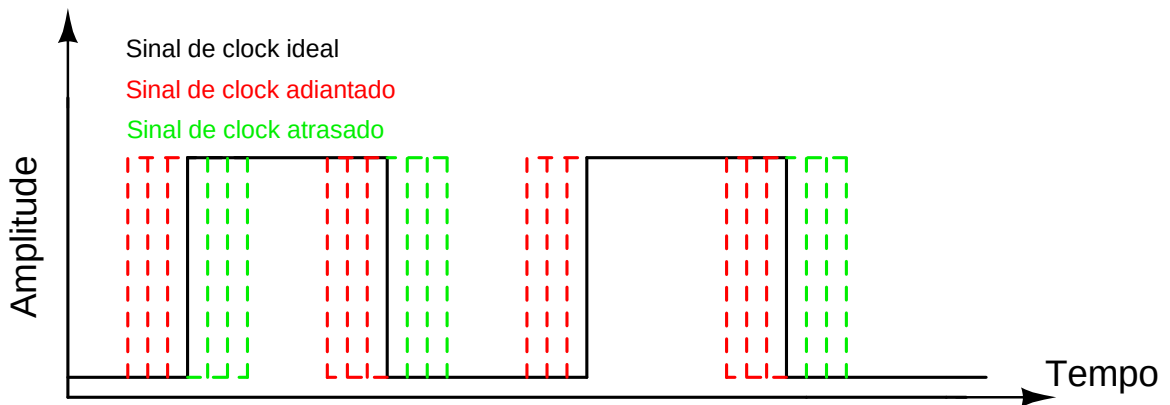


Figura 24 – Representação temporal do *jitter* em um sinal de *clock*. Fonte: Autor

é função direta de uma transição nas suas entradas. O *jitter* gerado por estes blocos é chamado *jitter* síncrono. Em contrapartida, o oscilador é independente, pois produz transição de saída sem o efeito de transição de entrada e o *jitter* produzido por este ele pode ser chamado de *jitter* de acumulação [LANDIM, 2017].

Além destas duas classificações, o *jitter* também pode ser classificado em outras duas categorias: aleatória (*random jitter*) e a determinística (*deterministic jitter*).

O *jitter* de origem determinística está associado a uma função de densidade de probabilidade não-Gaussiana e tem amplitude limitada. É caracterizada pelo seu valor pico-a-pico. As suas causas estão relacionadas com imperfeições no meio de transmissão, modulação de sinais, entre outras.

O *jitter* de origem aleatória não é limitado e tem como uma das suas causas o ruído térmico. Por esse motivo, pode ser descrito por uma distribuição de probabilidade Gaussiana, pois uma das fontes desse tipo de ruído em circuitos elétricos tem distribuição Gaussiana. [LANDIM, 2017]

O histograma de probabilidades do *jitter* pode ser observado na Figura 25.

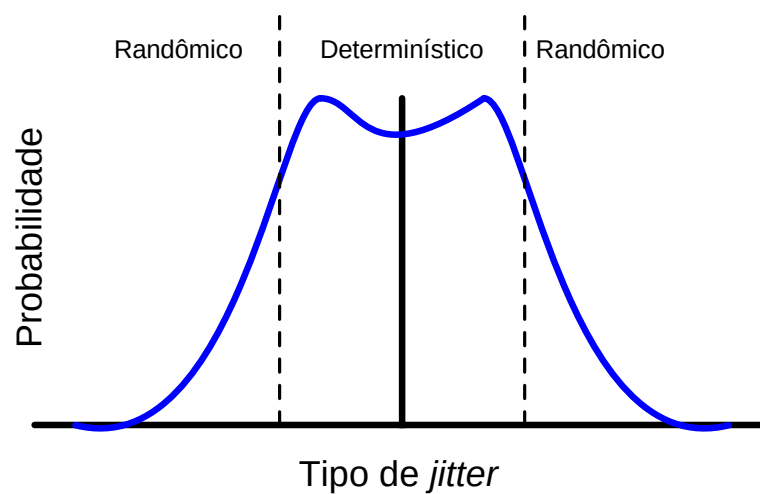


Figura 25 – Histograma de probabilidades do *jitter*. Fonte: Autor

De forma geral, existem quatro fontes principais de *jitter* em um sistema PLL:

- Ruído da fonte de alimentação. Este é o maior contribuinte para o fenômeno do *jitter*, embora nem sempre constante. O ruído da fonte de alimentação se manifesta de duas maneiras:

- *Ground Bounce*: fenômeno que altera temporariamente o potencial de terra dos circuitos;

- Ruído VDD: este ruído causa uma oscilação em torno do valor máximo de VDD.

Ambos efeitos podem causar instabilidade no funcionamento do dispositivo. Caso a frequência de determinado sinal tenha relação com a tensão de alimentação efetiva, essa frequência mudará devido a estes fenômenos e estes efeitos aparecerão na saída do sistema como *jitter*.

- O PLL Tipo II tem uma banda morta associada a ele, durante a qual o PFD não detecta pequenas mudanças na fase de entrada. Como essas alterações não são detectadas,

elas não são corrigidas e aparecem nas saídas na forma de *jitter*;

- Ruído térmico aleatório do sistema;
- Ruído mecânico aleatório das vibrações do cristal oscilador.

2.5 Ruído de Fase

Este fenômeno pode ser entendido como um desvio aleatório na frequência de oscilação que se espalha em torno da frequência central de oscilação. Deve-se a esse fenômeno, principalmente, a fontes de ruído internas, que dão origem ao ruído térmico e os provenientes de um dispositivo, como o ruído de contato (*flicker noise* ou ruído $1/f$) e o ruído branco.

Essas variações e, conseqüentemente, o entendimento visual do ruído de fase, podem ser observadas em função do espectro de frequência do sinal. Para o caso ideal (Figura 26.a), não há variações no sinal do *clock* e somente a frequência fundamental do sinal, ω_0 , fica visível no espectro de frequências. Na situação real (Figura 26.b), têm-se variações do sinal e, por isso, formam-se bandas laterais somadas ao espectro limpo.

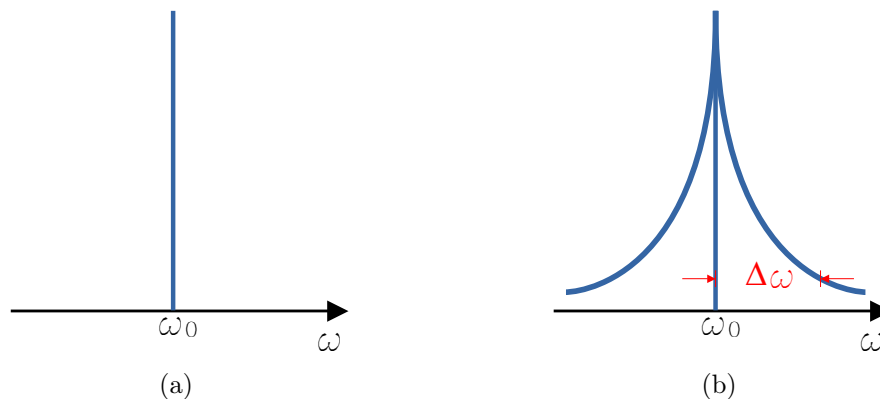


Figura 26 – Ruído de fase: a) ideal, e b) real. Fonte: Autor

O ruído de fase de um oscilador real é quantificado da seguinte forma: considera-se uma largura de banda unitária a um *offset*, $\Delta\omega$, da frequência fundamental, calcula-se a potência do sinal nessa banda e divide-se o resultado pela potência do sinal na frequência fundamental. Dessa forma, a densidade unilateral de ruído espectral, em *decibel carrier per Hertz* [dBc/Hz], pode ser dado por

$$L(\Delta\omega) = 10 \log \left(\frac{\text{potência de uma largura de banda de 1 Hz do sinal a uma frequência de } \omega_0 + \Delta\omega}{\text{potência da portadora}} \right) \quad (2.41)$$

2.6 Espúrios

Outro efeito que impacta o funcionamento do PLL é o surgimento de sinais espúrios. Considera-se espúrio qualquer sinal indesejado, como harmônicos ou sinais externos ao transmissor, por exemplo, que podem influenciar negativamente no funcionamento de determinado sistema. As duas causas principais de origem de espúrios no PLL estão relacionadas às correntes de fuga do circuito, aos chaveamentos inerentes do circuito e às características intrínsecas da Bomba de Carga.

Em baixas frequências, os efeitos causados por correntes de fuga são as principais causas de emissão de espúrios. Tais emissões são naturais das junções P-N, estrutura fundamental dos semicondutores, como o transistor.

A Bomba de Carga, quando o PLL está travado, permanece inativa a maior parte do tempo. Os períodos de atividade são muito curtos, gerando impulsos de corrente, o que não muda a tensão de controle do VCO, mas geram espúrios. Algumas das causas desses impulsos são: o descasamento entre as correntes de carga e descarga da Bomba de Carga e a diferença entre os tempos de ativação dos transistores PMOS e NMOS.

Dessa forma, estas correntes parasitas causam modulações incorretas no VCO, gerando sinais indesejados.

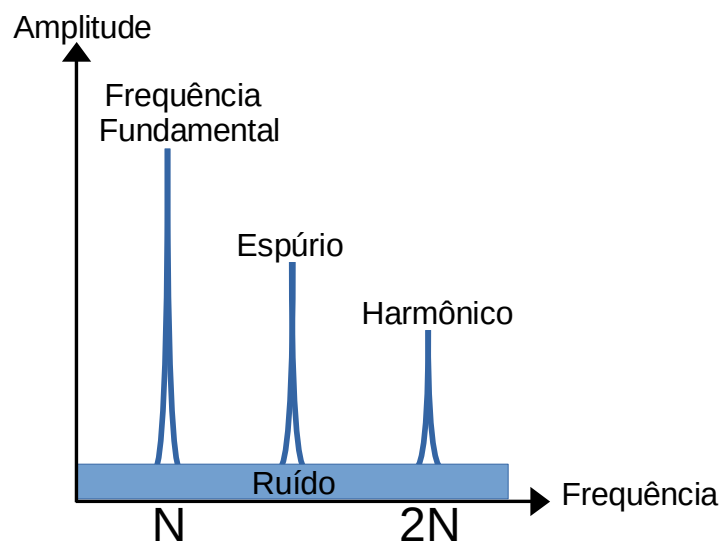


Figura 27 – Representação do espúrio. Fonte: Autor

2.7 Corrente de polarização

Alguns circuitos necessitam de uma corrente fixa e estável para polarização de seus transistores e, conseqüentemente, seu bom funcionamento. Uma das formas mais diretas de se obter uma corrente constante é a partir de um espelho de corrente simples

(ver Figura 28). Com este circuito é possível obter uma corrente de saída constante (a estabilidade será tratada na sequência) e o mesmo pode ser visto como uma fonte de corrente.

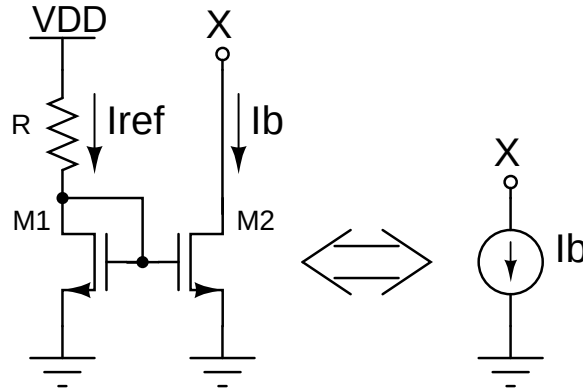


Figura 28 – Espelho de corrente genérico e sua representação equivalente. Fonte: Autor

Neste circuito, a resistência R é usada para definir a corrente de referência, I_{ref} , que será espelhada para I_b com um fator K encontrado a partir das relações das dimensões entre os dois transistores. Assumindo que o transistor $M1$ está operando na região de saturação, o mesmo se comporta como um diodo.

A corrente no dreno de um transistor NMOS operando na região de saturação, desconsiderando o efeito da modulação do comprimento do canal pode ser escrita como

$$I_{D_{sat}} = \frac{K'_n W}{2 L} (V_{GS} - V_{TH})^2 \quad (2.42)$$

em que K'_n é o parâmetro de transcondutância do transistor do tipo n, dado pelo produto da mobilidade dos elétrons com a capacitância do óxido, W e L são os parâmetros geométricos do transistor, largura e comprimento, respectivamente, V_{GS} é a tensão entre porta e fonte e V_{TH} é a tensão de limiar.

A partir da análise do circuito da Figura 28, pode-se definir as correntes I_{ref} e I_b .

$$I_{ref} = I_{D1} = \frac{K'_n W_1}{2 L_1} (V_{GS1} - V_{TH})^2 \quad (2.43)$$

$$I_b = I_{D2} = \frac{K'_n W_2}{2 L_2} (V_{GS2} - V_{TH})^2 \quad (2.44)$$

Escrevendo a relação entre as duas correntes, tem-se

$$\frac{I_{ref}}{I_b} = \frac{\frac{K'_n W_1}{2 L_1} (V_{GS1} - V_{TH})^2}{\frac{K'_n W_2}{2 L_2} (V_{GS2} - V_{TH})^2} \quad (2.45)$$

Como a porta dos transistores M1 e M2 estão conectadas entre si e a fonte dos dois conectadas ao terra, pode-se inferir que $V_{GS1} = V_{GS2}$. Além disso, considerando que comprimento dos dois transistores são iguais, a Equação 2.45 pode ser reduzida a

$$I_b = I_{ref} \frac{W_2}{W_1} \quad (2.46)$$

Como pode ser observado, este circuito oferece uma proposta para uma fonte de corrente e depende diretamente da tensão de alimentação, do resistor para definição da corrente de referência e da relação física entre os transistores utilizados. Todavia, em um sistema real a tensão de alimentação e resistor oscilam em função das variações PVT e, conseqüentemente, o funcionamento do VCO é afetado.

O *Beta Multiplier* é um exemplo de circuito capaz de gerar uma corrente de referência que seja mantida constante e mais estável, quando comparado ao espelho de corrente simples.

Alterando a localização do resistor R, colocando-o no lado da fonte do transistor, reduz-se, teoricamente, a influencia da fonte de alimentação na corrente. Além do mais, adiciona-se um espelho de corrente PMOS, forçando a mesma corrente entre ambos os transistores. Estas alterações configuram o circuito chamado *Beta Multiplier*.

O esquemático do *Beta Multiplier*, apresentado em JACOB BAKER [1995], pode ser visto na Figura 29. O circuito de inicialização, *start-up* será explicado adiante.

Como pode ser observado,

$$V_{GS_{M5}} = V_{GS_{M7}} + RI \quad (2.47)$$

Essa relação somente é válida para $V_{GS_{M5}}$ muito maior que $V_{GS_{M7}}$.

No *Beta Multiplier*, todos os transistores devem operar na região de saturação e, dessa forma, a tensão da porta para fonte pode ser escrita em função da corrente do dreno. Assumindo uma inversão forte, desconsiderando os efeitos do corpo e da modulação do canal e observando que a corrente $I_{D_{M5}} = I_{D_{M7}} = I$ devido ao espelho de corrente PMOS, pode-se reescrever a Equação 2.42 para os dois transistores

$$V_{GS_{M5}} \approx \sqrt{\frac{2I}{\beta_5}} \quad V_{GS_{M7}} \approx \sqrt{\frac{2I}{K\beta_7}} \quad (2.48)$$

em que $\beta_x = K' \frac{W_x}{L_x}$ e K é a relação entre os transistores ($k = \frac{\beta_7}{\beta_5}$).

Substituindo as Equações 2.48 na Equação 2.47 e manipulando a expressão

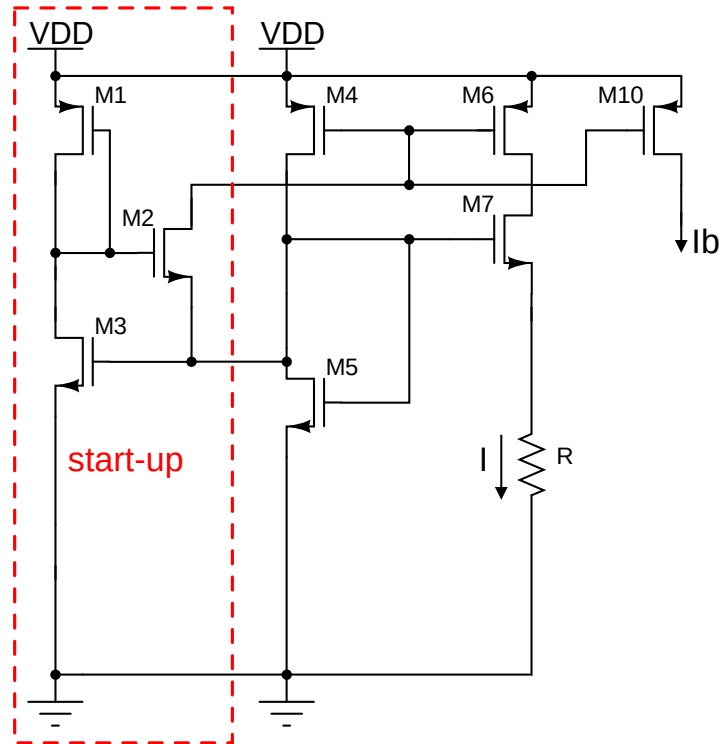


Figura 29 – Esquemático do *Beta Multiplier*. Fonte: Autor

$$I = \frac{2}{R^2 \beta} \left(1 - \sqrt{\frac{1}{K}}\right)^2 \quad (2.49)$$

Como comentado, a corrente I independe da tensão de alimentação. No entanto, pode-se inferir uma dependência da temperatura, pois R e β são dependentes da temperatura. Como demonstrado em [ABOUELKHEIR \[2003\]](#), a corrente aumenta em 0.10% para cada grau Celsius na temperatura ambiente para um resistor de difusão do tipo n. Ou seja, pode-se avaliar como uma moderada dependência da temperatura.

A corrente de saída do circuito, I_b , é obtida através do espelho de corrente formada entre os transistores M6-M10, cujo amplitude depende da relação entre as dimensões dos mesmos, como já demonstrado anteriormente.

O circuito de inicialização mostrado na Figura 29 é responsável por garantir uma condição de início adequada para o *Beta Multiplier*. Os transistores do circuito *start-up* fornecem um caminho de corrente entre VDD e terra para iniciar a ativação do circuito e, assim que o ponto de operação do *Beta Multiplier* é alcançado, os transistores deste circuito são desligados.

2.8 Resumo do Capítulo

Neste capítulo foi apresentada uma revisão bibliográfica acerca do PLL Tipo I, PLL Tipo II e do S-PLL, abordando os circuitos básicos de cada bloco que os compõem.

Outrossim, foi apresentada uma abordagem teórica sobre o *jitter*, ruído de fase e espúrios, dando contexto ao motivo pelos quais diferentes estudos tentam constantemente melhorar estes parâmetros em um PLL. Além disso, foi discutido duas opções para circuitos fonte de corrente de polarização, espelho de corrente simples e *Beta Multiplier*, sendo este último utilizado no desenvolvimento do projeto. Após esta revisão bibliográfica, o Capítulo 3 trará o PLL proposto nesta dissertação, apresentando suas características, além dos esquemáticos e simulações de cada bloco que o compõe. Na sequência, será apresentado o *layout* final do PLL proposto.

Capítulo 3

Desenvolvimento do Projeto

A proposta deste trabalho é o desenvolvimento de um *PLL* de baixo *jitter* em tecnologia CMOS de 180 nm cuja frequência de oscilação seja de 1.6 GHz a partir de um cristal piezoelétrico de 50 MHz.

Em função da confiabilidade e disponibilidade de cristais piezoelétricos de 50 MHz com espectro de frequências limpo, essa foi a frequência escolhida como referência do projeto. Considerando um fator de divisão inteiro a partir do uso de *flip-flops*, enquanto 16 resultaria em uma frequência de saída pouco relevante para o estado da arte, 64 resultaria em problemas operacionais devido a tecnologia de 180 nm utilizada e, por isso, definiu-se 32 como fator do Divisor no elo de realimentação, resultando em uma frequência de oscilação de 1.6 GHz.

Embora a arquitetura do PLL baseada em um oscilador LC tenha um melhor desempenho em termos de *jitter* em comparação com a baseada em osciladores em anel, sua grande área de silício utilizada pelos indutores torna seu projeto inviável para aplicações de tamanho limitado [YANG et al., 2021]. Dessa forma, os PLLs baseados em osciladores em anel são foco de diferentes estudos na literatura, como apresentado em KONG and RAZAVI [2016], porque: 1) ocupam uma área menor, pois não são utilizados indutores, 2) apresentam menos efeitos de acoplamento com outros circuitos, como aqueles formados a partir das capacitâncias parasitas do espiral do indutor com o substrato resistivo, quando utilizados indutores no oscilador e 3) têm uma capacidade intrínseca de fornecer diferentes fases/frequências.

O PLL Tipo I tradicional possui dois *trade-offs* conhecidos em função da estabilidade do sistema [RAZAVI, 2020]: 1) a redução da frequência de corte para suprimir o *ripple* do sinal de controle do VCO torna o sistema menos estável e 2) o aumento do ganho K_{PD} no intuito de diminuir o erro de estado estacionário torna o sistema menos estável. Além destes, uma relação entre a frequência de corte do filtro e a faixa de aquisição do PLL também é apresentado em RAZAVI [2020]: reduzindo a frequência de corte para minimizar o *ripple*, tem-se uma redução na faixa de aquisição do PLL.

Apesar do PLL Tipo II suprimir o alto *ripple* na entrada do oscilador através do Detector de Fase e Frequência, Bomba de Carga e sua topologia de Filtro, sua largura de banda é limitada à um décimo da frequência de referência do circuito, conhecido como “*Gardner’s Limit*”, ou a $f_{ref}/20$ devido à presença de não idealidades na Bomba de Carga, em situações nas quais exige-se espúrios abaixo de -60 dBc, como mostrado em KONG and RAZAVI [2016].

Como pode ser observado e já mostrado no capítulo anterior, os diferentes tipos de PLL possuem determinadas vantagens e desvantagens para os diferentes pontos de interesse de projeto. Para este trabalho, foi escolhido o PLL Tipo I com o oscilador em anel e um Filtro chaveado baseado na estrutura *Master-Slave Sampling Filter*, apresentado em KONG and RAZAVI [2016]. O circuito base do PLL proposto pode ser visualizado na Figura 30.

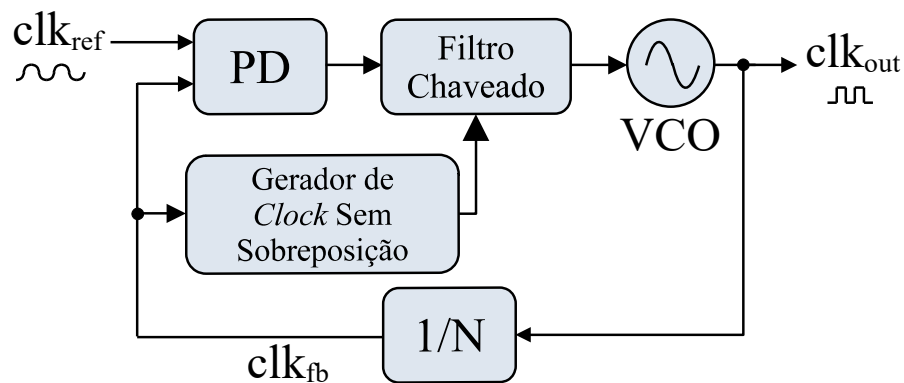


Figura 30 – Diagrama de blocos simplificado do PLL projetado. Fonte: Autor

Para facilitar o desenvolvimento deste capítulo, as informações do projeto serão divididas em duas partes: na primeira, será tratado cada bloco separadamente, apresentando suas topologias e os resultados das simulações feitas. Em um segundo momento, será apresentado o sistema completo, com seu diagrama esquemático e *layout*.

3.1 Blocos funcionais

O projeto de cada bloco funcional do *PLL* proposto neste trabalho será apresentado nesta seção, sendo todos os circuitos, *layouts* e simulações feitas no *software* Virtuoso da Cadence.

3.1.1 Detector de Fase

Como mencionado na Seção 2.1.2.1, uma das estruturas mais conhecidas do *PD* é aquela utilizando uma porta lógica XOR. Uma opção de esquemático, mostrada em RAZAVI [2020], é apresentado na Figura 31.a.

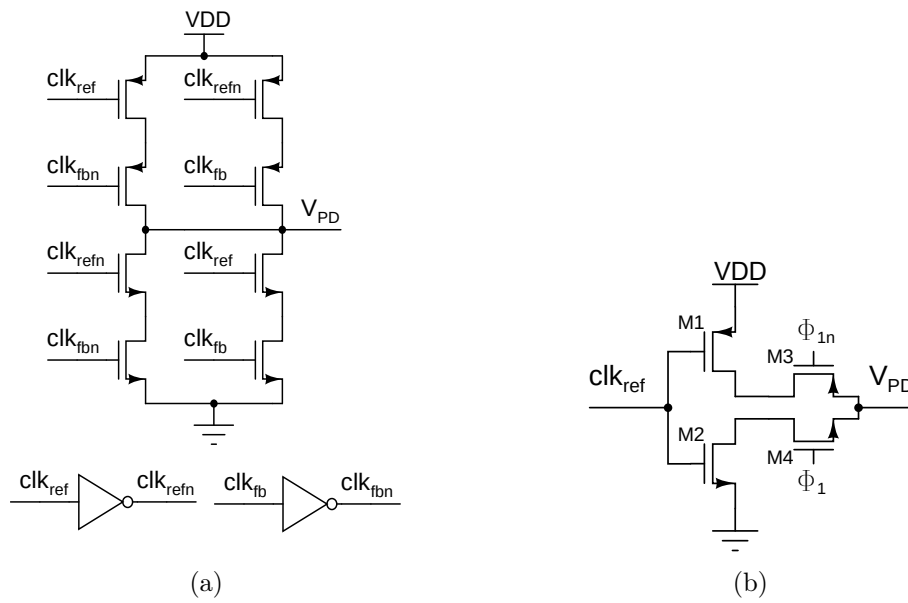


Figura 31 – Esquemático do PD: a) baseado na porta lógica XOR, e b) proposto neste trabalho. Fonte: Autor

No entanto, para minimizar a resistência de saída do PD, R_{PD} , este trabalho propõe uma nova topologia baseada em um inversor dinâmico controlado por uma das saídas do Gerador de *Clock* Sem Sobreposição, como mostrado na Figura 31.b, em que o sinal ϕ_{1n} é o inverso do sinal ϕ_1 . Para este PD, o *buffer* de entrada do PLL não é mais necessário e, como consequência, o ruído de fase é reduzido.

Para o esquemático proposto, as dimensões de cada um dos transistores são apresentadas na Tabela 1.

Tabela 1 – Dimensões dos transistores do PD

Transistor	Largura [μm]	Comprimento [μm]	Fator de multiplicação
M1	12	0.18	2
M2	5	0.18	2
M3	12	0.18	2
M4	5	0.18	2

Avaliando-se o circuito da Figura 31.b, duas malhas podem ser identificadas em função dos sinais ϕ_1 e ϕ_{1n} . A Tabela 2 representa a tabela verdade deste circuito.

Tabela 2 – Tabela verdade do funcionamento do PD projetado

clk_{ref} [V]	Φ_{1n} [V]	Φ_1 [V]	V_{PD} [V]
0	0	1.8	1.8
0	1.8	0	Alta Impedância
1.8	0	1.8	0
1.8	1.8	0	Alta Impedância

Como pode ser observado, a saída V_{PD} é diretamente influenciada em duas situações específicas. A primeira é quando os sinais clk_{ref} e Φ_{1n} estão em nível lógico baixo e, desta forma, a saída V_{PD} é conectada à VDD (nível lógico alto). A segunda é quando clk_{ref} e Φ_1 estão em nível lógico alto e, desta forma, a saída V_{PD} é conectada ao potencial de terra (nível lógico baixo). Nas outras combinações não há uma conexão direta para o VDD ou terra. Quando a saída do circuito está aberta, V_{PD} tenderá a permanecer com o valor anterior. No entanto, a saída do PD é conectada ao Filtro Chaveado e, desta forma, o nível de V_{PD} dependerá da carga e descarga dos capacitores à ele conectados.

A Figura 32 apresenta a simulação do circuito para duas frequências fixas de clk_{ref} e Φ_1 e, conseqüentemente, Φ_{1n} . Nesta simulação, a saída V_{PD} está aberta para verificação do nível de sinal de saída para as condições de alta impedância. Em contrapartida, a Figura 33 apresenta a simulação do mesmo circuito para um capacitor conectado à saída. Como pode ser observado, o nível do sinal de saída depende do capacitor, devido ao tempo de carga e descarga do mesmo em função da capacitância do mesmo.

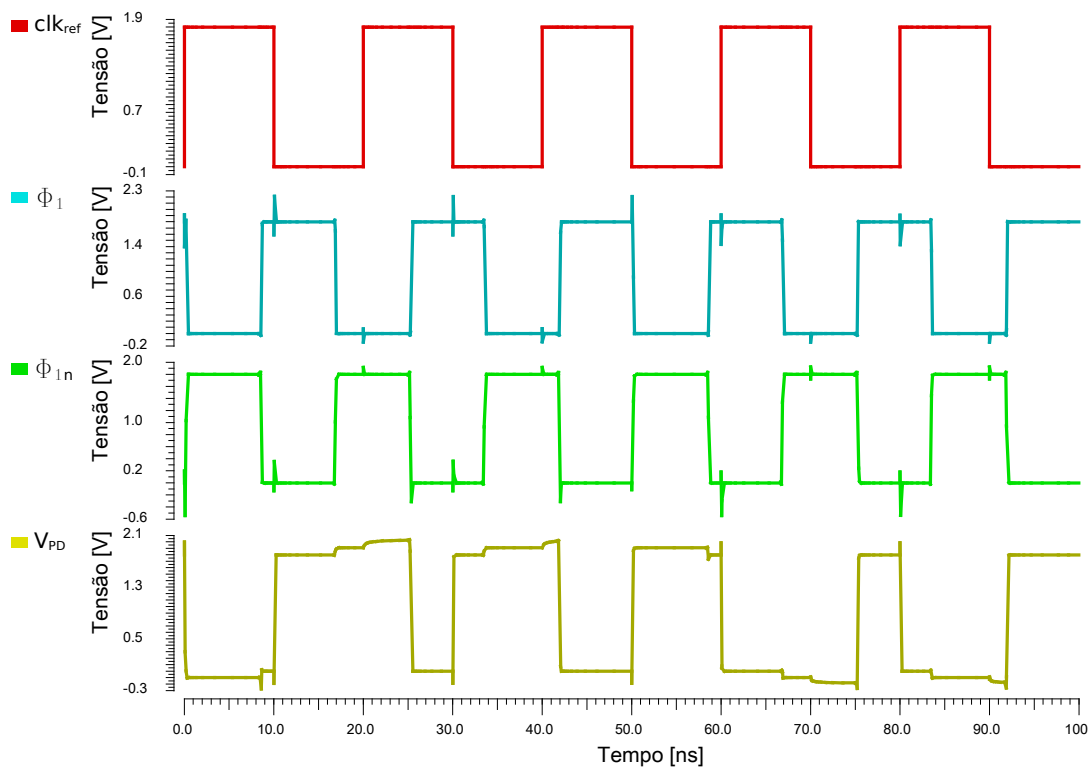


Figura 32 – Simulação do PD projetado com saída em aberto. Fonte: Autor

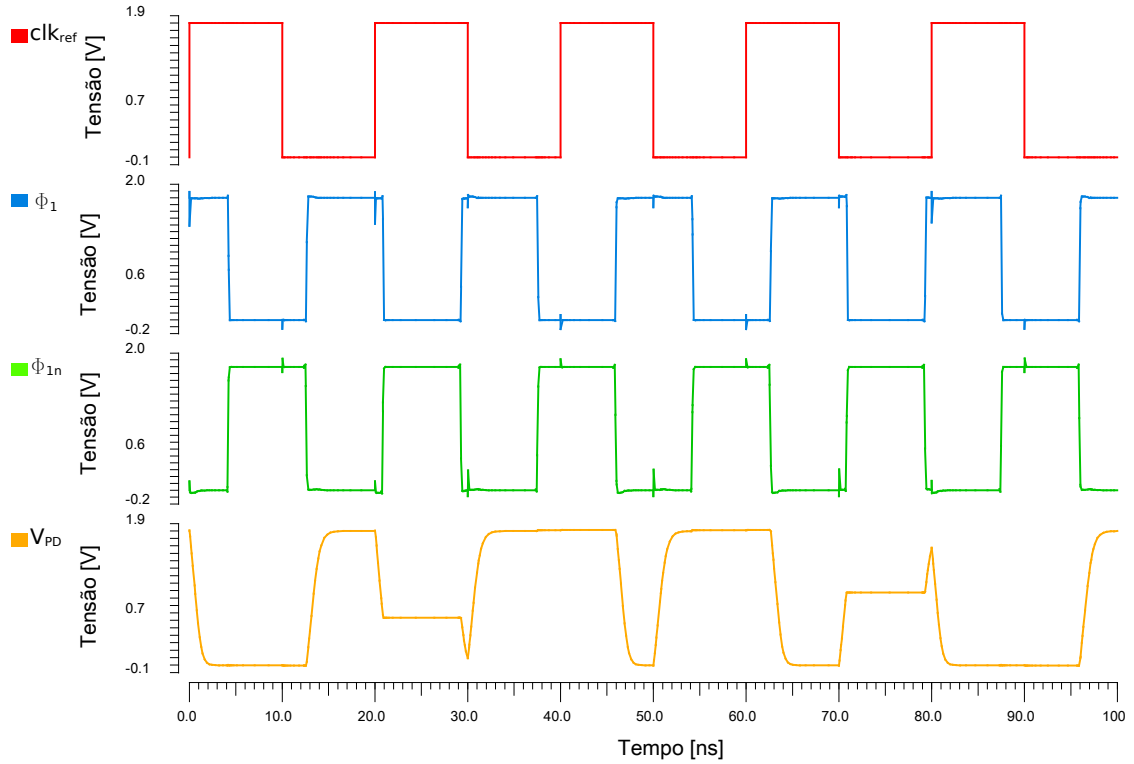


Figura 33 – Simulação do PD projetado com um capacitor conectado à saída. Fonte: Autor

3.1.2 Filtro

Como já mencionado, o Filtro deste trabalho é um complemento ao MSSF apresentado em KONG and RAZAVI [2016], o qual possui a margem de fase, PM , dado pela Equação 3.1. Observando essa equação é possível perceber uma relação entre o fator de divisão da malha de realimentação, N , e a margem de fase, onde PM tende a $\pi/2$ a medida que aumenta-se N . Dessa forma, para menores valores do fator de divisão, como 32 ou 64, por exemplo, o circuito apresentaria menor margem de fase e, portanto, seria necessário uma redução dos ganhos K_{PD} e/ou K_{VCO} para compensar tal efeito. Esta redução aumentaria o erro de fase em estado estacionário.

$$PM = \frac{\pi}{2} - \pi f_{UGB} T_{ref} = \frac{\pi}{2} - \frac{K_{PD} K_{VCO}}{2N} T_{ref} \quad (3.1)$$

A Figura 34 ilustra a magnitude e fase da função de transferência em malha aberta do S-PLL (Equação 2.39) para $T_{ref} = 20$ ns (50 MHz), $N = 32$ ($clk_{out} = 1.6$ GHz), $K_{PD} = 5$ V/rad, $K_{VCO} = 250$ MHz/V para quatro diferentes valores da relação $\frac{C_2}{C_1}$: 0.075, 0.1, 0.2 e 1, representada por α .

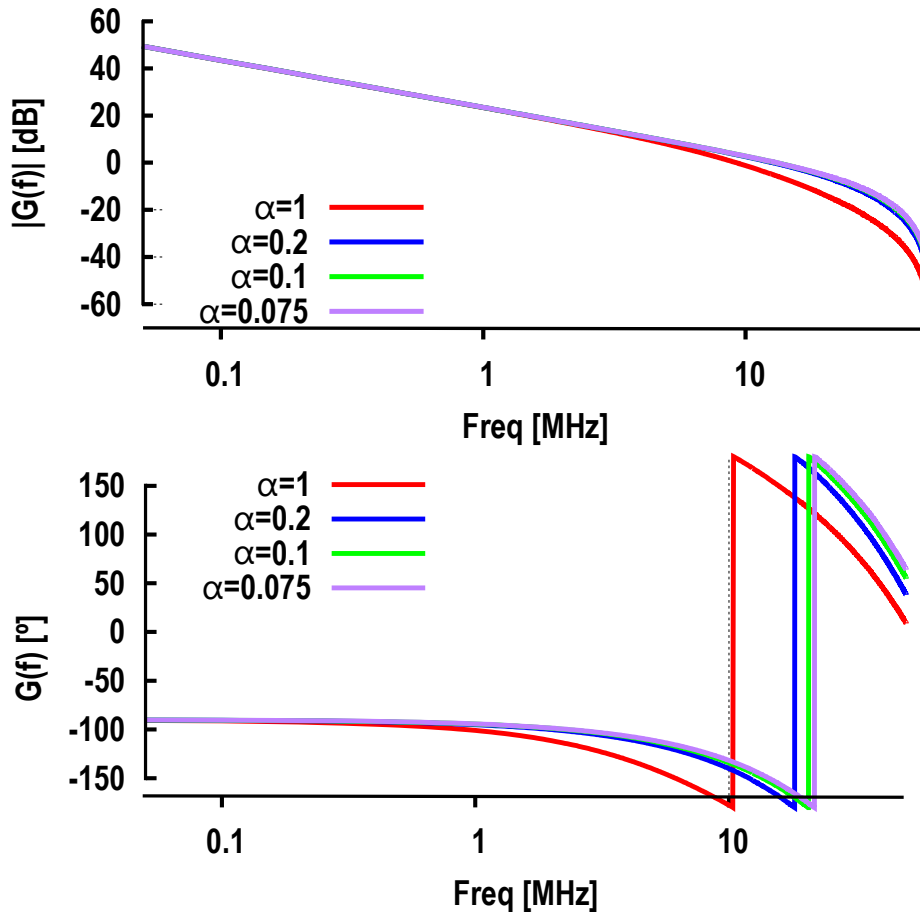


Figura 34 – Magnitude e fase da função de transferência do MSSF. Fonte: Autor

A partir destes resultados, dois efeitos podem ser avaliados: 1) o deslocamento da fase afeta diretamente a estabilidade do PLL e 2) reduzindo o valor de α ($C_1 \gg C_2$), há um deslocamento da fase para a direita, aumentando a margem de fase do PLL. No entanto, esta estratégia não é suficiente para valores de N menores que 64, pois implicaria em valores muito grandes de C_1 . Por exemplo, para típicos valores, como $K_{PD} = 5$ V/rad, $K_{VCO} = 300$ MHz/V, $T_{ref} = 10$ ns (100 MHz) e $N = 16$ ($clk_{out} = 1.6$ GHz), mesmo fazendo $C_2/C_1 = 1/20$, tem-se uma margem de fase de 37° .

Para reduzir o C_1 garantindo a estabilidade do PLL, este trabalho propõe a adição de um estágio extra ao MSSF, conforme mostrado na Figura 35.a.

Assumindo que a comutação nos capacitores C_1 e C_3 gera uma resistência equivalente chamada R_1 e R_3 , respectivamente, a função de transferência $V_{controle}(s)/V_{PD}(s)$ do Filtro proposto é definida no domínio $s = j\omega$ por:

$$H(s) = \frac{sC_4R_3 + 1}{s^2C_2R_1C_4R_3 + s(C_2R_1 + C_4R_1 + C_4R_3) + 1} \quad (3.2)$$

Esta equação indica que o Filtro proposto tem dois pólos, um dominante em baixas frequências e outro em alta frequência, e um zero. Essa nova abordagem melhora a margem

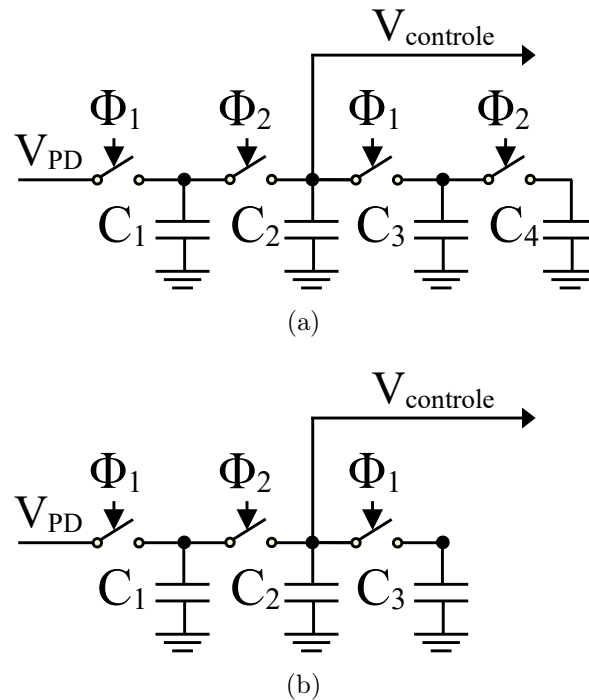


Figura 35 – Filtro proposto: a) Completo, e b) Simplificado. Fonte: Autor

de fase do PLL sem exigir que C_1 seja muito grande, atingindo um K_{PD} maior e atenuando ainda mais o ruído do VCO. Não sendo mais necessário fazer $C_1 \gg C_2$, é possível reduzir o *ripple* da tensão de controle do VCO, aumentando C_2 , reduzindo os espúrios no espectro de frequências do sinal de saída. Além disso, a largura de banda de ganho de unidade de loop será mais ampla a partir do aumento de C_2 , sem levar o PLL a instabilidade. Para minimizar a área de silício utilizada, este trabalho propõe ainda uma simplificação do circuito da Figura 35.a, eliminando o capacitor C_4 , mas ainda aproveitando a resistência gerada pela comutação C2-C3. O circuito simplificado é apresentado na Figura 35.b.

Para comparar a função de transferência do Filtro simplificado com o MSSF típico de dois estágios, uma simulação denominada *Periodic AC Analysis* (PAC) foi realizada. A magnitude e fase resultante da simulação PAC do MSSF típico para $\alpha = 1/16$ e $clk_{ref} = 50$ MHz é mostrada em Figura 36.a, enquanto a Figura 36.b mostra os resultados da simulação do PAC para o Filtro proposto em função de C_3 para $\alpha = 1/2$, $clk_{ref} = 50$ MHz. A capacitância escolhida para C_1 foi de 2,5 pF em ambas as simulações.

Essas simulações ilustram a dependência entre C_3 e a fase do MSSF proposto. Como pode ser observado, a medida que esta capacitância é incrementada, a fase do Filtro é corrigida. No entanto, também é possível observar uma maior atenuação em altas frequências e, como consequência, menor ganho de *loop*. Contudo, esta redução do ganho do Filtro pode ser compensada pelo aumento do K_{PD} , uma vez que C_1 não precisa ser muito grande.

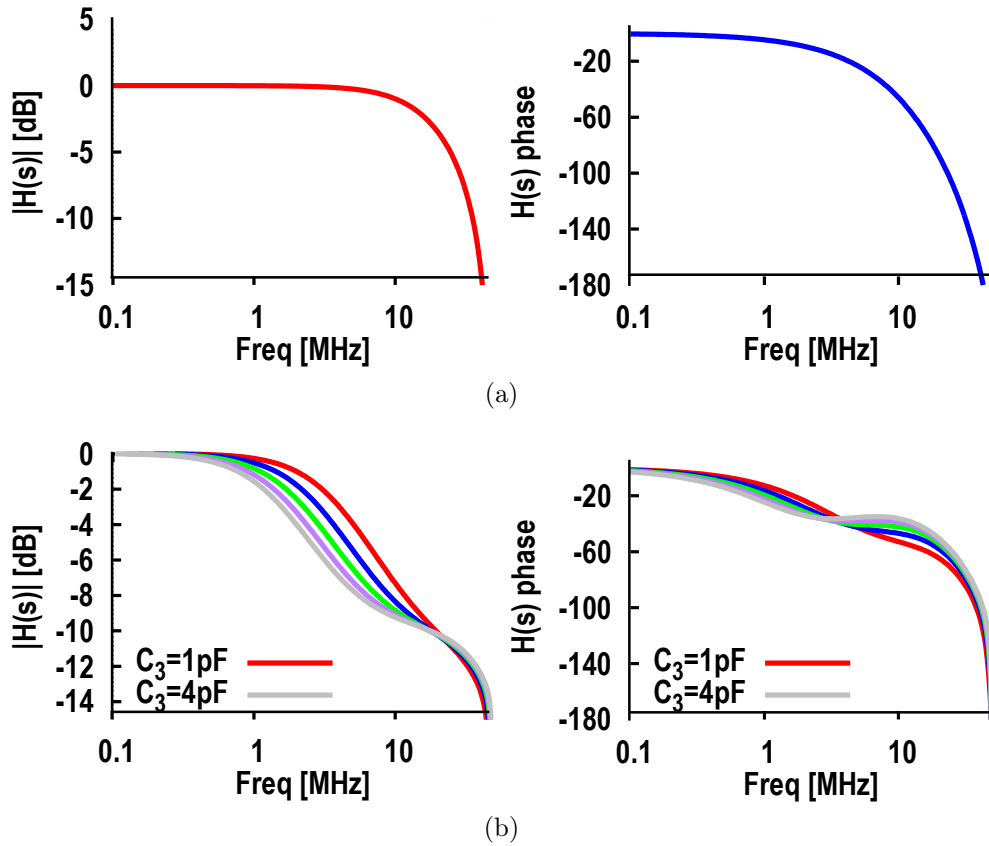


Figura 36 – Simulação de Magnitude e Fase: a) MSSF típico, e b) MSSF proposto em função do capacitor C_3 . Fonte: Autor

O esquemático do Filtro projetado é apresentado na Figura 37.

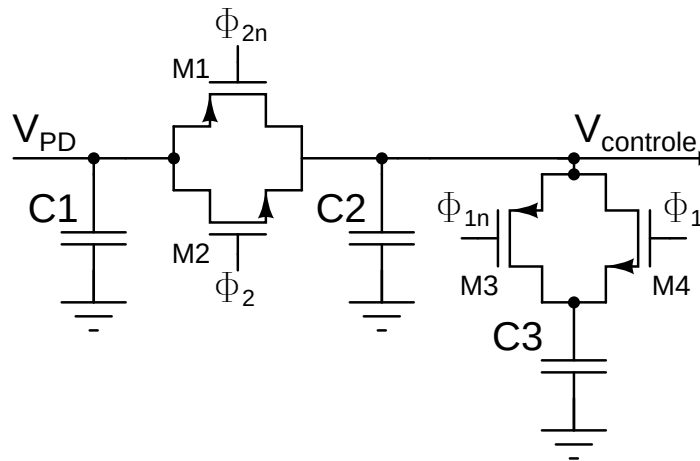


Figura 37 – Esquemático do Filtro projetado. Fonte: Autor

Para o circuito proposto, as dimensões de cada um dos transistores são apresentadas na Tabela 12, sendo $C_1 = C_3 = 2.5 \text{ pF}$ e $C_2 = C_1/2$.

Tabela 3 – Dimensões dos transistores da célula do filtro proposto

Transistor	Largura [μm]	Comprimento [μm]	Fator de multiplicação
M1	2	0.18	1
M2	1	0.18	1
M3	2	0.18	1
M4	1	0.18	1

3.1.3 VCO

A topologia em anel com quatro células e uma porta inversora foi utilizada para o projeto do VCO. Suas características e vantagens foram apresentadas na seção 2.1.2.3. O projeto do VCO implementado neste trabalho pode ser visto na Figura 38.

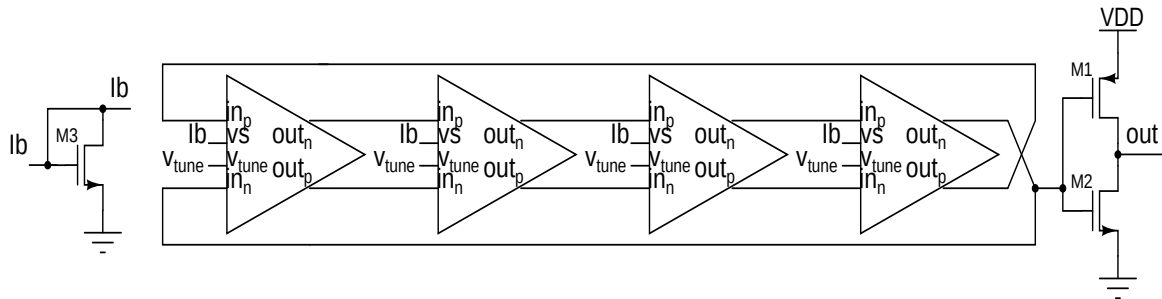


Figura 38 – Esquemático do VCO proposto Fonte: Autor

As dimensões dos três transistores dispostos no esquemático acima são apresentadas na Tabela 4.

Tabela 4 – Dimensões dos transistores do VCO

Transistor	Largura [μm]	Comprimento [μm]	Fator de multiplicação
M1	3	0.18	3
M2	1	0.18	1
M3	5	3	1

O esquemático de cada célula do VCO (Figura 39) foi baseado na célula de atraso do oscilador apresentado em [NAGAM and KINGET \[2018c\]](#). A topologia diferencial foi utilizada devido ao seu nível de cancelamento do ruído oriundo da fonte de alimentação e, conseqüentemente, obtendo uma redução do *jitter* agregado do VCO.

As dimensões de cada um dos transistores da célula do VCO são apresentadas na Tabela 5.

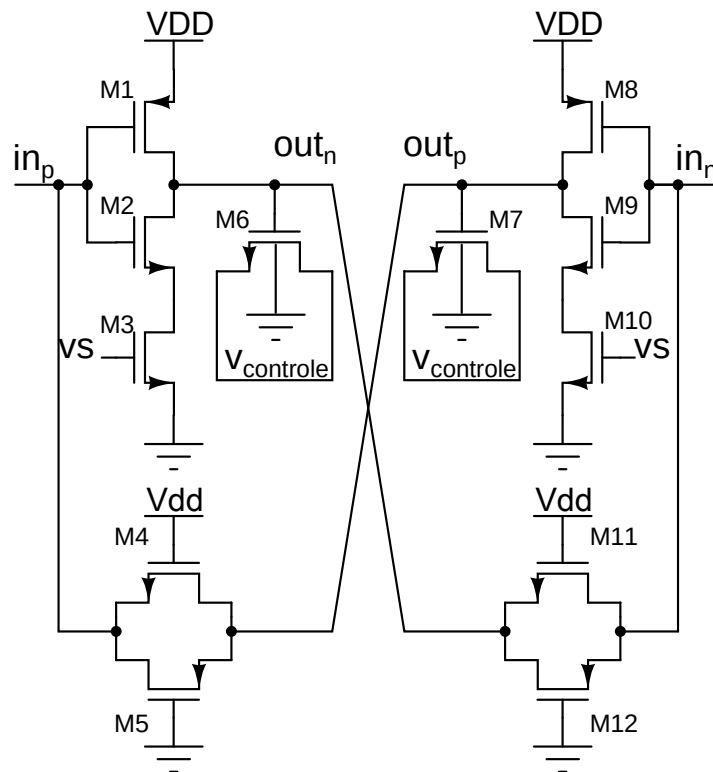


Figura 39 – Esquemático da célula do VCO proposto. Fonte: Autor

Tabela 5 – Dimensões dos transistores da célula do VCO

Transistor	Largura [μm]	Comprimento [μm]	Fator de multiplicação
M1	12	0.18	2
M2	5	0.18	2
M3	5	0.18	2
M4	5	0.18	1
M5	12	0.25	1
M6	5	1	1
M7	5	1	1
M8	12	0.18	2
M9	5	0.18	2
M10	5	0.18	2
M11	5	0.18	1
M12	12	0.25	1

A faixa de frequência do VCO pode ser ajustada por um circuito de corrente de polarização controlado digitalmente que define a corrente pelos inversores M1-M2 e M8-M9. Para este projeto, foi utilizada uma corrente I_b de $50 \mu\text{A}$ proveniente de um circuito externo ao VCO, chamado *Beta Multiplier*, responsável por fornecer uma corrente com a menor variação possível em função das variações PVT. Este circuito será tratado no Tópico 3.2.1.

Percebe-se através da Figura 39 que os transistores M6 e M7 estão conectados

como capacitor. Nesta configuração, a medida que a tensão V_{DS} aumenta, tem-se uma redução da capacitância do MOSFET na configuração de capacitor. Dessa forma, a tensão $V_{controle}$ define o atraso da resposta (*delay*) do VCO, em função do tempo de carga e descarga dos “capacitores” de cada célula. Optou-se pelo uso dos transistores conectados como capacitores, pois devido as regras de projeto da tecnologia utilizada, o capacitor metal-isolante-metal (MiM) ocuparia um espaço relativamente maior.

Pode-se avaliar de forma mais direta que a corrente I_b é responsável pelo ajuste primário da frequência de operação do VCO, enquanto a tensão de controle pelo ajuste fino da mesma.

Assim sendo, o sinal $V_{controle}$ controla a frequência de oscilação do VCO e a Figura 40 mostra a variação da frequência de saída do VCO em função da tensão de controle do mesmo.

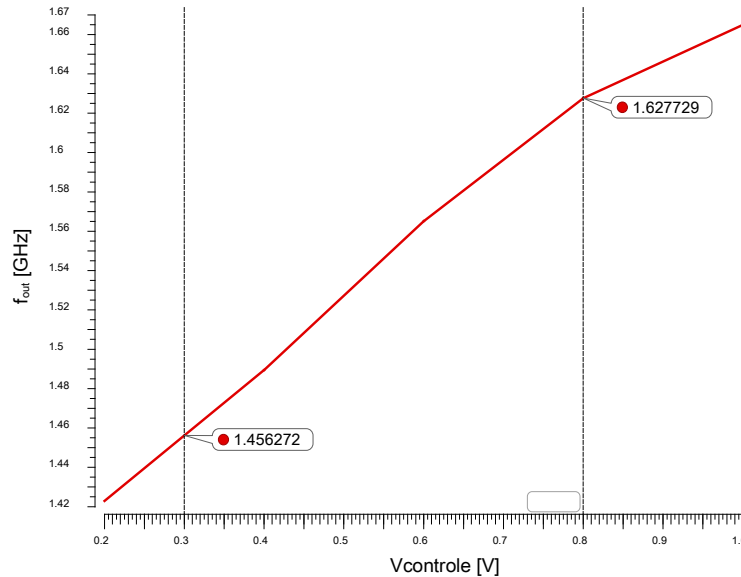


Figura 40 – Simulação do VCO do PLL. Fonte: Autor

Como esperado, a medida que a tensão de controle aumenta, diminui-se a capacitância de M6 e M7 de cada célula. Com esta redução, aumenta-se a velocidade de resposta do circuito e, conseqüentemente, a frequência de oscilação do sinal de saída do VCO. Em contrapartida, a medida que a tensão de controle diminui, diminui-se também a frequência de oscilação do sinal de saída. Portanto, tem-se uma relação direta entre $V_{controle}$ e clk_{out} , K_{VCO} , dada pela seguinte relação:

$$K_{VCO} = \frac{1.627729 \times 10^9 - 1.456272 \times 10^9}{0.8 - 0.3} \approx 342 \text{ MHz/V} \quad (3.3)$$

3.1.4 Divisor

O Divisor proposto neste trabalho é formado por 5 *flip-flops* tipo D, como mostrado na Figura 41. Através da Equação 2.6, pode-se concluir que este bloco possui um fator de divisão de 32. À vista disso, a partir de um sinal de referência de 50 MHz, obtem-se a frequência de saída de 1.6 GHz, como proposto neste trabalho.

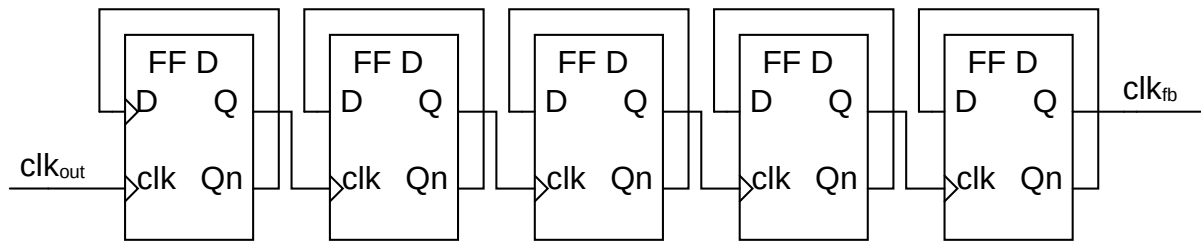


Figura 41 – Esquema do Divisor projetado. Fonte: Autor

Devido à dinâmica do PLL proposto e sua alta frequência de operação, foi projetado um *flip-flop* do tipo TSPC (*True Single-Phase Clock*) que pode realizar a operação em alta velocidade com menor consumo de energia e área, além de gerar menor ruído de fase. O esquemático do *flip-flop* tipo D - TSPC, apresentado em RAZAVI [2020], é mostrado na Figura 42 e as dimensões de cada um dos transistores na Tabela 6.

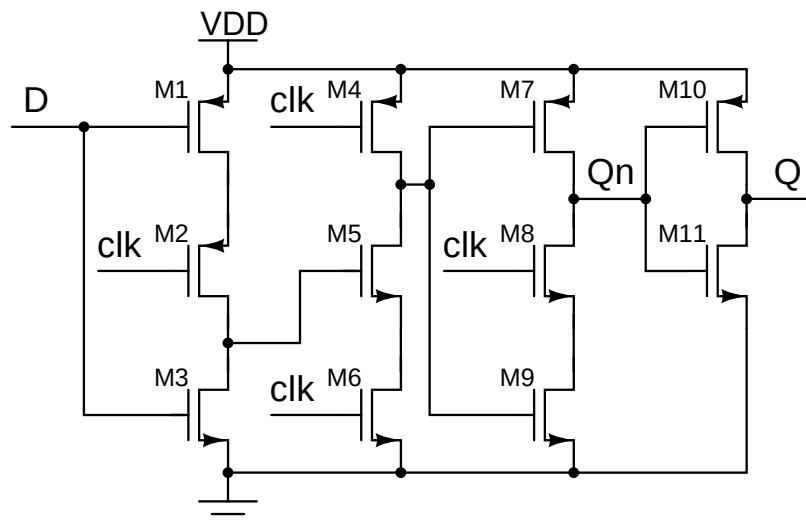


Figura 42 – *Flip-flop* tipo D - TSPC do Divisor projetado. Fonte: Autor

Tabela 6 – Dimensões dos transistores dos *flip-flops*

Transistor	Largura [μm]	Comprimento [μm]	Fator de multiplicação
M1	2.5	0.18	2
M2	2.5	0.18	2
M3	1	0.18	1
M4	2.5	0.18	1
M5	2	0.18	1
M6	2	0.18	1
M7	2.5	0.18	1
M8	2	0.18	1
M9	2	0.18	1
M10	2.5	0.18	1
M11	1	0.18	1

O resultado da simulação do Divisor pode ser visto na Figura 43.

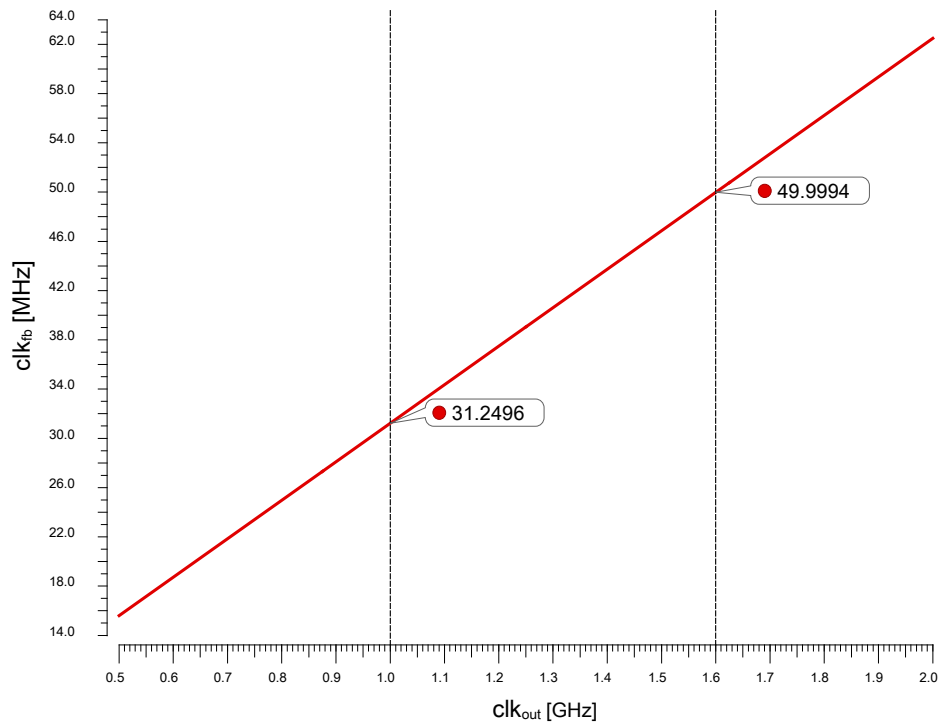


Figura 43 – Simulação do Divisor projetado. Fonte: Autor

A frequência de saída do Divisor (clk_{fb}) é 32 vezes menor que a frequência do seu sinal de entrada (clk_{out}), referente ao *VCO*, nos dois pontos da figura.

$$\frac{clk_{out}}{clk_{fb}} = \frac{1.0GHz}{31.2496MHz} = \frac{1.6GHz}{49.9994MHz} \approx 32 \quad (3.4)$$

Assim, o Divisor projetado é validado e a topologia escolhida para os *flip-flops* que o compõem apresentou o funcionamento esperado na frequência de operação do PLL.

3.1.5 Gerador de *Clock* Sem Sobreposição

O esquemático do circuito Gerador de *Clock* Sem Sobreposição utilizado foi o mesmo apresentado na Figura 20. Como foi mostrado no Capítulo 2, esse circuito é formado por portas lógicas AND e NOT. Embora sejam circuitos amplamente conhecidos, os esquemáticos destas portas são mostradas na Figura 44 e na Figura 45 [RAZAVI, 2020], respectivamente, junto as dimensões dos transistores utilizados na Tabela 7 e na Tabela 8, na devida ordem. Este dimensionamento é importante para o funcionamento proposto.

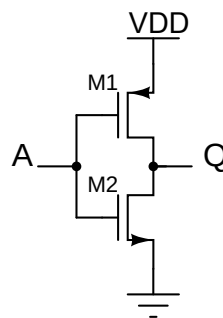


Figura 44 – Esquemático da porta NOT. Fonte: Autor

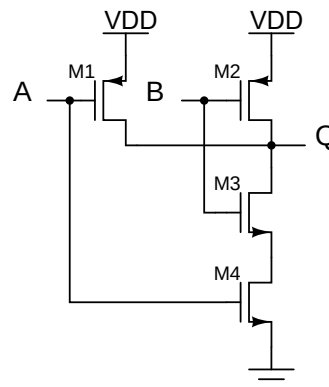


Figura 45 – Esquemático da porta NAND. Fonte: Autor

Tabela 7 – Dimensões dos transistores da porta NOT

Transistor	Largura [μm]	Comprimento [μm]	Fator de multiplicação
M1	2.5	0.18	1
M2	1	0.18	1

Tabela 8 – Dimensões dos transistores da porta NAND

Transistor	Largura [μm]	Comprimento [μm]	Fator de multiplicação
M1	2.5	0.18	1
M2	2.5	0.18	1
M3	1	0.18	1
M4	1	0.18	1

O resultado da simulação do circuito projetado pode ser visto na Figura 46 e é possível observar que as duas saídas do circuito nunca se sobrepõem, como esperado, validando o projeto em questão.

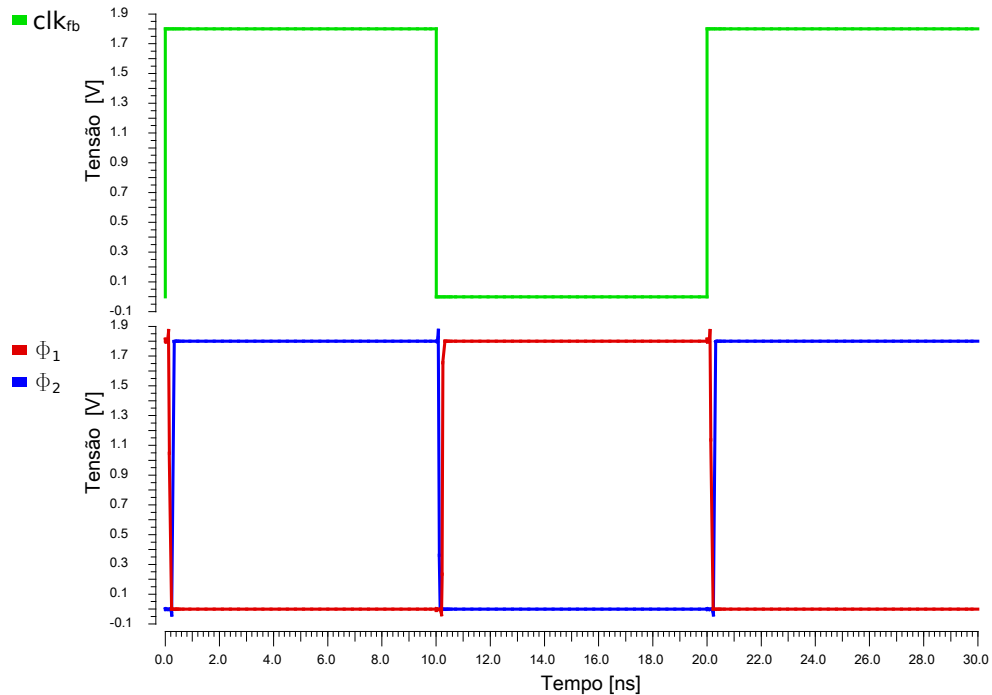


Figura 46 – Simulação do Gerador de *Clock* Sem Sobreposição projetado. Fonte: Autor

3.2 Blocos periféricos

Os blocos principais da topologia do PLL escolhida foram apresentadas na seção anterior. No entanto, alguns blocos periféricos são necessários para o completo funcionamento do circuito e para medições físicas após a fabricação do *chip*. Estes blocos são o *Beta Multiplier* e o *Buffer* de Saída, respectivamente. Esta seção tem por objetivo apresentar estes circuitos, junto às suas funções e características de projeto.

3.2.1 *Beta Multiplier*

Como visto no Capítulo 2, o circuito *Beta Multiplier* é mais estável e confiável do que um simples espelho de corrente para fornecimento de uma corrente constante.

Além disso, como mencionado na seção de projeto, o VCO foi projetado para uma corrente I_b de $50 \mu A$ e, para permitir algumas alterações para os testes experimentais, foi pensada uma estratégia para que fosse possível alterar este valor em, aproximadamente, 25%.

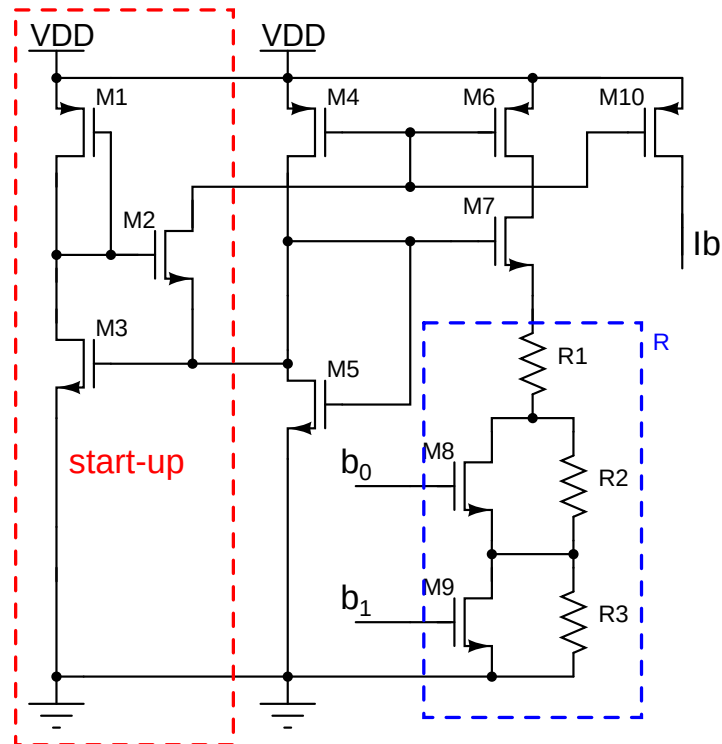


Figura 47 – Esquemático do *Beta Multiplier* projetado. Fonte: Autor

Neste circuito proposto, as duas entradas, b_0 e b_1 , controlam o valor da resistência equivalente, R , do ramo, responsável pela definição da corrente I que será referência para o espelho de corrente da corrente de saída do *Beta Multiplier*, I_b . Para alcançar estes valores, foram utilizados os seguintes valores para os resistores: $R_1 = 2,8 \text{ k}\Omega$, $R_2 = 485 \text{ }\Omega$ e $R_3 = 1,54 \text{ k}\Omega$. Sendo assim, os transistores M_8 e M_9 possuem o mínimo comprimento do canal da tecnologia utilizada para que, quando conduzindo, sua resistência seja mínima e, quando cortado, a resistência equivalente seja a do resistor em paralelo ao mesmo.

Para o esquemático proposto, as dimensões de cada um dos transistores são apresentadas na Tabela 9.

Tabela 9 – Dimensões dos transistores da célula do *Beta Multiplier* proposto

Transistor	Largura [μm]	Comprimento [μm]	Fator de multiplicação
M1	1	10	1
M2	5	1	1
M3	1	5	1
M4	10	2	2
M5	3	2.34	2
M6	10	2	2
M7	3	2.34	2
M8	5	0.18	1
M9	5	0.18	1
M10	10	2	2

Como resultado da simulação do *Beta Multiplier* projetado, pode-se observar a Tabela 10, na qual é mostrada a combinação das entradas de seleção e o valor medido da corrente de saída.

Tabela 10 – Simulação do *Beta Multiplier*

b_0 (V)	b_1 [V]	Corrente de Saída - I_b [μ A]
0	0	32.0367
0	1.8	49.9761
1.8	0	37.5028
1.8	1.8	62.3545

Para a situação $[b_0, b_1]=[0, 1.8]$ tem-se a condição geral do circuito apresentada na Tabela 11.

Tabela 11 – Correntes do *Beta Multiplier* para $I_b = 49.9761 \mu$ A

Transistor referência do ramo	Corrente [μ A]
M1	3.24775
M4	49.0095
M6	48.8665
M10	49.9761

3.2.2 *Buffer* de Saída

O sinal de saída do projeto integrado é enviado para fora do *chip* para medições e testes através de *buffers* de saída. Para evitar influência negativa na medição, o *buffer* precisa ser superior, em termos de velocidade, ao projeto ao qual é conectado, além de ser capaz de acionar uma carga superior, como um analisador de espectro para as medições e testes do projeto. Uma falha na sua operação afeta diretamente a conclusão sobre o funcionamento de um circuito desenvolvido.

Para medições experimentais no circuito fabricado é necessário que os equipamentos de medição possam extrair as informações do circuito com a maior eficiência possível. Pelo teorema da máxima transferência de potência, sabe-se que esta situação ocorre quando a impedância da carga é idêntica a impedância do circuito vista pelos terminais da carga.

Dessa forma, é necessário o projeto de um *Buffer* na saída do PLL que apresente a mesma impedância do analisador de espectro que será usado para análise do PLL fabricado, além da corrente suficientemente alta para possibilitar as medições de forma confiável. Este *Buffer* foi projetado para suportar a carga de 50Ω e seu esquemático é apresentado na Figura 48.

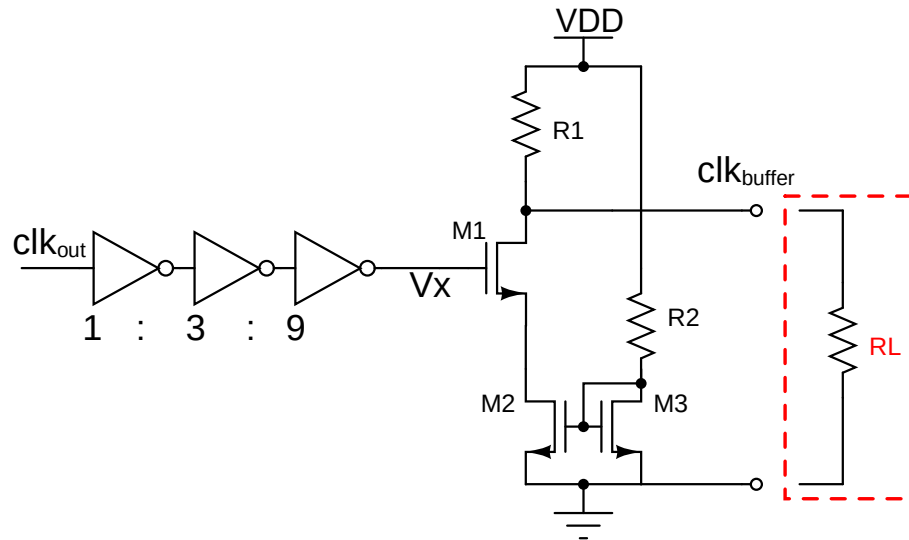


Figura 48 – Esquemático do *Buffer* projetado. Fonte: Autor

Para o esquemático proposto, as dimensões de cada um dos transistores são apresentadas na Tabela 12.

Tabela 12 – Dimensões dos transistores da célula do *Buffer* proposto

Transistor	Largura [μm]	Comprimento [μm]	Fator de multiplicação
M1	5	0.5	20
M2	5	0.5	20
M3	5	0.5	1

Os inversores usados possuem dimensões $W/L = 12/0.18 \mu\text{m}$ e $W/L = 5/0.18 \mu\text{m}$ para os transistores PMOS e NMOS, respectivamente. O fator de multiplicação é mostrado no próprio esquemático (Figura 48).

Como pode ser observado, o sinal de entrada passa por uma cadeia de inversores. Esses inversores escalonados em 1:3:9 são responsáveis por permitir o acionamento de uma carga de impedância maior e reduzir os tempos de subida e descida dos inversores em comparação a um único inversor de dimensões maiores, minimizando o consumo de potência em relação a este.

Em relação a impedância de saída deste circuito vista pela carga, R_L , é necessário observar que o transistor M1 funciona como uma chave em função do sinal de saída da cadeia de inversores, V_x . Conseqüentemente, duas situações de condução do transistor devem ser observadas.

Quando V_x está em nível lógico baixo, o transistor M1 está operando na região de corte e a impedância do circuito vista pela carga é somente a resistência R_1 , teoricamente. No entanto, quando V_x está em nível lógico alto, a resistência vista pela carga é o paralelo de R_1 com a resistência equivalente dos transistores M1 e M2 que estão em cascata. Essa resistência da cascata dos transistores pode ser dada por

$$R_{eq} = r_{oM1} + r_{oM2} + gm_{M1}r_{oM1}r_{oM1} \quad (3.5)$$

O dimensionamento do circuito foi feito para que R_{eq} fosse muito maior que $R1$ e, portanto, quando conectados em paralelo, a resistência equivalente pudesse ser aproximada para $R1$. Desta forma, a resistência vista pela carga sempre se aproxima de $R1$, neste projeto foi utilizado um resistor de polisilício de 47.6346Ω , favorecendo a máxima transferência de potência comentada anteriormente.

Seguindo a análise do *Buffer*, observa-se um espelho de corrente formado entre os resistores $M2$ - $M3$, no qual a corrente em $M3$ seria a corrente de referência. Essa corrente pode ser dada por

$$I_{ref} = \frac{V_{DD} - V_{GS_{M3}}}{R} \quad (3.6)$$

Para garantir uma inversão forte do transistor $M3$, sem um elevado consumo de potência, definiu-se a resistência $R2$ de, aproximadamente, $1.16 \text{ k}\Omega$, obtendo uma corrente de referência para o espelho de corrente de, aproximadamente, $530 \mu\text{A}$.

A simulação da cadeia de inversores pode ser vista na Figura 49.

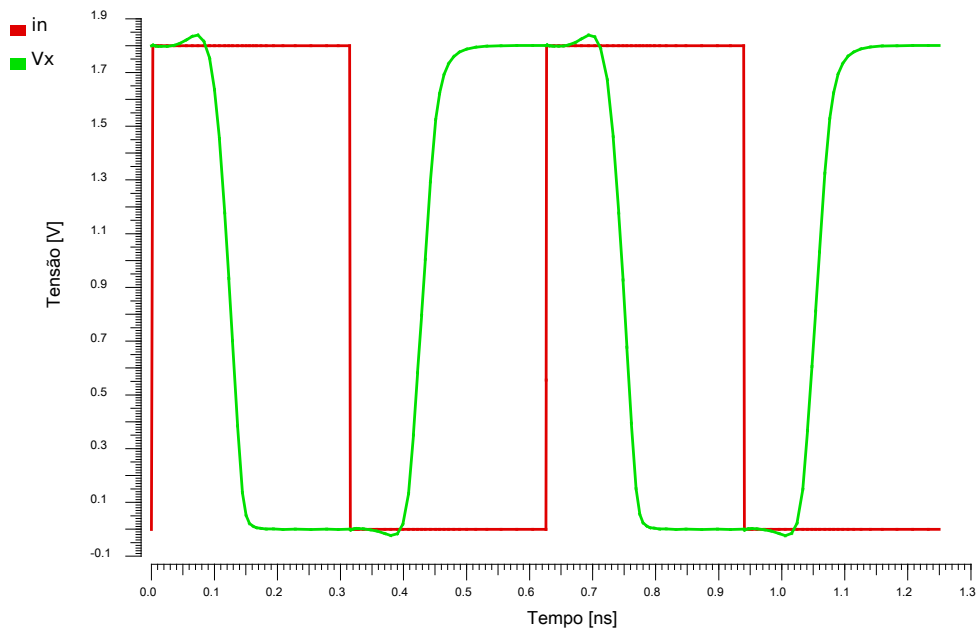


Figura 49 – Simulação do sinal de saída da cadeia de inversores do *Buffer* projetado. Fonte: Autor

Para uma carga de 50Ω , a simulação da corrente e da tensão de saída podem ser vistas na Figura 50.

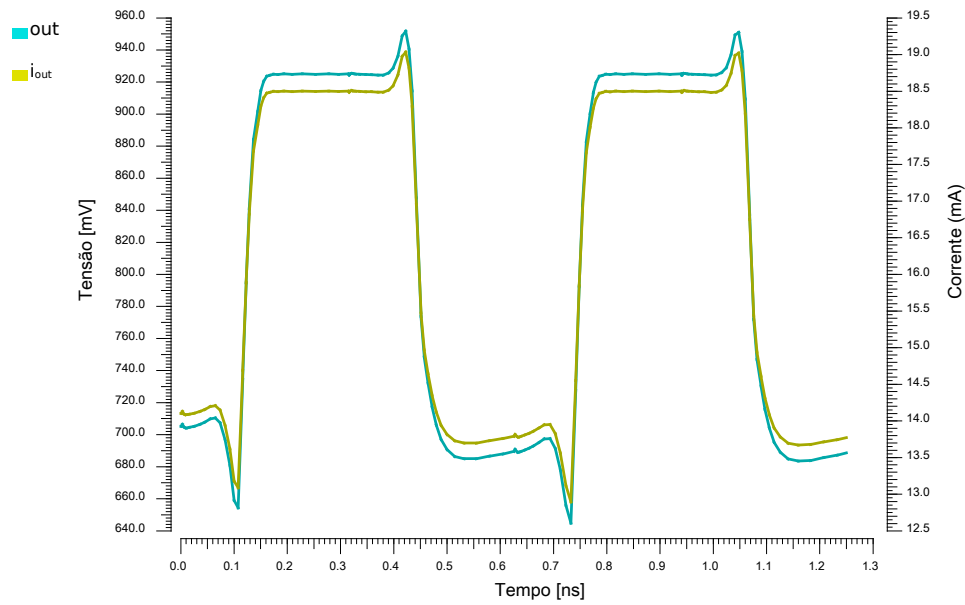


Figura 50 – Simulação do sinal de saída do *Buffer* para uma carga de 50Ω . Fonte: Autor

3.3 Projeto

Considerando os blocos individuais do projeto proposto nesta dissertação, a Figura 51 apresenta o esquemático final do PLL completo.

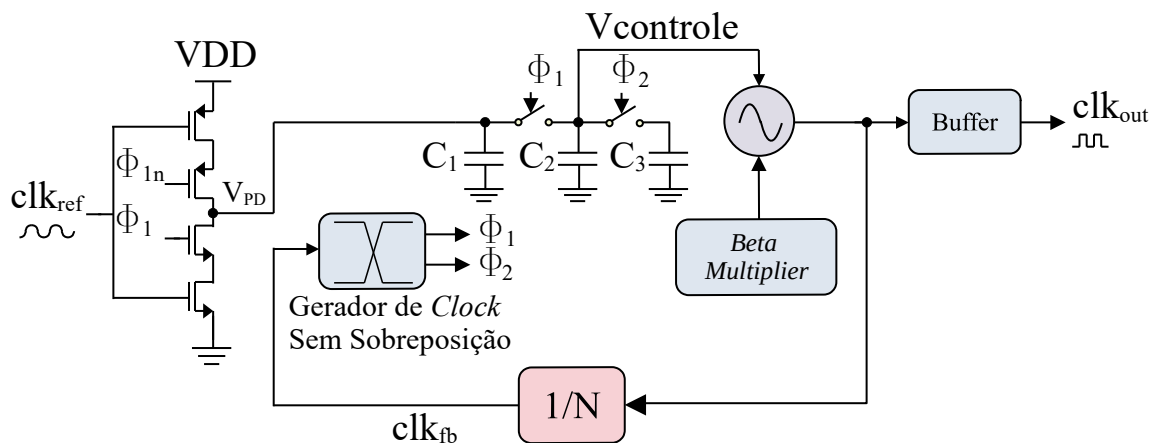


Figura 51 – Esquemático do PLL projetado. Fonte: Autor

Para este circuito, foi desenvolvido o *layout* apresentado na Figura 52, com dimensões de $70 \mu\text{m}$ por $150 \mu\text{m}$, totalizando uma área de 0.0105 mm^2 . Para este projeto, os capacitores utilizados foram do tipo MiM, com exceção da célula do VCO, como já comentado. Além disso, os resistores utilizados foram de polisilício.

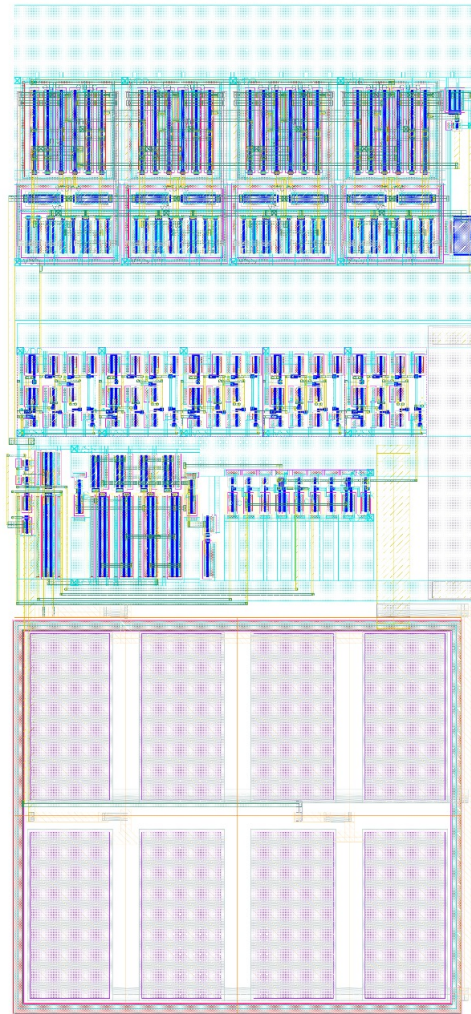


Figura 52 – *Layout* do PLL projetado. Fonte: Autor

Apresentada a descrição funcional de cada bloco do PLL, incluindo os dois blocos extras para medições do circuito quando fabricado, deve-se validar o funcionamento completo do PLL, unindo todos os blocos para analisar a dinâmica de operação do mesmo. Esta análise será feita no próximo capítulo e os resultados obtidos serão comparados a outros trabalhos do estado da arte.

3.4 Resumo do Capítulo

Neste capítulo, foi apresentado o projeto do PLL Tipo I proposto nesta dissertação. Em um primeiro momento, foram abordados os circuitos desenvolvidos de cada bloco que o compõe. Para cada um desses blocos apresentados, foram mostrados as simulações e/ou características práticas, validando o funcionamento de cada um deles. Em um segundo momento, foi mostrado o circuito do PLL completo, com *layout* de fabricação. No próximo capítulo, serão apresentados os resultados das simulações do PLL.

Capítulo 4

Análise dos Resultados

Com todos os blocos desenvolvidos e testados individualmente, partiu-se para a validação do sistema como um todo. O sistema final, apresentado na Figura 51, foi simulado para diferentes efeitos e comparado a outros trabalhos do estado da arte, a fim de que fosse possível avaliar a relevância dos resultados obtidos. Como já mencionado no capítulo anterior, todas as simulações foram feitas no *software* Virtuoso da Cadence.

A primeira simulação de interesse é do ruído de fase em função do trabalho usado como referência no desenvolvimento deste, apresentado em KONG and RAZAVI [2016]. Como já discutido no Capítulo 2, o ruído de fase é um parâmetro de extrema importância para avaliação de um PLL. A Figura

53 **Simulação do Ruído de Fase** apresenta três simulações diferentes do ruído de fase do S-PLL, para se comparar o efeito de algumas mudanças discutidas e propostas neste trabalho: 1) usando o filtro MSSF e a porta lógica XOR típica como Detector de Fase, 2) usando o Filtro proposto neste trabalho, mantendo a XOR como Detector de Fase, e 3) usando o Filtro e o Detector de Fase dinâmico propostos.

Como pode ser observado, para o filtro proposto junto ao PD dinâmico, uma largura de banda de 25 MHz foi obtida, além de um ruído de fase de, aproximadamente, -118 dBc/Hz. Assim, este trabalho alcançou melhores resultados simulados de largura de banda e ruído de fase em relação ao S-PLL, confirmando a discussão teórica apresentada na seção 3.1.2. Dado este resultado positivo, outras simulações foram feitas.

Para avaliar o comportamento do PLL proposto no domínio do tempo, duas simulações foram feitas: uma para observar a variação da frequência de oscilação do PLL (Figura 54) e outra para avaliar a tensão de controle do VCO e seu *ripple* (Figura 55).

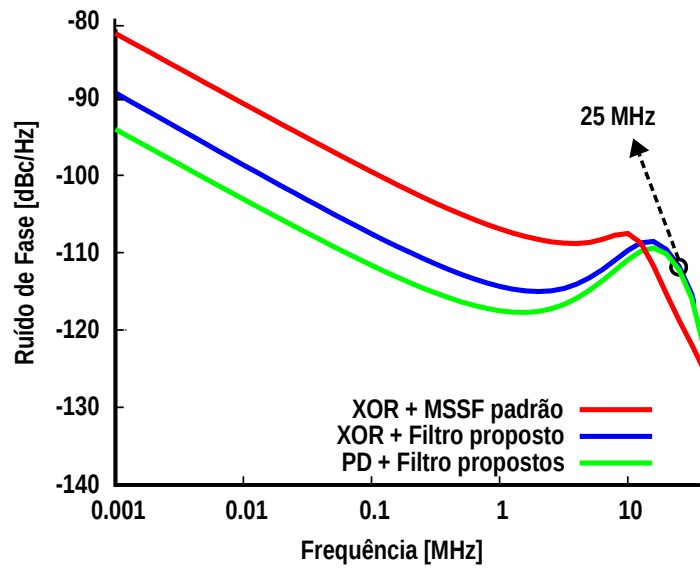


Figura 53 – Simulação do Ruído de Fase. Fonte: Autor

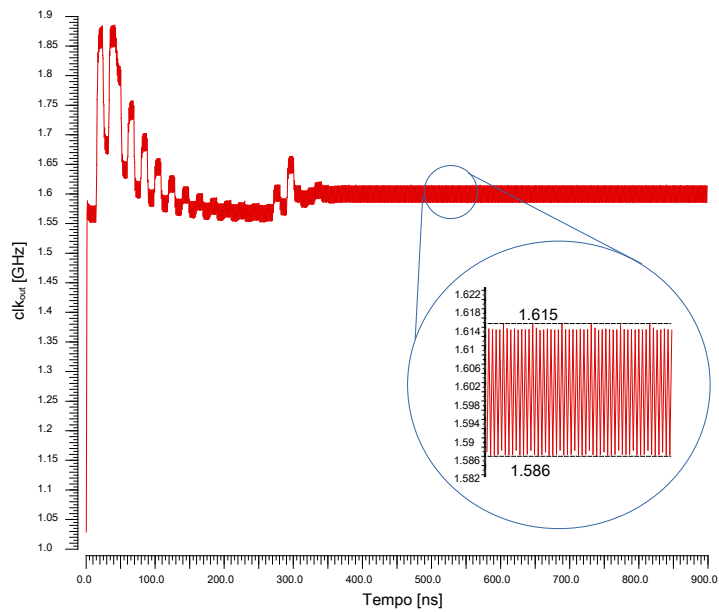


Figura 54 – Variação da frequência de oscilação em função do tempo. Fonte: Autor

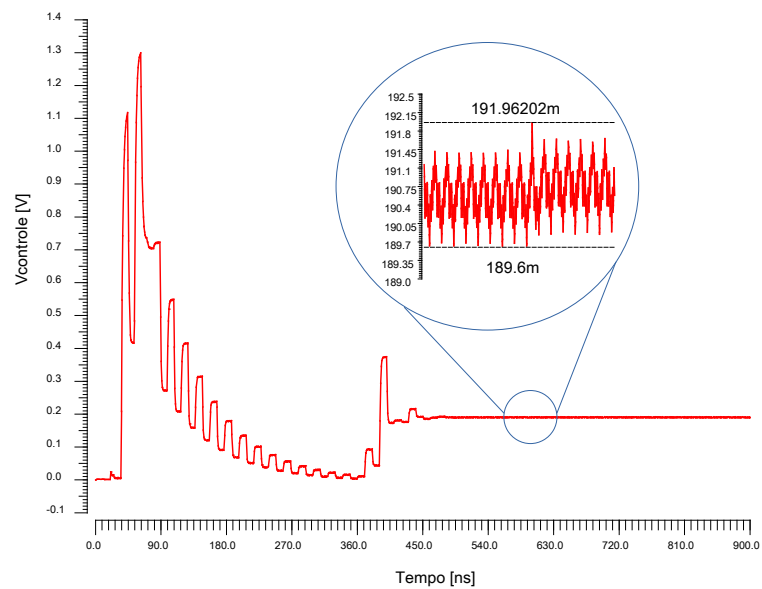


Figura 55 – Variação da tensão de controle em função do tempo. Fonte: Autor

Analisando os resultado das simulações é possível observar que, após o tempo de acomodação do circuito, em torno dos 400 ns, a frequência de oscilação varia em, aproximadamente, $\pm 0,9\%$ em relação ao valor de projeto, 1.6 GHz. Em relação à tensão de controle do VCO, pode-se observar uma oscilação da tensão em, aproximadamente, $\pm 0.6\%$, considerando o valor médio do sinal, após o tempo de acomodação.

Diante desses resultados, percebe-se que o PLL apresentado possui um bom fator de *ripple* da tensão de controle do VCO que influencia positivamente na baixa taxa de variação da frequência do sinal de saída.

No domínio da frequência é possível obter informações a respeito da dinâmica do PLL em relação a frequência de saída desejada, além dos espúrios do sinal. A Figura 56 apresenta o resultado da simulação do circuito no domínio da frequência, destacando a amplitude do espúrio que é de, aproximadamente, -63 dBc.

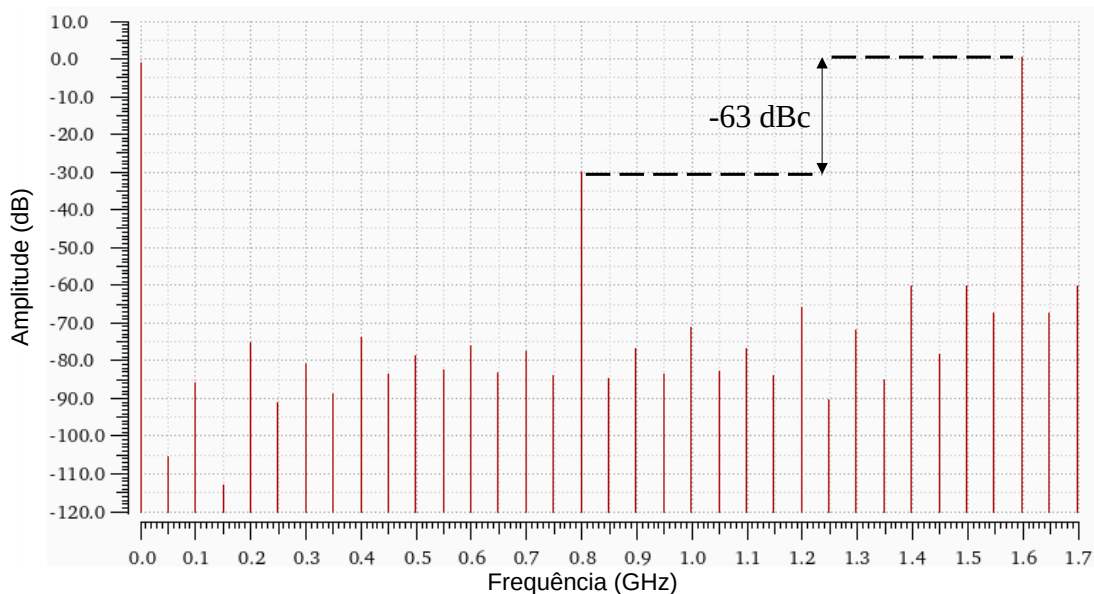


Figura 56 – Resposta em frequência do PLL projetado e espúrio. Fonte: Autor

Para cálculo do *jitter*, fez-se, primeiramente, a simulação para a análise PSS (*Periodic Steady-State*) e, em seguida, a simulação para a análise PNOISE. Dentre os resultados da simulação, pode-se obter o *jitter* RMS para uma faixa de frequência escolhida. Para este projeto, o *jitter* RMS simulado foi de 486 fs para uma faixa escolhida de 1 kHz à 40 MHz.

Em relação à potência, o PLL proposto possui um consumo de, aproximadamente, 10 mW, conforme Tabela 13.

Como esperado, a maior parcela deste consumo está relacionada ao VCO. Isto pode ser melhor observado através da Figura 57.

A Tabela 14 apresenta um comparativo dos resultados das simulações e do projeto

Tabela 13 – Distribuição do consumo de potência do PLL após o tempo de acomodação

Bloco	Potência
Detector de Fase + Filtro	283,4442 μ W
VCO	9.4754 mW
Divisor	421.2612 μ W
Gerador de <i>Clock</i> Sem Sobreposição	26.0771 μ W
TOTAL	10.2062 mW

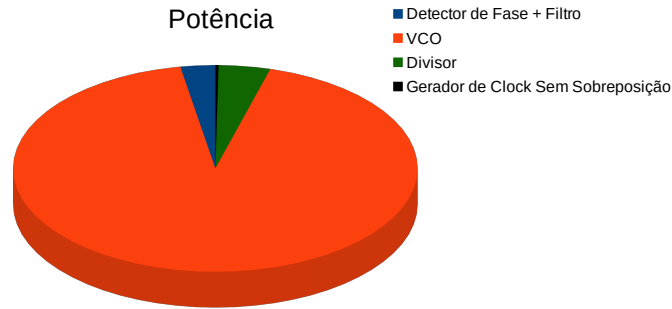


Figura 57 – Distribuição da potência consumida do PLL por bloco. Fonte: Autor

apresentado nesta dissertação e alguns outros trabalhos relevantes do estado da arte sobre PLL, em função de parâmetros usuais para a análise do comportamento dos mesmos.

Tabela 14 – Resultados da Simulação

Resultados	Trabalho Referência			
	Ref. 1 ⁽¹⁾	Ref. 2 ⁽²⁾	Ref. 3 ⁽³⁾	Este
	Experimentais			Simulados
Tecnologia CMOS [nm]	45	28	65	180
Frequência de Referência [MHz]	22.6	103	47	50
Frequência de Saída [GHz]	2.4	3.296	3.008	1.6
Largura de Banda [MHz]	10	~ 20	~ 23.5	25
Espúrio [dBc]	-65	-63.9	-71	-63
RMS Jitter [fs]	970	440	357	486
Alcance Integrado	(1k-200MHz)	(1k-40MHz)	(1k-80MHz)	(1k-40MHz)
Ruído de Fase @1MHz [dBc/Hz]	-113.8	-116.6	-121.6	-118
Tensão [V]	1	0.9	1.2/2.2	1.8
Potência [mW]	4	3.3	4.6	10
FoM [dB] ⁽⁴⁾	-234.2	-241.9	-242.3	-236.3
Área [mm ²]	0.015	0.003	0.047	0.0105

(1) KONG and RAZAVI [2016]

(2) YANG et al. [2021]

(3) LEE et al. [2018]

(4) $FoM = 10 \log_{10} \left[\left(\frac{jitter}{1s} \right)^2 \left(\frac{power}{1mW} \right) \right]$

O primeiro ponto a ser observado entre os trabalhos é a tecnologia CMOS utilizada em função da área consumida. Mesmo sendo o único projetado em tecnologia CMOS 180 nm, a área de projeto da proposta apresentada nesta dissertação é compatível com

os outros trabalhos. Além disso, a largura de banda obtida na topologia apresentada é superior aos trabalhos comparados.

Como já visto, o ruído de fase deste trabalho é de -118 dBc/Hz. Ainda considerando aqueles parâmetros estudados no Capítulo 2, pode-se observar que o valor do *jitter* também é compatível com os trabalhos analisados. Já em relação aos espúrios do circuito, este trabalho apresenta um desempenho superior.

Em relação à potência consumida, a potência consumida deste trabalho é maior. No entanto, a tensão de trabalho para a tecnologia aplicada também é maior, 1.8 V. Em suma, avaliando o circuito físico e validando os resultados tabelados, é possível projetar o PLL proposto em uma tecnologia mais atualizada, com menor tensão de alimentação, que, muito provavelmente, melhorará os resultados da potência, além do parâmetro *FoM* que leva também em consideração a potência consumida.

4.0.1 Testes experimentais

No tópico anterior foram apresentados os resultados das simulações do PLL para análise dos diferentes parâmetros de interesse, como mostrado na Tabela 14. Dada a relevância dos valores simulados em comparação aos outros trabalhos do estado da arte, a etapa seguinte é a análise experimental do circuito.

O *chip* foi projetado em tecnologia 180 nm da empresa *Taiwan Semiconductor Manufacturing Company* e foi enviado para fabricação no IMEC na Bélgica, mas o prazo de entrega do protótipo era superior ao tempo de conclusão do Mestrado. Embora os testes não tenham sido efetuados, este tópico tem por objetivo o desenvolvimento e apresentação da placa teste que será fabricada para facilitar a análise experimental do *chip*.

O *chip* desenvolvido contém diferentes projetos com o objetivo de que fosse preenchido a maior parte do espaço disponível do mesmo. A Figura 58 apresenta o *chip* enviado para fabricação com dimensões de 1.7 mm x 1.7 mm.

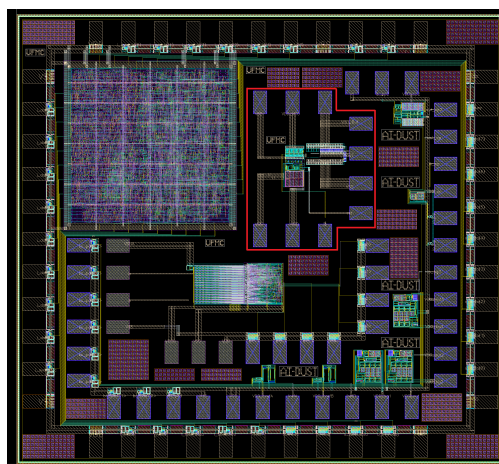


Figura 58 – *Layout* do *chip* projetado. Fonte: Autor

O circuito referente ao PLL foi destacado na figura anterior e pode ser melhor analisado na Figura 59.

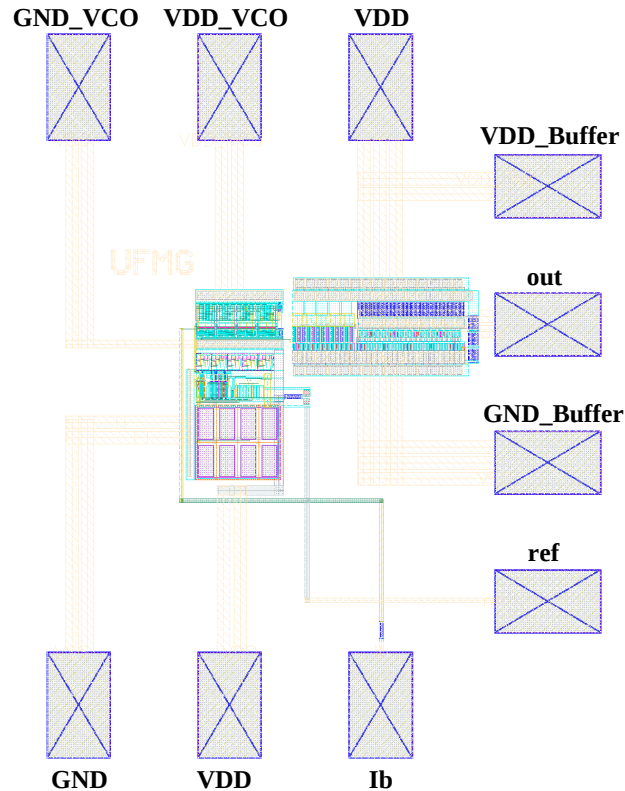


Figura 59 – *Layout* do PLL com os *pads* de conexão. Fonte: Autor

A descrição da função de cada *pad* do *layout* é apresentada na Tabela 15.

Tabela 15 – Descrição dos *pads* utilizados

<i>Pad</i>	Descrição
GND_VCO	Terra do VCO
VDD_VCO	Alimentação do VCO
VDD	Alimentação do circuito principal
VDD_Buffer	Alimentação do <i>Buffer</i> de Saída
out	Saída do PLL
GND_Buffer	Terra do <i>Buffer</i> de Saída
ref	Entrada do sinal de referência
Ib	Entrada da corrente de polarização do VCO
GND	Terra do circuito principal

A partir do circuito final do PLL (Figura 51) foi pensado o circuito base para testes do projeto, cujo *design* estrutural de testes é representado na Figura 60.

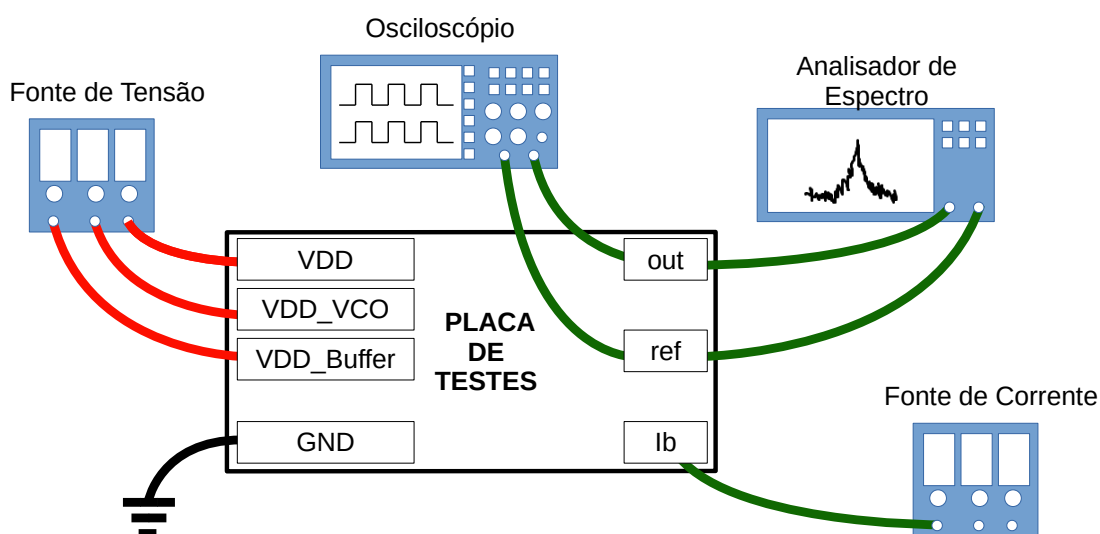


Figura 60 – Esquema de montagem dos equipamentos para testes do PLL. Fonte: Autor

Como pode ser observado:

- Um Gerador de função será utilizado para simular diferentes frequências e amplitudes para o sinal de entrada que na prática pode ser oriundo de um cristal oscilador;
- Uma Fonte de Tensão com três saídas independentes será utilizada para alimentar o VCO, o *Buffer* de Saída e o resto do circuito de forma independente;
- Uma fonte de corrente com resolução de μA substituirá o *Beta Multiplier* para que seja possível analisar com maior precisão o efeito e dependência do VCO com a corrente de polarização;
- Para a análise no domínio da frequência do sinal de saída, um analisador de espectro será utilizado. Além disso, sua outra ponta de prova poderá ser utilizada para avaliar o sinal de referência;
- Para a análise no domínio do tempo, um osciloscópio será utilizado para os sinais de entrada e saída.

Dado o esquema apresentado na Figura 60, foram desenvolvidos o esquemático e o *layout* da placa de circuito impresso, responsável pela *interface* entre o *chip* fabricado e os equipamentos necessários para os testes. A Figura 61 apresenta o esquemático do circuito a ser fabricado para testes do PLL.

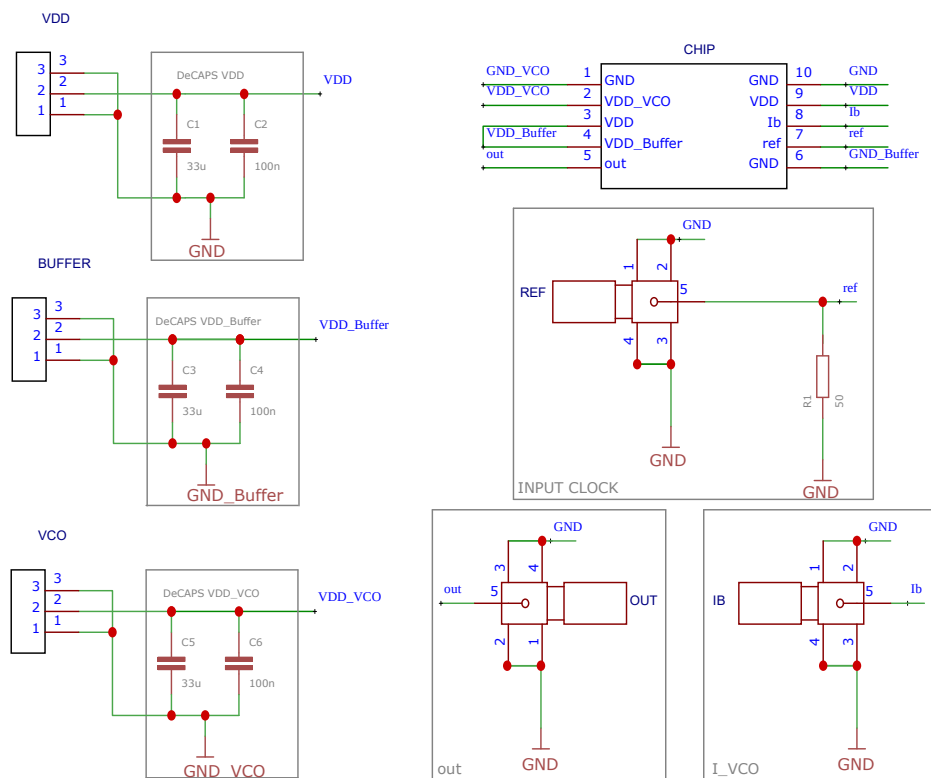


Figura 61 – Esquemático da placa teste. Fonte: Autor

A partir do esquemático do circuito foi desenvolvida a placa impressa do mesmo (*Printed Circuit Board* - PCB, em inglês), conforme Figura 62 com dimensões de 60 mm x 40 mm.

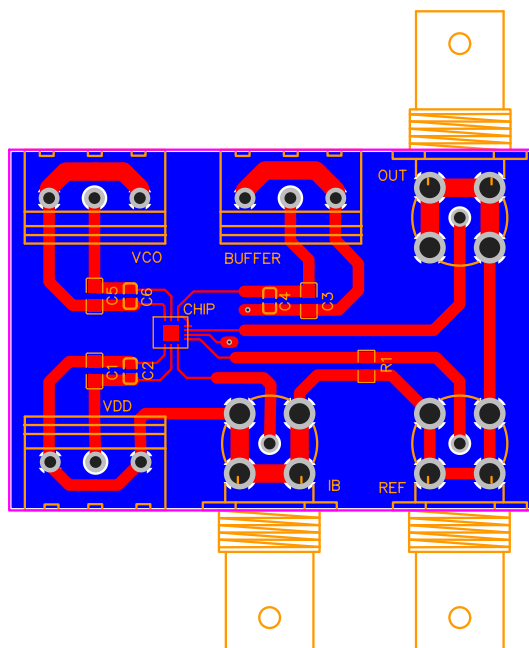


Figura 62 – Layout da placa de teste. Fonte: Autor

Embora a placa ainda não tenha sido fabricada, um esboço 3D da mesma pode ser visto na Figura 63.

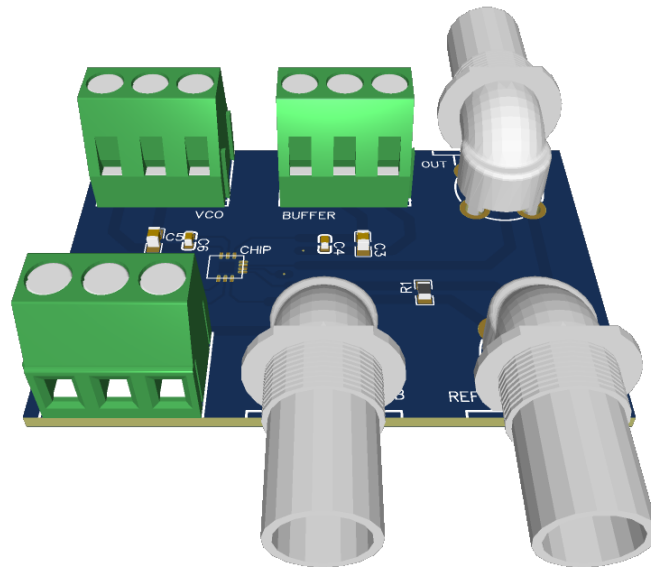


Figura 63 – Esboço 3D da placa de teste. Fonte: Autor

Dentre os aspectos importantes a serem analisados deste circuito, tem-se:

- A conexão entre os *pads* do *chip* e a placa teste serão feitas através de microsoldas, representadas pelas linhas verdes na Figura 62;
- Foram utilizadas associações de capacitores de $33 \mu\text{F}$ e 100 nF em paralelo entre cada terminal de alimentação e sua referência para diminuir o ruído de alimentação do circuito.
- Foram utilizados conectores do tipo SMA para a saída do PLL, entrada de corrente de polarização do VCO e entrada do *clock* de referência;

Em posse da placa teste e do *chip* fabricado, será possível testar o circuito para obter sua resposta em frequência, os espúrios do espectro de frequência, o ruído de fase do PLL, dentre outros parâmetros. Além disso, o uso de fontes reguláveis possibilitará diferentes testes a partir da variação dos valores de referência de projeto para análise do comportamento do PLL.

4.1 Resumo do Capítulo

Neste capítulo, foram apresentados os resultados das simulações do circuito proposto, incluindo uma tabela comparativa entre ele e algumas topologias apresentadas em outros estudos. Outrossim, foi desenvolvida a placa teste a ser usada para validação física das simulações mencionadas neste capítulo.

Capítulo 5

Conclusões e propostas futuras

5.1 Conclusões

Este trabalho apresentou o projeto de um PLL Tipo I, baseado no S-PLL [KONG and RAZAVI, 2016], que gerasse um sinal de saída com uma frequência de oscilação de 1.6 GHz, a partir de um sinal de referência de 50 MHz. A proposta é que o PLL pudesse fornecer essa saída com boa *performance* em relação aos parâmetros de qualidade, mencionados no Capítulo 2.

Além da descrição e contextualização de alguns parâmetros para análise do funcionamento do PLL, também foi apresentado no Capítulo 2 um estudo teórico do PLL Tipo I, PLL Tipo II e do S-PLL. Esse estudo foi feito de forma a deixar explícitas as características e limitações de cada uma dessas topologias.

A partir do estudo do S-PLL, escolhido como topologia base para o projeto apresentado neste trabalho, foi dada sequência ao seu desenvolvimento no Capítulo 3. Para o fator de multiplicação de 32 escolhido neste trabalho, o S-PLL apresentaria uma margem de fase reduzida e, partindo deste ponto, foi desenvolvido o Filtro apresentado, sendo um incremento àquele do S-PLL, no qual uma nova etapa de capacitores chaveados foi acrescentada ao *Master-Slave Sampling Filter* - MSSF. Com a nova topologia de filtro proposto, foi possível obter um ruído de fase simulado de -118 dBc/Hz em 1 MHz de deslocamento.

Somado a isso, foi proposto o uso de um Detector de Fase que utilizasse um inversor dinâmico controlado por uma das saídas do Circuito Gerador de *Clock* Sem Sobreposição. Com esta topologia, além da resistência de saída do detector ser reduzida, o *buffer* de entrada não foi mais necessário, diminuindo o ruído de fase agregado a ele.

Com estas alterações, além dos resultados simulados já mencionados, foram apresentados, no Capítulo 4, outros parâmetros do funcionamento do circuito que, de forma resumida, pode ser descrita pelo *jitter* integrado de 486 fs, nível de espúrios de -63

dB, consumo de, aproximadamente, 10 mW e 0.0105 mm^2 de área de silício. Considerando os outros trabalhos usados para comparação, pode-se avaliar como de um elevado grau de relevância o trabalho apresentado nesta dissertação, visto a análise individual de cada um dos parâmetros para os diferentes trabalhos mencionados. Além disso, este projeto foi desenvolvido em uma tecnologia CMOS de 180 nm o que, muito provavelmente, geraria resultados melhores em tecnologias mais recentes, como a utilizada nos outros trabalhos comparados.

5.2 Propostas de Continuidade

Como mencionado no Capítulo 4, os resultados apresentados neste trabalho são oriundos de simulações e todas foram feitas no *software* Virtuoso da Cadence, assim como todos os *layouts*.

Como plano para continuidade do projeto, este circuito está em processo de fabricação para que, na sequência, sejam feitos os testes físicos e aquisição dos resultados experimentais para comparação com aqueles obtidos no *software*. Para execução dos testes práticos é necessário uma *interface* que possibilite a utilização do *chip* e os equipamentos de medição. Dessa forma, foi apresentado no Capítulo 4 o circuito teste que será utilizado para análise do *chip* e, no momento oportuno, o mesmo será fabricado.

Em posse da placa teste e do *chip*, diferentes testes deverão ser realizados, para que estes resultados sejam comparados aos obtidos por simulação, apresentados no Capítulo 4, para análise da eficácia do projeto desenvolvido. Diante dos resultados, será possível avaliar, se houver, as divergências entre eles e, assim, obter a orientação para as possíveis melhorias que precisam ser feitas tanto a nível de topologia quanto *layout*.

Validado o projeto e as principais mudanças que podem ser incrementadas, o passo seguinte seria tentar a fabricação da nova versão do projeto em alguma tecnologia CMOS mais avançada, pois, assim, o consumo de área diminuirá consideravelmente, além do consumo de potência.

Referências

- N. ABOUELKHEIR. *Design of a Wide-Swing Cascode Beta Multiplier Current Reference*. PhD thesis, The University of Tennessee, Knoxville, EUA, 2003.
- A. ARGÜELLO. *Estudo e projeto de um sintetizador de frequência para RF em tecnologia CMOS de 0,35 μ m*. PhD thesis, Universidade de São Paulo, São Paulo, Brasil, 2004.
- S.-Y. CHO, S. KIM, M.-S. CHOO, H.-G. KO, J. LEE, W. BAE, and D.-K. JEONG. A 2.5–5.6 ghz subharmonically injection-locked all-digital pll with dual-edge complementary switched injection. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 65 (9):2691–2702, 2018. doi: 10.1109/TCSI.2018.2799195.
- A. ELKHOLY, M. TALEGAONKAR, T. ANAND, and P. HANUMOLU. *A Compact, Low-Power and Low-Jitter Dual-Loop Design and Analysis of Low-Power High-Frequency Robust Sub-Harmonic Injection-Locked Clock Multipliers*. *IEEE Journal of Solid-State Circuits*, 50:3160 – 3174, 2015.
- A. FERNANDES. *Demystifying the PLL*. PhD thesis, Cypress Semiconductor, 2013.
- T. GUIMARÃES. *Modelagem de um PLL e Projeto de VCO para Transceptor ZigBee*. PhD thesis, Universidade de Brasília - UnB, Faculdade UnB Gama - FGA, Brasília, Brasil, 2015.
- R. JACOB BAKER. *CMOS Circuit Design, Layout, and Simulation*. USA:IEEE Press, 1995.
- P. KAVYASHREE and V. REDDY. Implementation of all digital phase locked loop. *IJRAR- International Journal of Research and Analytical Reviews*, 5:1386 – 1395, 2018.
- L. KONG and B. RAZAVI. A 2.4 ghz 4 mw integer-n inductorless rf synthesizer. *IEEE Journal of Solid-State Circuits*, 51(3):626–635, 2016. doi: 10.1109/JSSC.2015.2511157.
- A. LANDIM. *Desenvolvimento de modelo comportamental de PLLs e sua integração no ambiente CADENCE*. PhD thesis, Universidade NOVA de Lisboa, Lisboa, Portugal, 2017.

- Y. LEE, T. SEONG, S. YOO, and J. CHOI. A low-jitter and low-reference-spur ring-vco-based switched-loop filter pll using a fast phase-error correction technique. *IEEE Journal of Solid-State Circuits*, 53(4):1192–1202, 2018. doi: 10.1109/JSSC.2017.2768411.
- S. NAGAM and P. KINGET. A -236.3 dB FoM sub-sampling lowjitter supply-robust ring-oscillator PLL for clocking applications with feed-forward noise-cancellation. *2018 IEEE Custom Integrated Circuits Conference (CICC)*, page 1 – 4, 2018a.
- S. NAGAM and P. KINGET. A 0.008mm² 2.4ghz type-i sub-sampling ring-oscillator-based phase-locked loop with a 239.7db fom and 64dbc reference spurs. In *2018 IEEE Custom Integrated Circuits Conference (CICC)*, pages 1–4, 2018b. doi: 10.1109/CICC.2018.8357091.
- S. NAGAM and P. KINGET. A low-jitter ring-oscillator phase-locked loop using feedforward noise cancellation with a sub-sampling phase detector. *IEEE Journal of Solid-State Circuits*, 53(3):703–714, 2018c. doi: 10.1109/JSSC.2017.2788876.
- B. RAZAVI. *Principles of Data Conversion System Design*. USA:IEEE Press, 2010.
- B. RAZAVI. *Design of CMOS Phase-Locked Loops From Circuit Level to Architecture Level*. Cambridge University Press, 2020.
- Z. YANG, Y. CHEN, P.-I. MAK, and R. MARTINS. A 0.003-mm² 440fsrms-jitter and 64dbc-reference-spur ring-vco-based type-i pll using a current-reuse sampling phase detector in 28-nm cmos. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 68(6):2307–2316, 2021. doi: 10.1109/TCSI.2021.3065462.
- Z. ZHANG, L. LIU, P. FENG, and N. WU. A 2.4–3.6-ghz wideband subharmonically injection-locked pll with adaptive injection timing alignment technique. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 25(3):929–941, 2017. doi: 10.1109/TVLSI.2016.2619362.