

Universidade Federal de Minas Gerais
Escola de Engenharia
Programa de Pós-Graduação em Engenharia Elétrica

**DESENVOLVIMENTO DE FERRAMENTAS COMPUTACIONAIS
PARA A ANÁLISE DE PERDAS EM CONVERSORES ESTÁTICOS:
APLICAÇÃO AO CÁLCULO DE RENDIMENTO DE UPSs
TRIFÁSICAS DE DUPLA CONVERSÃO**

Anna Paula Leite Cota

Belo Horizonte

2016

DISSERTAÇÃO DE MESTRADO Nº 932

**DESENVOLVIMENTO DE FERRAMENTAS COMPUTACIONAIS PARA A
ANÁLISE DE PERDAS EM CONVERSORES ESTÁTICOS: APLICAÇÃO AO
CÁLCULO DE RENDIMENTO DE UPS'S TRIFÁSICAS DE DUPLA CONVERSÃO**

Anna Paula Leite Cota

DATA DA DEFESA: 28/07/2016

Universidade Federal de Minas Gerais

Escola de Engenharia

Programa de Pós-Graduação em Engenharia Elétrica

**DESENVOLVIMENTO DE FERRAMENTAS COMPUTACIONAIS
PARA A ANÁLISE DE PERDAS EM CONVERSORES
ESTÁTICOS: APLICAÇÃO AO CÁLCULO DE RENDIMENTO DE
UPS'S TRIFÁSICAS DE DUPLA CONVERSÃO**

Anna Paula Leite Cota

Dissertação de Mestrado submetida à Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em Engenharia Elétrica da Escola de Engenharia da Universidade Federal de Minas Gerais, como requisito para obtenção do Título de Mestre em Engenharia Elétrica.

Orientador: Prof. Porfírio Cabaleiro Cortizo

Coorientador: Prof. Paulo Fernando Seixas

Belo Horizonte - MG

Julho de 2016

C843d

Cota, Anna Paula Leite.

Desenvolvimento de ferramentas computacionais para análise de perdas em conversores estáticos [manuscrito] : aplicação ao cálculo de rendimento de UPSs trifásicas de dupla conversão / Anna Paula Leite Cota .- 2016.

174 f., enc.: il.

Orientador: Porfírio Cabaleiro Cortizo.
Coorientador: Paulo Fernando Seixas.

Dissertação (mestrado) Universidade Federal de Minas Gerais, Escola de Engenharia.

Apêndices: f.169-174.

Bibliografia: f. 164-168.

1. Engenharia elétrica - Teses. 2. Sistemas ininterruptos de energia - Teses. I. Cortizo, Porfírio Cabaleiro. II. Seixas, Paulo Fernando. III. Universidade Federal de Minas Gerais. Escola de Engenharia. IV. Título.

CDU: 621.3(043)

"Desenvolvimento de Ferramentas Computacionais para a Análise de Perdas em Conversores Estáticos: Aplicação ao Cálculo de Rendimento de UPS's Trifásicas de Dupla Conversão"

Anna Paula Leite Cota

Dissertação de Mestrado submetida à Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em Engenharia Elétrica da Escola de Engenharia da Universidade Federal de Minas Gerais, como requisito para obtenção do grau de Mestre em Engenharia Elétrica.

Aprovada em 28 de julho de 2016.

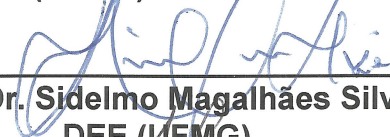
Por:




Prof. Dr. Porfírio Cabaleiro Cortizo
DELT (UFMG) - Orientador



Prof. Dr. Paulo Fernando Seixas
DELT (UFMG) - Coorientador



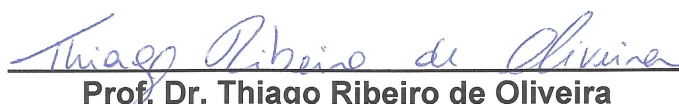
Prof. Dr. Sidelmo Magalhães Silva
DEE (UFMG)



Prof. Dr. Pedro Francisco Donoso Garcia
DELT (UFMG)



Eng. Msc. Paulo de Tarso Paixão Lopes
(Engetron Ltda.)



Prof. Dr. Thiago Ribeiro de Oliveira
DELT (UFMG)

À minha família, aos meus amigos, ao meu namorado e ao meu pequeno afilhado, Lucas.

AGRADECIMENTOS

Agradeço aos professores Porfirio Cabaleiro e Paulo Seixas, pela orientação, paciência e compreensão. À Engetron, pelo financiamento desta pesquisa e confiança. Aos engenheiros da Engetron, Wilton Padrão, Paulo de Tarso, Vinícius, Mário Henrique, Marcos Flávio e outros, pelo apoio técnico, receptividade e pelas orientações. À minha família, pelo apoio incondicional e pela ajuda persistente, muitas vezes não merecida. Em especial, à minha mãe, Cida, meu pai, Miguel e aos meus irmãos Carol, Breno e Dudu e à agregada, cunhada Débora, por me tolerarem e apoiarem todos os dias. Ao meu namorado, Renato, pelo carinho e cumplicidade e por ter preservado esse *status*, sem que eu fosse uma namorada dedicada e presente. Aos meus amigos (em especial, ao grupo das BPs do COLTEC, ao Túlio, à Bárbara e ao Luiz), que ainda se mantiveram ao meu lado, não obstante a minha ausência e negligência, enquanto eu redigia este trabalho. Aos parceiros do Grupo de Eletrônica de Potência (GEP), Welbert, Rafael (Jesus), Ana Carolina, Thiago (Banana), Thiago Ribeiro e outros, pela amizade, pelas inúmeras ajudas e conversas. Aos professores Lenin, Marcos Severo, Pedro Donoso, Braz Cardoso, Sidelmo, Selênio (*in memoriam*) pelas lições valiosas que não só me orientaram ao longo desta pesquisa, como também contribuíram para que eu optasse pela Eletrônica de Potência, ainda na Graduação. Ao professor Antônio Carlos Andrade, do Departamento de Engenharia Mecânica, pelas contribuições na fase de projeto do calorímetro. Meus agradecimentos a estes professores e aos meus orientadores também pela dedicação ao ofício de professor e pesquisador, apesar dos incontáveis entraves burocráticos e políticos. Aos parceiros do Mestrado, Nicole, Edmar, Rafael (Jesus), Allan, André Filipe, Victor e outros pelas discussões acaloradas e noturnas sobre os trabalhos das disciplinas de pós-graduação. Aos parceiros da Leme Engenharia, Isabela Metzker (Bolacha), Daniel Lavall, Daniel Pechir, Helena Botelho, Caroline Martins e Evandro Marzano, pela amizade e por terem permitido que a convivência com os estudos de transitórios eletromagnéticos e com o ATP fosse menos traumática. Ao Maurício, técnico do DELT, pela prestatividade e solicitude. À família do Renato, Iracema, Marcão, Gabriela, André Luiz, Arles, pela torcida. Ao meu exemplo de engenheira eletricista, Angélica Rocha, que como ninguém domina o tema de transformadores e transitórios eletromagnéticos e, ainda assim, não perde a humildade e o respeito ao próximo. À equipe do abnT_EX2, por ter disponibilizado o *template* adotado neste trabalho.

Por fim, agradeço à Universidade Federal de Minas Gerais, a quem devo minha formação como técnica em Eletrônica, engenheira eletricista e agora, como mestre em Engenharia Elétrica.

"Não há problema que não possa ser solucionado pela paciência"
(Francisco Cândido Xavier)

RESUMO

As UPSs (*Uninterruptible Power Supplies*) de dupla conversão são equipamentos que proveem a alimentação segura e sustentada de subsistemas com missão crítica, em que os distúrbios ou a interrupção no suprimento podem levar a perdas e danos. Esta dissertação objetiva comparar os rendimentos globais de UPSs trifásicas de dupla conversão nas topologias de dois níveis, com componentes de silício e de carbeto de silício (SiC) e de três níveis em arranjos NPC1 (*Neutral-Point Clamped*) e NPC2, com dispositivos de silício. A metodologia adotada se baseia na comparação de 80 projetos de UPSs de dupla conversão, com distintas especificações de tensão no barramento c.c., frequência de chaveamento e potência nominal. Para tanto, ferramentas de *software* com interface gráfica foram implementadas em MATLAB para estimar as perdas nos semicondutores e nos indutores dos filtros LCL de entrada e LC de saída da UPS. As simulações das UPSs foram conduzidas no ambiente MATLAB/*Simulink* e incluem o controle dos estágios inversor e retificador. Para fins de validação experimental das estimativas teóricas de perdas, um protótipo de um conversor *buck* de 5,5 kW foi construído e a potência dissipada neste circuito foi medida via wattímetro digital. Em seguida, um protótipo simples e de baixo custo de um calorímetro indireto série foi desenvolvido, para que as incertezas associadas às leituras de perdas fossem reduzidas. Os resultados de simulação indicam que a topologia NPC1 exibe maior rendimento global dentre as UPSs com componentes de silício, para a maior parte dos projetos de UPS avaliados. Ademais, as UPSs com SiC superam o desempenho da maioria das variações de silício em análise, o que acena para a viabilidade dos componentes de SiC para estas aplicações. Os resultados experimentais apontam para a concordância entre as estimativas de perdas e as medições via wattímetro. A efetividade do protótipo de calorímetro indireto série para a medição de perdas é demonstrada em ensaios com resistores de potência. Por fim, as técnicas propostas para a avaliação teórica de perdas podem ser estendidas para qualquer conversor estático e podem orientar o projeto de equipamentos mais eficientes e com maior densidade de potência.

Palavras-chave: UPS. Conversores estáticos. Cálculo de Perdas. Carbeto de silício. Calorímetro.

ABSTRACT

Double-conversion UPSs (Uninterruptible Power Supplies) are devices that provide safe and continuous supply to mission-critical systems, in which disturbances or interruptions in power supply can lead to losses or damages. This thesis aims to compare the energy efficiency performance of three-phase double-conversion UPS in two-level topologies, with silicon and silicon carbide (SiC) devices, and in three-level topologies in NPC1 (Neutral-Point Clamped) and NPC2 configurations, with silicon power modules. The adopted methodology is based on the comparison of 80 designs of double-conversion UPS, with several values of d.c. bus voltages, switching frequencies and rated power. In order to accomplish this goal, software tools with graphical interface were implemented in MATLAB, for semiconductor losses estimation and for inductor losses calculation in input and output LC and LCL filters. UPS simulations were performed in MATLAB/Simulink and include the inverter and rectifier control. For experimental validation of the theoretical results, a circuit of a 5.5 kW buck converter was built and power losses measurements were conducted with a digital wattmeter. Then, a simple and low cost indirect series calorimeter prototype was developed, in order to reduce the uncertainties in power losses measurement. Simulation results show that NPC1 topology exhibits the highest global efficiency among the silicon based UPSs, in most UPS designs. Furthermore, the SiC based UPSs mostly overcome the performance of silicon based UPSs, which shows the competitiveness of SiC devices for UPS applications. Experimental results prove the agreement between theoretical and measured results using digital wattmeter. Preliminary tests with power resistors demonstrate the effectiveness of the indirect series calorimeter prototype. Lastly, the proposed techniques for losses evaluation could be extended for any power converter and could enhance equipment design regarding energy efficiency and power density.

Keywords: UPS. Power converters. Power losses calculation. Silicon carbide. Calorimeter.

LISTA DE ILUSTRAÇÕES

1.1	Topologias trifásicas analisadas.	6
2.1	Causas de falhas e custos da indisponibilidade de sistemas críticos.	9
2.2	Módulos básicos de uma UPS.	9
2.3	Classificação das UPSs.	10
2.4	Tipos de UPS rotativas.	11
2.5	Diagrama esquemático de uma UPS híbrida.	12
2.6	Diagrama esquemático de uma UPS <i>offline</i>	13
2.7	Diagrama esquemático de uma UPS <i>line-interactive</i>	15
2.8	Diagrama esquemático de uma UPS de dupla conversão.	16
2.9	Curvas do catálogo do módulo comercial trifásico FF450R12KE4 (<i>Infineon</i>).	20
2.10	Circuitos considerados nas análises do processo de chaveamento.	22
2.11	Processo de chaveamento em MOSFETs e IGBTs.	23
2.12	Curvas do catálogo do módulo comercial trifásico FF450R12KE4 (<i>Infineon</i>).	28
2.13	Perfil das correntes ao longo da seção reta do condutor com os efeitos pelicular e proximidade.	30
2.14	Circuitos térmicos equivalentes de regime permanente.	33
2.15	Incertezas na medição de perdas e de rendimento, em função do rendimento do conversor, para wattímetros de várias classes de exatidão (indicadas sobre as curvas).	35
2.16	Incertezas na medição de perdas e de rendimento, em função do rendimento do conversor, para os ensaios propostos na UPS hipotética de 7,2 kW e frequência de chaveamento de 20 kHz.	36
2.17	Arranjo típico dos conversores no método da oposição.	37
2.18	Classificação dos calorímetros.	39
2.19	Diagrama de um calorímetro direto, aberto e refrigerado a ar.	39
2.20	Diagrama de um calorímetro direto, fechado e refrigerado à água.	41
2.21	Diagrama de um calorímetro indireto balanceado.	42
2.22	Diagrama de um calorímetro indireto do tipo série.	43
3.1	Topologia de inversor de dois níveis.	45
3.2	Tensões de saída de linha de um inversor de topologias de dois e de três níveis.	46
3.3	Topologias de inversores de três níveis.	47
3.4	Diagrama esquemático das UPSs de dupla conversão avaliadas.	50
3.5	Representação gráfica das UPSs simuladas (indicadas por círculos), com as respectivas especificações.	51
3.6	Orientação adotada para os eixos de referência.	52

3.7	Diagrama de controle do retificador trifásico.	53
3.8	Diagrama de PLL implementado.	54
3.9	Esboço das assíntotas das curvas de rigidez dinâmica.	56
3.10	Resultados da simulação de um retificador trifásico com os parâmetros da Tabela 3.3.	58
3.11	Diagrama de controle do inversor trifásico.	60
3.12	Esboço das assíntotas da curva de rigidez dinâmica $ i_o/v_o $	62
3.13	Resultados da simulação de um inversor trifásico com os parâmetros da Tabela 3.4.	63
4.1	Diagrama esquemático dos métodos <i>online</i> e <i>offline</i> de cálculos de perdas nos módulos semicondutores de potência.	72
4.2	Fluxograma da ferramenta <i>GetPoints</i>	74
4.3	Algumas telas da ferramenta <i>GetPoints</i> , com algumas das etapas do fluxograma da Figura 4.2.	75
4.4	Detalhe da seleção do tipo de circuito térmico de um conversor com topologia NPC2.	77
4.5	Diagramas dos circuitos térmicos propostos com os elementos do pacote <i>Foundation Library/Thermal</i> , da biblioteca <i>Simscape</i>	78
4.6	Exemplo de ajuste dos parâmetros do circuito térmico de regime transitório do tipo <i>Foster</i> , a partir da curva de impedância térmica transitória $Z_{th(jc)}$ do dispositivo semicondutor.	79
4.7	Fluxograma da ferramenta <i>PerdasOffline</i> , que implementa o método de cálculo de perdas <i>offline</i>	80
4.8	Telas da ferramenta <i>PerdasOffline</i> , em parte das fases do fluxograma da Figura 4.7.	81
4.9	Formato dos vetores de corrente que devem ser importados em arquivos “.txt” no programa <i>PerdasOffline</i> , para as três topologias.	82
4.10	Gráficos com as estatísticas de perdas nos conversores, exibidos na interface do <i>PerdasOffline</i>	84
4.11	Característica “tensão \times corrente” do módulo FF75R12RT4.	88
4.12	Avaliação da técnica de interpolação via função <i>2-D Lookup Table</i> para o módulo FF75R12RT4.	88
4.13	Evolução das perdas e da temperatura de junção em um conversor arbitrário no método <i>online</i>	90
4.14	Modelo do par “transistor + diodo em antiparalelo”, encapsulado em biblioteca do <i>Simulink</i> , como parte do método <i>online</i>	91
4.15	Fluxograma com a sequência de procedimentos para o projeto dos indutores dos filtros de entrada e de saída.	92
4.16	Curva para seleção de núcleos da família <i>High Flux</i> do fabricante <i>Magnetics</i>	93

4.17	Protótipo experimental desenvolvido para a medição de perdas via wattímetro.	96
4.18	Protótipo experimental desenvolvido para a medição de perdas via wattímetro.	97
4.19	Diagrama esquemático do protótipo experimental desenvolvido para a medição de perdas via calorímetro indireto série.	98
4.20	Protótipo experimental desenvolvido para a medição de perdas.	99
4.21	Tela de interface gráfica com o usuário implementada para execução dos ensaios no calorímetro.	103
4.22	Resultados da calibração por comparação das leituras de temperatura média dos dois conjuntos de sensores LM335, originalmente nas caixas CR e CM. . .	104
4.23	Variação da temperatura em CR em resposta ao degrau de potência, obtida experimentalmente e ajuste pela função $f(t) = 57(1 - e^{-t/1594})$	105
4.24	Dinâmicas de aquecimento na condição em que os ganhos do controlador PI são atribuídos a $k_p = 10$ e $k_i = 0, 1$	106
4.25	Resultado da calibração em potência do protótipo.	107
5.1	Perdas nos semicondutores P_{semic} do retificador trifásico em função da tensão do barramento V_{DC} e da frequência de chaveamento f_{sw} , para as UPSs com potência nominal P_{out} de $10 kW$	109
5.2	Energia dissipada nos semicondutores do retificador trifásico e armazenada no filtro LCL de entrada em função da frequência de chaveamento f_{sw} , para as UPSs de potência nominal P_{out} de $10 kW$ em topologias de dois níveis ($2n$) e de três níveis ($3n$).	111
5.3	Perdas nos semicondutores P_{semic} do retificador trifásico em função da potência nominal P_{out} e da frequência de chaveamento f_{sw} , para as UPSs com tensão no barramento c.c. V_{DC} de $550 V$	113
5.4	Perdas nos semicondutores P_{semic} do retificador trifásico em função da potência de saída P_{out} , para as UPSs com tensão no barramento c.c. V_{DC} de $550 V$. . .	114
5.5	Perdas nos semicondutores P_{semic} do retificador trifásico em função da potência de saída P_{out} e da tensão do barramento V_{DC} , para as UPSs com frequência de chaveamento f_{sw} de $3,84 kHz$	115
5.6	Perdas nos semicondutores P_{semic} do retificador trifásico em função da tensão do barramento V_{DC} , para as UPSs com frequência de chaveamento f_{sw} de $3,84 kHz$	116
5.7	Representação gráfica das UPSs simuladas, com a indicação das topologias com módulos de silício com menores perdas no estágio retificador.	117
5.8	Diferença percentual entre as perdas no retificador em topologias NPC1 e $2n$, com módulos à base de silício.	119
5.9	Diferença percentual entre as perdas no retificador em topologias NPC1 e NPC2, com módulos à base de silício.	119

5.10	Perdas nos semicondutores P_{semic} do inversor trifásico em função da frequência de chaveamento f_{sw} e da tensão de barramento V_{DC} , para as UPSs com potência de saída P_{out} de 10 kW.	121
5.11	Energia dissipada nos semicondutores do inversor trifásico e armazenada no filtro LC de saída em função da frequência de chaveamento f_{sw} , para as UPSs com potência nominal de 10 kW.	122
5.12	Comparação entre as energias armazenadas nos filtros das topologias de dois níveis (E_{2n}) e três níveis (E_{3n}).	124
5.13	Perdas nos semicondutores P_{semic} do inversor trifásico em função da potência de saída P_{out} e da tensão do barramento V_{DC} , para as UPSs com frequência de chaveamento f_{sw} de 3,84 kHz.	125
5.14	Perdas nos semicondutores P_{semic} do inversor trifásico em função da tensão do barramento c.c. V_{DC} , para as UPSs com frequência de chaveamento f_{sw} de 3,84 kHz.	126
5.15	Representação gráfica das UPSs simuladas, com a indicação das topologias com menores perdas no estágio inversor.	127
5.16	Proporção, na operação como <i>retificador</i> , entre as perdas de chaveamento no diodo (indicadas pela cor vermelha), de condução no diodo (amarelo), de chaveamento no transistor (azul) e de condução no transistor (verde).	129
5.17	Proporção, na operação como <i>inversor</i> , entre as perdas de chaveamento no diodo (indicadas pela cor vermelha), de condução no diodo (amarelo), de chaveamento no transistor (azul) e de condução no transistor (verde).	129
5.18	Comparação entre as perdas nas topologias NPC1 e $2n$ na operação como <i>inversor</i> , com módulos à base de silício.	130
5.19	Comparação entre as perdas nas topologias NPC1 e NPC2 na operação como <i>inversor</i> , com módulos à base de silício.	130
5.20	Perdas totais P_{ind} no indutor do filtro LCL de entrada da UPS em função da frequência de chaveamento f_{sw} e da tensão de barramento V_{DC} , para topologias de dois níveis e de três níveis, para a UPS com potência nominal de 10 kW.	132
5.21	Perdas no enrolamento P_{cobre} , no núcleo P_{nucleo} e totais P_{ind} para os indutores do filtro LCL de entrada de <i>retificadores</i> em topologia de <i>dois</i> níveis.	132
5.22	Perdas no enrolamento P_{cobre} , no núcleo P_{nucleo} e totais P_{ind} para os indutores do filtro LCL de entrada de <i>retificadores</i> em topologia de <i>três</i> níveis.	133
5.23	Perdas no indutor P_{ind} do filtro LC de saída da UPS em função da frequência de chaveamento f_{sw} e da tensão de barramento V_{DC} , para topologias de dois níveis e de três níveis, para a UPS com potência nominal de 10 kW.	134
5.24	Perdas no enrolamento P_{cobre} , no núcleo P_{nucleo} e totais P_{ind} para os indutores do filtro LC de saída de <i>inversores</i> em topologia de <i>dois</i> níveis.	135

5.25	Perdas no enrolamento P_{cobre} , no núcleo P_{nucleo} e totais P_{ind} para os indutores do filtro LC de saída de <i>inversores</i> em topologia de <i>três</i> níveis.	135
5.26	Rendimento global da UPS de dupla conversão em função da frequência de chaveamento f_{sw} e da tensão do barramento c.c. V_{DC} , para as UPSs com potência nominal P_{out} de 10 kW.	138
5.27	Rendimento global da UPS de dupla conversão em função da frequência de chaveamento f_{sw} e da potência nominal P_{out} , para as UPSs com tensão de barramento V_{DC} de 550 V.	140
5.28	Comparação entre o rendimento global da UPS de dupla conversão nas topologias NPC1 e dois níveis, com módulos à base de silício.	141
5.29	Comparação entre o rendimento global da UPS de dupla conversão nas topologias NPC1 e NPC2, com módulos à base de silício.	142
5.30	Comparação entre o rendimento global da UPS de dupla conversão com conversores de dois níveis e NPC1 com módulos de SiC e de silício, respectivamente.	143
5.31	Características $I \times V$ informadas no catálogo do módulo FF75R12RT4	150
5.32	Rendimento global η do conversor <i>buck</i> calculado e medido via wattímetro, para várias potências de carga P_{out}	151
5.33	Resultados do ensaio 1, com descrição dada na Tabela 5.9.	155
5.34	Resultados do ensaio 2, com descrição dada na Tabela 5.9.	156
5.35	Resultados do ensaio 3, com descrição dada na Tabela 5.9.	156
5.36	Resultados do ensaio 4, com descrição dada na Tabela 5.9.	157
5.37	Resultados do ensaio 5, com descrição dada na Tabela 5.9.	158
A.1	Formatação dos relatórios gerados pelo programa <i>PerdasOffline</i>	169
A.2	Planilhas em Excel, programadas em VBA, para documentação dos resultados de simulação de conversores em topologia de dois níveis.	171
B.1	Interface gráfica do programa desenvolvido para automatizar o dimensionamento dos resistores do circuito de condicionamento.	172

LISTA DE TABELAS

2.1	Distúrbios de qualidade de energia e tipo de UPS para correção.	13
2.2	Especificações de exatidão do wattímetro <i>WT3000</i> , com menor erro na leitura de potência dentre os comercializados pelo fabricante <i>Yokogawa</i>	35
3.1	Módulos semicondutores de potência comparados neste trabalho quanto ao rendimento.	49
3.2	Especificações das UPSs de dupla conversão avaliadas na comparação de topologias.	49
3.3	Tabela com os parâmetros do retificador com resultados de simulação apresentados na Figura 3.10.	57
3.4	Tabela com os parâmetros do inversor com resultados de simulação apresentados na Figura 3.13.	63
4.1	Notação adotada no algoritmo 1 para as variáveis de entrada.	85
5.1	Comparação das potências dissipadas nos módulos à base de silício em três cenários, para o modo de operação como retificador.	118
5.2	Comparação das topologias de dois níveis e de três níveis quanto à energia armazenada no filtro.	123
5.3	Comparação das potências dissipadas nos módulos à base de silício em quatro cenários, para o modo de operação como inversor.	128
5.4	Exemplos de projetos de indutores dos filtros de entrada e de saída para duas das 80 UPSs em análise.	137
5.5	Rendimento global e perdas em cada estágio, em valores percentuais da potência nominal, para dois projetos distintos de UPS de dupla conversão.	139
5.6	Comparação entre a frequência de chaveamento máxima da UPS de dupla conversão com sistema de refrigeração arbitrário e fixo ($R_{th(sa)} = 0,03 K/W$) para os quatro módulos de potência em estudo.	145
5.7	Comparação entre os sistemas de refrigeração da UPS de dupla conversão com temperatura de junção máxima $T_{j(max)}$ fixada em $125^{\circ}C$ para os quatro módulos de potência em estudo.	147
5.8	Comparação entre os resultados dos métodos <i>online</i> e <i>offline</i>	149
5.9	Ensaíos propostos no protótipo.	152
5.10	Medições de potência do wattímetro e do protótipo.	154

LISTA DE ABREVIATURAS E SIGLAS

ABNT	Associação Brasileira de Normas Técnicas
CM	Caixa de Medição
CR	Caixa de Referência
CUT	<i>Converter Under Test</i>
IEC	<i>International Electrotechnical Commission</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
iGSE	<i>improved Generalized Steinmetz Equation</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect</i>
NPC	<i>Neutral-Point Clamped</i>
PI	Proporcional-Integral
PLL	<i>Phase Locked Loop</i>
PWM	<i>Pulse-Width Modulation</i>
Si	Silício
SiC	Carbeto de silício
UPSs	<i>Uninterruptible Power Supplies</i>
VBA	<i>Visual Basic for Applications</i>
$2n$	Dois níveis
$3n$	Três níveis

LISTA DE SÍMBOLOS

α	Coefficiente de temperatura
η	Rendimento
σ	Desvio padrão
μ	Permeabilidade
ρ	Resistividade
δ	Profundidade de penetração
f	Frequência
V	Volume
B	Densidade de fluxo
P_{loss}	Perdas
P_{in}	Potência de entrada
P_{out}	Potência nominal
f_{sw}	Frequência de chaveamento
V_{DC}	Tensão do barramento c.c.
T_j	Temperatura de junção
v_{sw}	Tensão sobre a chave
i_{sw}	Corrente na chave
r_{sw}	Resistência da chave
R_g	Resistor de <i>gate</i>
v_q	Tensão sobre o transistor
i_q	Corrente no transistor
v_d	Tensão sobre o diodo
i_d	Corrente no diodo

V_{CE}	Tensão coletor-emissor
I_C	Corrente de coletor
V_{GE}	Tensão <i>gate</i> -emissor
$V_{GE(th)}$	Tensão <i>gate</i> -emissor de limiar
V_{DS}	Tensão dreno-fonte
I_D	Corrente de dreno
V_{GS}	Tensão <i>gate</i> -fonte
$V_{GS(th)}$	Tensão <i>gate</i> -fonte de limiar
T_s	Passo de simulação
$P_{cond(Q)}$	Perdas de condução no transistor
$P_{cond(D)}$	Perdas de condução no diodo
R_G	Resistência total de <i>gate</i>
$R_{g(on)}$	Resistência de <i>gate</i> no processo de <i>turn-on</i>
$R_{g(off)}$	Resistência de <i>gate</i> no processo de <i>turn-off</i>
V_{GG}	Tensão de disparo no <i>gate</i>
$E_{on(Q)}$	Energia dissipada no processo de <i>turn-on</i> do transistor
$E_{off(Q)}$	Energia dissipada no processo de <i>turn-off</i> do transistor
E_{rr}	Energia dissipada no processo de recuperação reversa do diodo
$P_{on(Q)}$	Perdas no processo de <i>turn-on</i> do transistor
$P_{off(Q)}$	Perdas no processo de <i>turn-off</i> do transistor
P_{rr}	Perdas no processo de recuperação reversa do diodo
k_{Vdc}	Fator de correção da tensão do barramento c.c.
k_{Rg}	Fator de correção do resistor de <i>gate</i>
$R_{cc'-ee'}$	Resistência série parasita
N	Número de espiras
\bar{P}_{nucleo}	Perdas médias no núcleo

P_{cobre}	Perdas no cobre
P_{ind}	Perdas totais no indutor
S_{total}	Área da superfície
E_{filtro}	Energia armazenada nos filtros
E_{dissip}	Energia dissipada nos semicondutores
E_{2n}	Energia armazenada nos filtros do conversor em topologia de dois níveis
E_{3n}	Energia armazenada nos filtros do conversor em topologia de três níveis
P_{2n}	Perdas do conversor em topologia de dois níveis
P_{NPC1}	Perdas do conversor em topologia NPC1
P_{NPC2}	Perdas do conversor em topologia NPC2
η_{2n}	Rendimento global do conversor em topologia de dois níveis
η_{NPC1}	Rendimento global do conversor em topologia NPC1
η_{NPC2}	Rendimento global do conversor em topologia NPC2
P_{CR}	Potência do resistor da caixa de referência
P_{CM}	Potência do resistor da caixa de medição
T_{CR}	Temperatura interna da caixa de referência
T_{CM}	Temperatura interna da caixa de medição

SUMÁRIO

1	INTRODUÇÃO	3
2	REVISÃO BIBLIOGRÁFICA	8
2.1	UPS: definição e classificação	8
2.1.1	UPSs rotativas	10
2.1.2	UPSs híbridas	11
2.1.3	UPSs estáticas	12
2.1.3.1	UPS estáticas passivas ou <i>offline</i>	13
2.1.3.2	UPS estáticas <i>line-interactive</i>	15
2.1.3.3	UPS estáticas de dupla conversão ou <i>online</i>	16
2.2	Perdas em conversores e modelos térmicos	18
2.2.1	Perdas nos semicondutores	18
2.2.1.1	Perdas de condução	19
2.2.1.2	Perdas de chaveamento	21
2.2.2	Perdas nos indutores	29
2.2.3	Modelos térmicos de regime permanente	31
2.3	Métodos de medição de perdas	33
2.3.1	Medição elétrica	34
2.3.2	Medição via calorímetro	38
2.3.2.1	Calorímetros diretos, abertos e refrigerados a ar	39
2.3.2.2	Calorímetros diretos, fechados refrigerados à água	40
2.3.2.3	Calorímetros indiretos balanceados	42
2.3.2.4	Calorímetros indiretos do tipo série	43
2.4	Conclusões do capítulo	44
3	MODELAGEM E SIMULAÇÃO DA UPS DE DUPLA CONVERSÃO	45
3.1	Circuitos de potência em estudo	45
3.2	Controle dos estágios da UPS	51
3.2.1	Controle do retificador	52
3.2.2	Controle do inversor	59
3.3	Dimensionamento dos filtros de entrada e de saída	64
3.3.1	Dimensionamento do filtro LCL	64
3.3.2	Dimensionamento do filtro LC	68
3.4	Conclusões do capítulo	68
4	CÁLCULO E MEDIÇÃO DE PERDAS EM CONVERSORES	70

4.1	Ferramentas desenvolvidas para cálculo de perdas	70
4.1.1	Rotinas para cálculo de perdas nos semicondutores	71
4.1.1.1	Caracterização teórica do componente e modelos térmicos	73
4.1.1.2	Método <i>offline</i>	79
4.1.1.3	Método <i>online</i>	87
4.1.2	Rotinas para o cálculo de perdas nos indutores	91
4.2	Protótipos experimentais para medição de perdas	96
4.2.1	Protótipo para medição via wattímetro	96
4.2.2	Protótipo de calorímetro indireto série	97
4.2.2.1	Projeto mecânico do protótipo	99
4.2.2.2	Seleção dos sensores e dimensionamento dos componentes do circuito de condi- onamento	100
4.2.2.3	Seleção do microcontrolador e da interface com o usuário	102
4.2.2.4	Calibração dos sensores de temperatura por comparação	103
4.2.2.5	Projeto do controlador de temperatura	105
4.2.2.6	Calibração de potência	106
4.3	Conclusões do capítulo	107
5	RESULTADOS	108
5.1	Resultados de simulação	108
5.1.1	Comparação das perdas no estágio retificador	108
5.1.2	Comparação das perdas no estágio inversor	120
5.1.3	Perdas nos indutores dos filtros de entrada e de saída	131
5.1.4	Comparação do rendimento global da UPS	138
5.1.5	Viabilidade de módulos de SiC em UPS	142
5.1.6	Comparação entre os métodos <i>online</i> e <i>offline</i>	148
5.2	Resultados experimentais	150
5.2.1	Resultados de medições com wattímetro	150
5.2.2	Resultados preliminares no protótipo de calorímetro	152
5.3	Conclusões do capítulo	158
6	CONCLUSÕES E PROPOSTAS DE CONTINUIDADE	160
	REFERÊNCIAS	163
	APÊNDICES	168
	APÊNDICE A – FERRAMENTA EM EXCEL PARA GERAÇÃO DE RELATÓRIOS	169

APÊNDICE B – PROGRAMA PARA CÁLCULO DOS RESISTORES DO CIRCUITO DE CONDICIONAMENTO	172
---	------------

1 INTRODUÇÃO

Os Sistemas de Energia Ininterrupta (SEI), referidos na literatura pelo acrônimo em inglês UPSs (*Uninterruptible Power Supplies*) e popularmente pelo termo *no-breaks*, são equipamentos que asseguram o suprimento de energia elétrica com altos níveis de confiabilidade, disponibilidade e de qualidade. Estes equipamentos são usuais em aplicações de missão crítica, em que a interrupção ou os distúrbios no fornecimento de energia podem levar a perdas financeiras e/ou sociais, como *datacenters*, hospitais, sistemas de telecomunicação e de tecnologia da informação (TI), controladores de processos industriais, entre outros. Nestas aplicações, prefere-se o uso de UPSs estáticas do tipo dupla conversão ou *online*, que se mantêm continuamente conectadas em série com a carga crítica, em regime normal de operação (TON; FORTENBURY, 2005). Deste modo, estas UPSs previnem os problemas associados não só a interrupções no fornecimento, como também a elevações/afundamentos temporários ou momentâneos de tensão, a variações de frequência, surtos, ruídos e distorções harmônicas (GUERRERO; VICUNA; UCEDA, 2007).

Em geral, as UPSs integram estágios conversores que invariavelmente introduzem perdas e, assim, consomem energia e limitam o rendimento do sistema completo. Por exemplo, segundo pesquisas financiadas pela Comissão de Energia do Estado da Califórnia (*California Energy Commission*), em 2005, o consumo de energia associado às perdas nos estágios de conversão somente de UPSs dos *datacenters*/polos de TI da Califórnia era de aproximadamente 1 *TWh* anuais. Sendo assim, estas perdas oneravam cerca de 100 milhões de dólares por ano, considerando as tarifas de energia praticadas naquele ano (TON; FORTENBURY, 2005). Ainda segundo este estudo, como o estado da Califórnia concentra aproximadamente 15 % dos *datacenters* dos EUA, os custos relativos a este consumo de energia das UPSs em *datacenters*, em todo o país, poderiam atingir quase 700 milhões de dólares anuais (ou 7,1 *TWh* por ano). Estudos anteriores, financiados pelo Departamento de Energia dos EUA, estimavam aquele consumo de energia total de UPSs em todo o país em 5,8 *TWh*, no ano de 2002, com base em dados típicos de rendimento destes equipamentos (ROTH; GOLDSTEIN; KLEINMAN, 2004). Somente as UPSs *online*, preferidas nas aplicações de missão crítica, consumiam 3,8 *TWh* daquele montante.

Como resultado destas pesquisas, o *Lawrence Berkeley National Lab* (LBNL), instituição de pesquisa financiada pelo Departamento de Energia dos EUA, passou a considerar o aumento do rendimento das UPSs de *datacenters* como uma das ações para reduzir o consumo de energia no país (TON; FORTENBURY, 2005). Por outro lado, como também pontuam os estudos do LBNL, o uso de UPSs com maior rendimento promove ainda a redução dos custos e do consumo de energia dos sistemas de refrigeração externos (não computados naquelas estatísticas). Assim, o investimento total para a aquisição e operação do equipamento poderia ser substancialmente menor com o aumento da eficiência das UPSs. Outro ganho associado ao uso de UPSs mais

eficientes, não assinalados naquela pesquisa, decorre ainda da redução da magnitude e do volume dos componentes passivos dos filtros de saída e de entrada, na medida em que os conversores permitissem a operação em frequências de chaveamento maiores. Como resultado, o custo, o volume e o peso do equipamento também poderiam se tornar menores.

Neste contexto, há, pois, um esforço constante em elevar o rendimento das UPSs. Ademais, por força de restrições comerciais (*e.g.*, para maior competitividade do produto no mercado), as UPSs devem atender a critérios mínimos de rendimento. Como alternativas para o aumento da eficiência destes equipamentos, figuram-se, por exemplo: (i) alterações nas topologias dos conversores, já que o desempenho de cada topologia varia com as condições de operação (KEREKES *et al.*, 2009); (ii) o uso de novos materiais e tecnologias de dispositivos semicondutores (*i.e.*, de novas famílias de módulos de potência ou de dispositivos baseados em semicondutores de banda larga, como o carbeto de silício) (MCBRYDE *et al.*, 2010); (iii) o emprego de distintas técnicas de modulação (KOLAR; ERTL; ZACH, 1991); (iv) a especificação de núcleos e enrolamentos com menores perdas no projeto dos componentes dos filtros passivos (MAGNETICS, 2006) ou (v) a modularização das UPSs, para excursionar o ponto de operação das unidades individuais para a região de operação nominal, com maior rendimento (LBNL, 2012).

Assim, na fase de projeto da UPS, o fabricante deve ponderar os ganhos de cada uma daquelas alternativas quanto aos custos, rendimento, volume, complexidade, ruído, confiabilidade, entre outros. A avaliação correta destes ganhos, via modelos teóricos, pode reduzir o tempo de projeto das UPSs, por dispensar a necessidade de construção de vários protótipos para fins de comparação experimental de cada alternativa. Em especial, o cálculo correto da potência dissipada nos conversores não só orienta a classificação de várias abordagens quanto ao rendimento, como também permite a especificação dos dispositivos semicondutores e o dimensionamento apropriado dos sistemas de refrigeração da UPS. Adicionalmente, o cálculo de perdas subsidia ainda as análises de confiabilidade do conversor (MOROZUMI *et al.*, 2003), em razão da correlação entre a probabilidade de falha e a variação na temperatura de junção dos semicondutores (que resulta das perdas e dos modelos térmicos). Cabe salientar aqui, de modo mais genérico, que as ferramentas de avaliação teórica das perdas servem ao projeto de *qualquer* conversor estático.

Por outro lado, o fabricante deve ainda caracterizar as UPSs produzidas (*e.g.*, quanto ao rendimento), como parte das análises que antecedem a introdução destes equipamentos no mercado. Para avaliar o rendimento, em particular, submete-se a UPS a um ensaio de medição de perdas. A metodologia deste ensaio deve ser definida com base na exatidão pretendida para a medição e nas restrições dos sensores disponíveis (*e.g.*, exatidão, resolução e banda de passagem finitas). Em geral, duas técnicas de medição de perdas são mais usuais na literatura. A primeira delas, mais simples e menos exata, deriva da medição das potências de entrada e de saída da UPS e da subtração destas leituras (XIAO; CHEN; ODENDAAL, 2007). Em razão da necessidade de sincronização das leituras de potência de entrada e de saída, bem como de tensão e corrente,

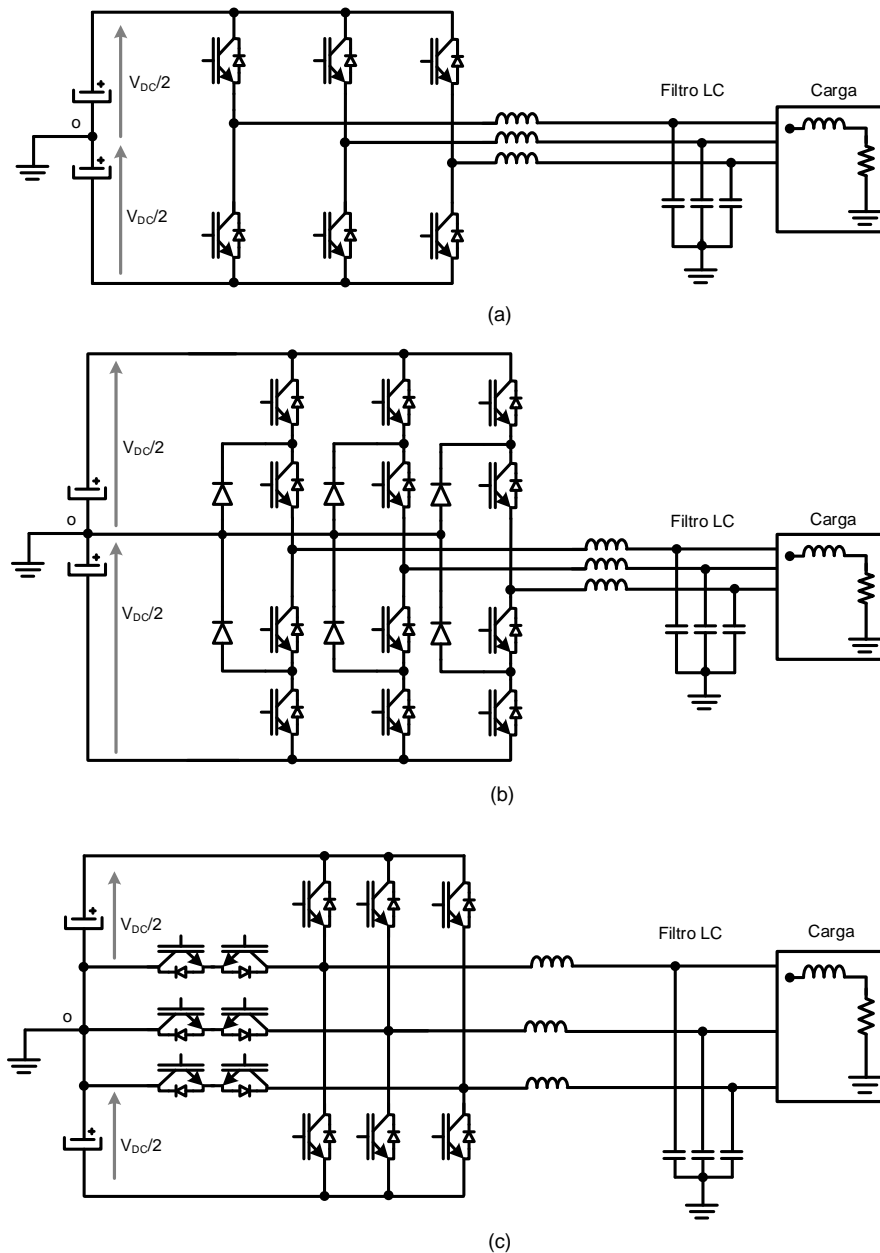
deve-se optar pelo uso de wattímetros. Todavia, estes wattímetros devem exibir larga banda de passagem e alta resolução na conversão A/D e ainda prover a sincronização exata das medições, para que as tensões/correntes pulsadas, típicas dos conversores de UPS, sejam corretamente medidas (STAFINIAK; KOSOBUDZKI, 2009). Ademais, como o rendimento individual destes conversores é elevado, os wattímetros em uso devem prover leituras de potência com incertezas menores do que as perdas (XIAO; CHEN; ODENDAAL, 2007). Isso, em geral, inviabiliza a medição acurada da potência dissipada em cada conversor com os wattímetros disponíveis no mercado (FUCHS et al., 2013). A segunda técnica de medição de perdas se mostra mais exata e se baseia na transferência do calor liberado pelo conversor para um fluido, via processos de convecção, radiação ou condução, em um sistema referido por “calorímetro” na literatura (CAO et al., 2010). A variação de temperatura deste fluido, com propriedades bem caracterizadas, quantifica indiretamente a potência dissipada pela amostra. Deste modo, a exatidão da medição de perdas independe das formas de onda de tensão e de corrente do equipamento ou da sincronização das leituras (KOSONEN et al., 2013). Contudo, em virtude da complexidade da construção das variações mais típicas de calorímetro, a medição por esta técnica pode se revelar inviável.

Neste contexto, este trabalho objetiva avaliar o rendimento de UPSs de dupla conversão em topologias trifásicas usuais nestas UPSs, a saber, a de dois níveis e as com neutro grampeado (*Neutral-Point Clamped*), denotadas neste texto por “NPC1” e “NPC2”. Estas topologias constam na Figura 1.1. Em particular, pretende-se:

- (i) desenvolver ferramentas para estimar as perdas nos semicondutores e nos indutores e as temperaturas de junção e encapsulamento do dispositivo, bem como do dissipador, com base em dados dos catálogos dos módulos de potência;
- (ii) comparar o rendimento de módulos comerciais de carbeto de silício (SiC), em topologia de dois níveis, com o de módulos de silício, nas três topologias avaliadas;
- (iii) propor um calorímetro simples e de baixo custo, do tipo *indireto série*, para medição de perdas;
- (iv) validar experimentalmente o sistema proposto.

Para tanto, procede-se à revisão bibliográfica sobre as técnicas reportadas na literatura para cálculo e medição de perdas. Para estimar as perdas nos conversores, prefere-se o uso de simulações temporais, em alternativa ao cálculo analítico proposto por Schweizer, Friedli e Kolar (2010), para que, por exemplo, os efeitos de cargas não-lineares – tipo de carga mais comum em UPSs, sejam mais facilmente avaliados. Estas simulações, bem como as ferramentas desenvolvidas para quantificar as perdas nos conversores, são implementadas no *software* MATLAB/Simulink. Os resultados teóricos de perdas, estimados por estas ferramentas, são validados via medição elétrica em um protótipo de um conversor *buck*. Por fim, a efetividade da técnica calorimétrica para medição de perdas é demonstrada por meio da construção de um protótipo de calorímetro do tipo *indireto série*.

Figura 1.1 – Topologias trifásicas analisadas.



Topologias: (a) dois níveis, (b) NPC1 e (c) NPC2.

Fonte: Dados da pesquisa, 2016.

Assim, esta pesquisa acrescenta contribuições para o projeto de UPSs e de conversores estáticos em geral. As ferramentas propostas para o cálculo das perdas servem ao dimensionamento de conversores e à comparação teórica de filosofias de projeto, como já foi discutido. Estas ferramentas generalizam as análises térmicas para qualquer topologia de circuito e podem reduzir os tempos de projeto de conversores. Ademais, as análises e resultados desta pesquisa demonstram que o uso de dispositivos de SiC acena como solução potencial para o aumento do rendimento das UPSs. Por fim, este trabalho se insere no projeto de pesquisa e desenvolvimento (P&D) entre UFMG e Engetron, fabricante de UPSs e proponente deste projeto. Os resultados

desta pesquisa, portanto, já orientam esta empresa em parte das rotinas de dimensionamento dos componentes das UPSs.

O texto desta dissertação foi estruturado em seis capítulos. No capítulo 2, procede-se à revisão bibliográfica, para fundamentação e conceituação do trabalho. Neste capítulo, discutem-se inicialmente as categorias de UPSs e as vantagens e desvantagens de cada classe. As perdas dominantes nos conversores são definidas na sequência e as equações implementadas para o cálculo destas perdas são enumeradas. Em seguida, os métodos de medição de perdas mais usuais são caracterizados e as vantagens e desvantagens de cada técnica são pontuadas.

No capítulo 3, detalham-se as abordagens de modelagem e simulação da UPS de dupla conversão, adotadas nos estudos de rendimento conduzidos nesta dissertação. O capítulo 4 descreve as ferramentas implementadas para cálculo de perdas em conversores e os protótipos desenvolvidos para medição destas perdas. No capítulo 5, constam os resultados teóricos da pesquisa e os resultados experimentais preliminares. Por fim, o capítulo 6 discorre sobre as conclusões e as propostas de continuidade deste trabalho.

2 REVISÃO BIBLIOGRÁFICA

Este capítulo revisa a literatura básica que fundamenta este trabalho. Inicialmente, discute-se sobre a classificação de UPSs. A UPS em estudo, do tipo dupla conversão, é então definida. Na sequência, as perdas assumidas dominantes em conversores são conceituadas. As equações e os métodos descritos na literatura para que estas parcelas dominantes sejam estimadas são apresentadas. Por fim, detalham-se os procedimentos usuais para medição de perdas, bem como aqueles adotados na presente pesquisa.

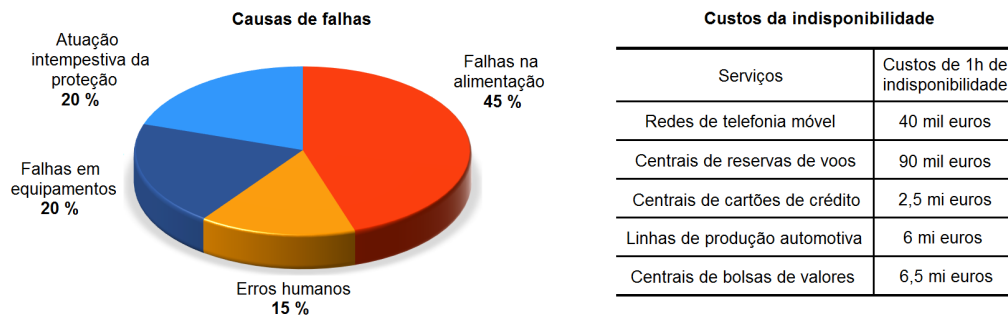
2.1 UPS: definição e classificação

As UPSs, acrônimo em inglês para *Uninterruptible Power Supplies*, são equipamentos que garantem a alimentação de subsistemas elétricos quando há interrupção no fornecimento de energia da rede principal. Estes equipamentos são usuais no suprimento de sistemas com missão crítica, em que falhas e interrupções podem levar a riscos e a perdas sociais ou financeiras. Como exemplo destes sistemas, citam-se: instrumentação médica de unidades de terapia intensiva (UTI); linhas de produção industriais; controladores de plantas de usinas nucleares; *datacenters*; servidores de sites de serviços de *e-mail* e *e-commerce*; equipamentos de aeroportos, centrais de telecomunicação e bolsas de valores, entre outros. Nestas aplicações, a taxa de disponibilidade de redes elétricas de distribuição comuns, estimada no máximo em 99,9%, é insuficiente para garantir a operação segura, sem riscos ou danos irreparáveis (CURTIS, 2011).

Por outro lado, na maior parte das aplicações críticas, os distúrbios de qualidade de energia típicos das redes de distribuição – como afundamentos, surtos, impulsos, sobretensões, subtensões, variações de frequência, distorções harmônicas, etc. – podem levar ainda a falhas e perdas. Segundo estimativas do Comitê Europeu de Fabricantes de Máquinas Elétricas e Equipamentos de Eletrônica de Potência (*European Committee of Manufacturers of Electrical Machines and Power Electronics*, CEMEP), cerca de 45 % das falhas em sistemas críticos se devem a interrupções ou a outros distúrbios na alimentação, como indica o gráfico da Figura 2.1 (CEMEP, 2008). Os custos por uma hora de indisponibilidade de alguns sistemas críticos, como redes de telefonia móvel, linhas de produção automotivas e centrais de transações de cartões de créditos, de reserva e venda de voos ou de bolsas de valores, também estimados pelo CEMEP, são enumerados na Figura 2.1. Estas perdas podem ser ainda humanas, no caso de falhas em sistemas vitais como hospitais e controladores de voo.

Nestas aplicações críticas, a simples adição de geradores ou fontes auxiliares de emergência não assegura a alimentação sustentada e contínua, já que a comutação para estas fontes não é instantânea (CURTIS, 2011). Neste contexto, portanto, o uso de UPSs, instaladas entre a

Figura 2.1 – Causas de falhas e custos da indisponibilidade de sistemas críticos.



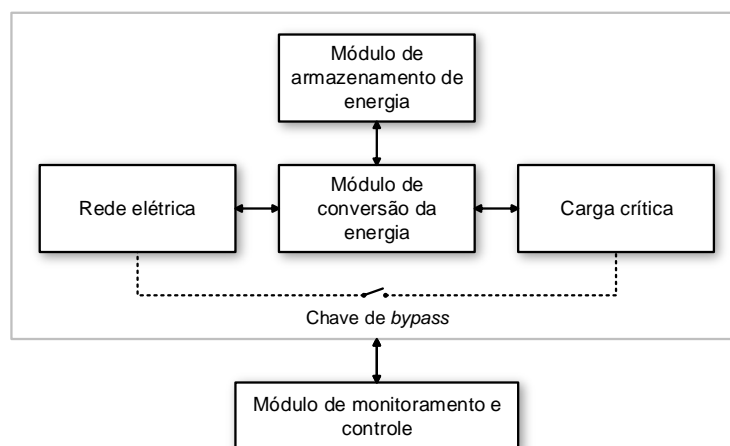
Fonte: Adaptado de CEMEP (2008).

rede principal e a carga crítica, se torna mandatório. Assim, segundo EATON (2012), as UPSs assumem três funções básicas, na maior parte das aplicações:

- (i) a de prevenir danos que decorrem de surtos e transitórios – casos em que as UPSs devem ser continuamente conectadas em série com a carga crítica;
- (ii) a de evitar perdas ou corrupção de dados em sistemas computadorizados, que resultam de desligamentos intempestivos;
- (iii) a de prover a disponibilidade e a continuidade de redes e de serviços durante o processo de *startup* de sistemas de alimentação auxiliares (como geradores a diesel).

De modo geral, todas as UPSs integram três unidades básicas, a saber: um módulo de armazenamento de energia, um estágio de conversão de energia e um sistema de monitoramento e controle (SANTOS FILHO, 1998), como representa a Figura 2.2. Assim, a estrutura de cada um destes elementos e o modo como estão conectados com a rede elétrica e com a carga crítica definem os critérios para a classificação das UPSs.

Figura 2.2 – Módulos básicos de uma UPS.

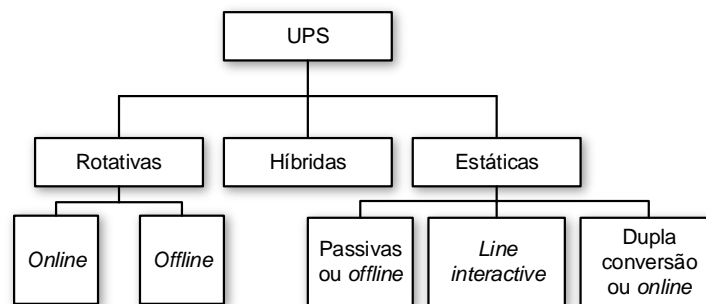


Fonte: SANTOS FILHO (1998).

O esquema da Figura 2.3 exhibe as classes e subclasses de UPSs comumente definidas na literatura. De modo geral, as UPSs podem ser *estáticas*, *rotativas* ou *híbridas*. O primeiro tipo se

vale apenas de conversores estáticos, baseados em dispositivos semicondutores, para a conversão de energia. O segundo integra somente sistemas eletromecânicos com máquinas girantes, com geradores e motores acoplados. Já o terceiro tipo combina conversores estáticos e máquinas girantes (GUERRERO; VICUNA; UCEDA, 2007). As UPSs rotativas, categorizadas em *online* e *offline*, são brevemente descritas na subseção 2.1.1. A seção 2.1.2 apresenta a estrutura típica de uma UPS híbrida. Já as UPSs estáticas, subdivididas em passivas ou *offline*, *line-interactive* e de dupla conversão ou *online*, são discutidas na seção 2.1.3.

Figura 2.3 – Classificação das UPSs.



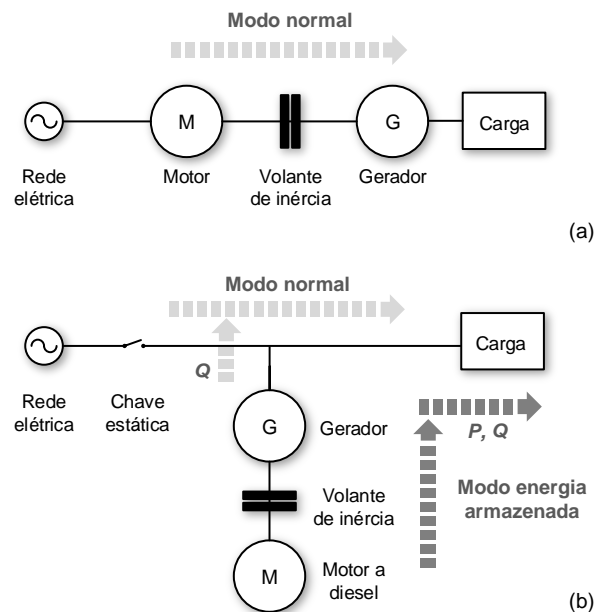
Fonte: Dados da pesquisa, 2016.

2.1.1 UPSs rotativas

As UPSs rotativas, mais comuns no século passado, são ainda aplicáveis a sistemas de potências mais elevadas, da ordem de centenas de MW. Em linhas gerais, este tipo de UPS inclui um conjunto “motor-gerador” e volantes de inércia de massa elevada, que mantêm a carga crítica alimentada mesmo quando há interrupções da ordem de segundos na rede principal (GUERRERO; VICUNA; UCEDA, 2007). Há variações deste tipo de UPS que operam *online*, *i.e.*, continuamente conectadas às cargas críticas e *offline*, acionadas apenas quando há falhas na rede principal. A Figura 2.4 representa a configuração típica destes dois tipos de UPSs rotativas. Na UPS rotativa *online* da Figura 2.4(a), a rede principal alimenta um motor conectado a volantes de inércia e acoplado ao eixo de um gerador, que, por sua vez, alimenta continuamente as cargas críticas. Já na UPS rotativa *offline*, ilustrada na Figura 2.4(b), um “conjunto motor-gerador” opera em regime normal apenas para injeção de potência reativa (Q), como um compensador síncrono, para fins de correção de fator de potência. Quando há interrupção na rede principal, uma chave desconecta esta rede e aquele conjunto passa a fornecer também potência ativa (P) às cargas.

Como vantagens das UPSs rotativas, citam-se a confiabilidade e o baixo custo de manutenção, já que o sistema integra apenas componentes eletromecânicos (CURTIS, 2011). Ademais, estas UPSs também podem ser dimensionadas para a operação em médias tensões na entrada e na saída, sem elevar proibitivamente os custos – o que em geral ocorre nos sistemas com UPSs estáticas. A demanda por ventilação nas UPSs rotativas é também menor do que nas estáticas,

Figura 2.4 – Tipos de UPS rotativas.



Tipos: (a) *online* e (b) *offline*.

Fonte: Adaptado de Guerrero, Vicuna e Uceda (2007).

já que o sistema suporta temperaturas mais elevadas. Estas UPSs também permitem o uso de motores de combustão interna diretamente, via acoplamento mecânico com o gerador (CURTIS, 2011), em alternativa ao uso de baterias. Por fim, contrariamente às UPSs estáticas, as UPS rotativas dispensam a necessidade de filtros passivos no estágio de saída ou de entrada.

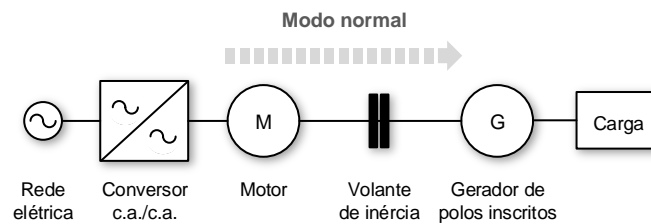
Todavia, como desvantagens das UPSs rotativas, salientam-se as perdas elevadas do conjunto “motor-gerador” – mais críticos nas UPSs *online*, os altos níveis de ruído introduzidos pelo sistema (GUERRERO; VICUNA; UCEDA, 2007) e o custo de aquisição, que supera em 20 % a 30 % os custos de uma UPS estática (CURTIS, 2011).

2.1.2 UPSs híbridas

A combinação de UPSs rotativas com conversores estáticos resulta nas UPSs *híbridas*, representadas no diagrama da Figura 2.5. Nestas UPSs, um acionamento de velocidade variável, composto por um conversor c.a./c.a., ajusta a velocidade do motor conectado a um volante de inércia. Um gerador de “polos inscritos” (*written-pole*) alimenta a carga a uma frequência constante, mesmo com o rotor a velocidades entre 3150 e 3600 rpm (GUERRERO; VICUNA; UCEDA, 2007). No caso de interrupção na rede principal, o volante de inércia mantém o sistema em rotação a velocidades maiores do que 3150 rpm (GUERRERO; VICUNA; UCEDA, 2007), garantindo, assim, o suprimento da carga crítica. Em regime normal, o conjunto “motor-gerador” condiciona a tensão sobre a carga. O conversor c.a./c.a. permite ainda a atenuação de distorções harmônicas e a conversão da frequência de operação (e.g., de 60 Hz para 50 Hz). Esta variação

de UPS combina, portanto, o armazenamento mecânico da energia, provido pelo volante de inércia, com a independência em frequência introduzida pelo conversor c.a./c.a.. Assim, as vantagens da UPS rotativa *online*, somadas à independência em frequência, se aplicam à UPS híbrida. A adição do conversor estático, todavia, penaliza a confiabilidade e os custos do sistema, em comparação com a UPS rotativa *online* típica da Figura 2.4(a). Como desvantagens da UPS híbrida também figuram o custo elevado, o peso e os níveis de ruído, bem como as perdas significativas ao longo dos estágios de conversão de energia.

Figura 2.5 – Diagrama esquemático de uma UPS híbrida.



Fonte: Adaptado de Guerrero, Vicuna e Uceda (2007).

2.1.3 UPSs estáticas

As UPSs *estáticas*, contrariamente às rotativas e híbridas, constituem-se apenas de conversores estáticos. Segundo a norma IEC 62040-3 (2011), há três classes de UPSs estáticas, categorizadas conforme o modo como interagem com a rede principal e quanto à independência em tensão/frequência:

- (i) UPSs *offline* ou passivas, dependentes da tensão e da frequência da rede principal;
- (ii) UPSs *line-interactive*, independentes da tensão da rede principal, mas dependentes em frequência;
- (iii) UPSs *online* ou de dupla conversão, independentes da tensão e da frequência da rede principal.

Em geral, a análise dos distúrbios críticos para a planta define um critério inicial para a seleção de UPSs (GUERRERO; VICUNA; UCEDA, 2007). A Tabela 2.1 detalha os distúrbios que cada tipo de UPS estática pode prevenir e, assim, orienta a seleção de UPSs para uma aplicação em particular, conforme a sensibilidade da carga crítica.

Como se nota na Tabela 2.1, as UPSs do tipo passivas ou *offline* só corrigem, em regime normal, problemas associados a distúrbios com durações t maiores que 4 ms e menores que 16 ms (VILLAFÁfila et al., 2007). Ao comutar para o modo de energia armazenada (com alimentação por baterias), estas UPSs corrigem interrupções sustentadas de duração t maior que 10 ms . Já as UPSs do tipo *line-interactive* previnem também variações de tensão de curta e de longa duração, como afundamentos, elevações, subtensões e sobretensões. Por fim, as UPSs de

Tabela 2.1 – Distúrbios de qualidade de energia e tipo de UPS para correção.

Distúrbio	UPS recomendada	
	Classe IEC	Tipo
1 Interrupção na rede de duração $t > 10\text{ ms}$	Dependente da tensão e da frequência da rede	Passiva ou <i>offline</i>
2 “Afundamento” de tensão com $4\text{ ms} < t < 16\text{ ms}$		
3 “Elevação” de tensão com $4\text{ ms} < t < 16\text{ ms}$		
4 Afundamento temporário ou momentâneo de tensão ou subtensão sustentada	Independente da tensão da rede	<i>Line-interactive</i>
5 Elevação temporária ou momentânea de tensão ou sobretensão sustentada		
6 Transitórios, picos, impulsos, “afundamentos” e “elevações” de tensão de duração $t < 4\text{ ms}$	Independente da tensão e da frequência da rede	Dupla conversão ou <i>online</i>
7 Variações de frequência		
8 Ruídos		
9 Distorções harmônicas		

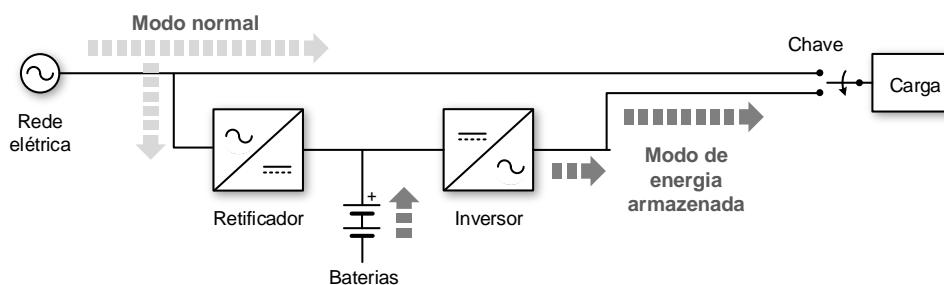
Fonte: Adaptado de Guerrero, Vicuna e Uceda (2007) e Villafáfila et al. (2007).

dupla conversão ou *online* suprimem todos estes distúrbios e ainda garantem a imunidade da carga crítica a transitórios e surtos com durações menores que 4 ms , a variações de frequência, a ruídos e a distorções harmônicas. O modo como cada uma destas classes de UPS estática interage com a rede elétrica e, assim, corrige os distúrbios enumerados na Tabela 2.1, é abordado nas subseções a seguir. As vantagens e desvantagens de cada tipo são também discutidas.

2.1.3.1 UPS estáticas passivas ou *offline*

O diagrama esquemático de uma UPS passiva ou *offline* segue na Figura 2.6. Esta UPS constitui-se de um banco de baterias, um retificador, um inversor e uma chave. O banco de baterias, conectado em paralelo com a carga, provê o *backup* de energia, quando da indisponibilidade da rede principal. Este tipo de UPS pode assumir dois regimes de operação, como definem as normas: o modo normal e o modo de “energia armazenada” (tradução livre para o termo *stored-energy mode*).

Figura 2.6 – Diagrama esquemático de uma UPS *offline*.



Fonte: Adaptado de Guerrero, Vicuna e Uceda (2007).

No modo normal, a carga crítica é alimentada pela rede principal e o banco de baterias, conectado à rede por um conversor c.a./c.c., é mantido em carga completa. Esta UPS pode incluir filtros de entrada ou outros recursos de condicionamento de tensão, que atenuam alguns distúrbios da rede principal. Todavia, não foram localizadas, na norma IEC 62040-3, referências específicas ao tipo de condicionamento que esta classe de UPS deve garantir. Mas há, no texto desta norma, a indicação de que “dispositivos adicionais podem ser incorporados para prover condicionamento de energia, *e.g.*, transformadores ferroressonantes ou de *tap* variável”¹.

Já no modo de “energia armazenada”, que ocorre quando a rede principal está indisponível, o sistema “banco de baterias + inversor” passa a alimentar a carga. A transição para este modo, quando da ocorrência da interrupção da rede, demanda até 10 ms (KARVE, 2000). A UPS continua a operar no estado de “energia armazenada” durante o período em que as baterias possam suprir a carga, referido na literatura como *backup time* (KARVE, 2000), ou até que a rede principal se restabeleça. Nesta última condição, a UPS deve retornar ao modo normal.

Como vantagens das UPSs *offline*, podem-se citar a simplicidade de projeto e o baixo custo e volume. Como contrapartida, todavia, figuram-se como desvantagens desta variação de UPS:

- (i) dependência com a tensão da rede e impossibilidade de regulação da tensão em modo normal;
- (ii) dependência com a frequência da rede, o que inviabiliza o uso desta UPS como conversor de frequência (de $60\text{ Hz}/50\text{ Hz}$, por exemplo) ou a rejeição de distúrbios associados à variação de frequência (ruídos, distorções harmônicas, transitórios, etc.);
- (iii) tempos de chaveamento para o modo de “energia armazenada” elevados, que podem ser proibitivos em algumas aplicações com cargas mais sensíveis, como centrais de grandes computadores (KARVE, 2000);
- (iv) imunidade em modo normal apenas a distúrbios de subtensão ou sobretensão com duração maior do que 4 ms e menor do que 16 ms e vulnerabilidade a quaisquer outros distúrbios (GUERRERO; VICUNA; UCEDA, 2007);
- (v) modelos comerciais de potência nominal de até 2 kVA , em razão das limitações desta topologia de UPS (KARVE, 2000);
- (vi) uso não-recomendado em ambientes potencialmente ruidosos, com possíveis interferências ou com distúrbios de alimentação, como em plantas industriais (EATON, 2012).

A UPS *offline*, portanto, penaliza desempenho, funcionalidade e proteção contra distúrbios, para fins de redução dos custos. O baixo custo justifica o largo uso desta UPS em

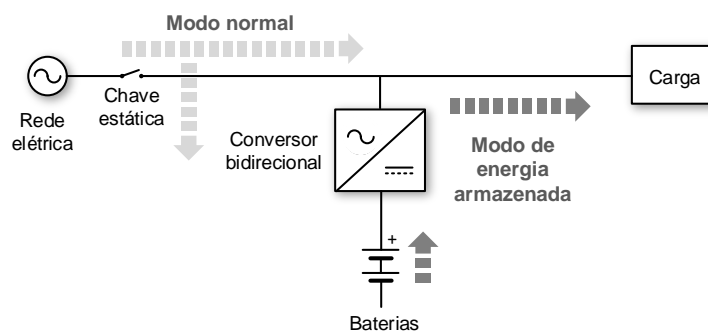
¹ Tradução livre do excerto da norma IEC 62040-3: “*additional devices may be incorporated to provide power conditioning, e.g. ferroresonant transformer or automatic tap changing*” (MGE, 1999).

aplicações residenciais típicas de cerca de 600 VA, para alimentação de computadores pessoais (GUERRERO; VICUNA; UCEDA, 2007).

2.1.3.2 UPS estáticas *line-interactive*

A Figura 2.7 ilustra a topologia de uma UPS *line-interactive*. Nesta topologia, um conversor em paralelo interage com a rede para carregar o banco de baterias e para condicionar a tensão sobre a carga. Assim, há, como no caso da UPS *offline*, dois estados de operação, a saber: o regime normal e o modo de “energia armazenada”.

Figura 2.7 – Diagrama esquemático de uma UPS *line-interactive*.



Fonte: Adaptado de Guerrero, Vicuna e Uceda (2007).

No modo normal, a carga é alimentada pela associação paralela da rede principal com um inversor, que serve ao condicionamento da tensão de saída – como um filtro ativo. Este inversor, que também opera como retificador, mantém o banco de baterias continuamente carregado, em regime normal (GUERRERO; VICUNA; UCEDA, 2007).

No modo de “energia armazenada”, que ocorre quando há interrupção ou falhas na rede principal, o inversor e a bateria passam a alimentar continuamente a carga. Uma chave estática desconecta a rede principal da carga. Este estado perdura até que as baterias se descarreguem (*backup time*) ou até que a rede retorne aos níveis seguros de operação da UPS. Neste último caso, a UPS retoma o estado normal.

A vantagem desta variação de UPS é o baixo custo, quando comparada a UPSs *online* de mesma potência. Todavia, ressaltam-se, como desvantagens das UPSs *line-interactive*:

- (i) dependência com a frequência da rede, o que inviabiliza o uso desta UPS para conversão de frequências (de 60 Hz/50 Hz, por exemplo) ou a rejeição de distúrbios associados à variação de frequência (ruídos, distorções harmônicas, transitórios, etc.), em regime normal;
- (ii) vulnerabilidade a transitórios, ruídos, surtos e distorções harmônicas (GUERRERO; VICUNA; UCEDA, 2007);

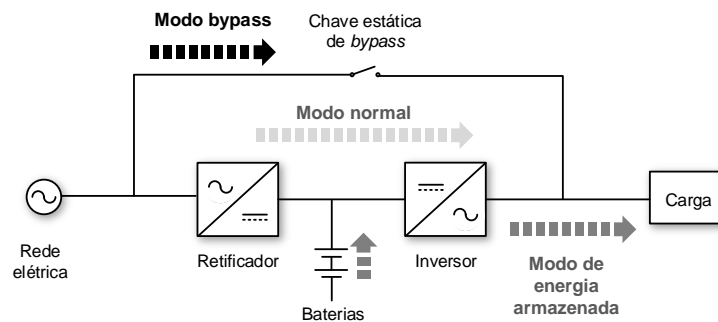
- (iii) degradação de eficiência no caso em que carga exhibe comportamento não-linear (KARVE, 2000);
- (iv) condicionamento de tensão limitado, já que o inversor opera em paralelo com a rede principal (KARVE, 2000);
- (v) potência máxima de até 5 kVA (GUERRERO; VICUNA; UCEDA, 2007), como resultado das limitações desta topologia de UPS.

A dependência em relação à frequência da rede torna o uso da UPS *line-interactive* inviável para a alimentação de cargas sensíveis de potências elevadas (KARVE, 2000). Assim, estas UPSs só são comumente aplicadas em sistemas de $0,5\text{ kVA}$ a 5 kVA , *e.g.*, de pequenos servidores (GUERRERO; VICUNA; UCEDA, 2007). Quando a rede principal é livre de distúrbios, o rendimento típico deste conversor atinge cerca de 97% (GUERRERO; VICUNA; UCEDA, 2007).

2.1.3.3 UPS estáticas de dupla conversão ou *online*

O diagrama da Figura 2.8 ilustra uma UPS de dupla conversão. Nesta topologia, um conversor c.a./c.a. se conecta continuamente em série com a carga crítica, em regime normal. Esta UPS pode assumir três regimes de operação: o modo normal, o modo de “energia armazenada” (*stored-energy mode*) e o modo *bypass*.

Figura 2.8 – Diagrama esquemático de uma UPS de dupla conversão.



Fonte: Adaptado de Guerrero, Vicuna e Uceda (2007).

Em regime normal, um conversor c.a./c.a., com estágios retificador e inversor em cascata, supre continuamente a carga e condiciona a tensão e a frequência de alimentação. A combinação dos dois estágios de conversão fundamentam o termo em inglês *double-conversion*, mais aceito pela norma IEC para designar esta classe de UPS. Esta dupla conversão torna a UPS independente da tensão e da frequência da rede principal. Ainda em regime normal, o retificador – ou, eventualmente, um conversor c.c./c.c. adicional, para ajustar os níveis de tensão e corrente (LEGA et al., 2007) – mantém a bateria em carga máxima.

No modo de “energia armazenada”, em que a rede principal não atende aos níveis de tolerância da UPS ou se torna indisponível, o banco de baterias e o inversor passam a prover a carga. A UPS se mantém neste estado durante o *backup time* ou até que a rede volte a operar em condições normais.

No modo *bypass*, uma chave estática estabelece um curto-circuito entre a entrada e a saída da UPS, permitindo a alimentação da carga diretamente pela rede principal. Em geral, a UPS assume este estado em caso de sobrecarga ou de transitórios de corrente na carga, de fim do *backup time* (KARVE, 2000) ou ainda, quando há falhas na UPS. No instante de comutação para o modo *bypass*, a UPS garante o sincronismo da tensão da carga com a rede principal (KARVE, 2000). Todavia, se a frequência da carga diferir da frequência da rede principal, o *bypass* via chave não se torna possível. Por outro lado, se os níveis de tensão da carga não equivalerem aos da rede principal, a chave de *bypass* pode incluir um transformador, para viabilizar esta conexão (KARVE, 2000).

Uma chave adicional, de comando manual e conectada em paralelo com a chave estática, é também comum nesta classe de UPS (CURTIS, 2011). Esta chave, referida por *maintenance bypass*, é fechada pelo operador para que sejam conduzidas as ações de manutenção preventiva ou corretiva na UPS. Nas aplicações em que a carga não possa ser suprida pela rede durante as rotinas de manutenção da UPS, opta-se pela alimentação por um gerador auxiliar ou por uma segunda UPS, instalada para garantir a redundância (CURTIS, 2011).

Como vantagens das UPSs de dupla conversão, enumeram-se:

- (i) independência com a tensão e a frequência da rede, tanto no modo normal quanto no modo de “energia armazenada”;
- (ii) larga faixa de tolerância de tensão de entrada e regulação da tensão de saída (KARVE, 2000);
- (iii) comutação instantânea para o modo de “energia armazenada”;
- (iv) comutação automática para o modo *bypass*, no caso de falhas internas à UPS ou sobrecarga;
- (v) correção do fator de potência na entrada e corrente senoidal na entrada;
- (vi) maior confiabilidade, em comparação com outras classes de UPS, já que as baterias são mantidas em carga máxima, disponíveis para a alimentação imediata da carga;
- (vii) capacidade de rejeição de distúrbios típicos de redes de distribuição, como interrupções, afundamentos, subtensão, sobreelevação, sobretensão, ruído, transitórios e distorções harmônicas (GUERRERO; VICUNA; UCEDA, 2007).

Todavia, em contrapartida ao desempenho, impõem-se, como desvantagens das UPSs do tipo dupla conversão:

- (i) limitação no rendimento em regime normal, que atinge no máximo 94% em UPSs comerciais (GUERRERO; VICUNA; UCEDA, 2007);
- (ii) maior custo, em comparação com as outras variações de UPS, como resultado do uso de maior número de chaves;
- (iii) maior complexidade no controle, que decorre do uso de um maior número de conversores e de variáveis de controle (tensão e corrente na entrada e na saída);
- (iv) necessidade de dimensionamento do estágio retificador para potências até 1,5 vezes a nominal no caso em que não há um circuito independente de carga, já que este estágio deve também manter as baterias em carga máxima (FÉLIX, 2003).

Não obstante, a independência em tensão e frequência, a proteção introduzida contra os distúrbios típicos de redes de distribuição e a confiabilidade justificam o uso das UPSs de dupla conversão. De fato, estas UPSs são as mais usuais em aplicações com missão crítica (TON; FORTENBURY, 2005) e dominam, quase exclusivamente, o mercado de UPSs com potências maiores do que 5 kVA (GUERRERO; VICUNA; UCEDA, 2007). Em razão do largo uso, as UPSs do tipo dupla conversão serão, em particular, avaliadas quanto ao rendimento neste trabalho.

2.2 Perdas em conversores e modelos térmicos

Grosso modo, as análises de rendimento de um conversor de potência devem se basear na estimativa das perdas individuais dos estágios (ou blocos) que os integram. No contexto das UPSs de dupla conversão, devem-se avaliar as perdas nos circuitos de potência (*i.e.*, nos estágios inversor e retificador, no barramento c.c. e nos filtros de entrada e de saída) bem como nos circuitos de controle, comando e condicionamento de sinal. A análise acurada de todos estes blocos, para fins de identificação de todas as fontes pontuais de perdas, se torna complexa e injustificável. Cabe ao projetista, portanto, enumerar as fontes que efetivamente limitam o rendimento do conversor completo. Por exemplo, é provável que as perdas nos circuitos de comando, de condicionamento e de controle somem uma parcela ínfima das perdas totais. Do mesmo modo, a dissipação de energia no barramento c.c. em geral também pode ser desprezada, já que a associação paralela de um grande número de capacitores eletrolíticos neste barramento – prática comum para que se atenda ao critério de corrente máxima nos capacitores – tende a minimizar a resistência equivalente e, assim, as perdas. Mesmo nos filtros de entrada e de saída das UPSs, o uso de capacitores de filme plástico, com baixa resistência série, torna insignificantes as perdas nestes capacitores. Ainda que a opção pelo amortecimento destes filtros via resistores tenha sido adotada (como na técnica passiva), o resistor de amortecimento é dimensionado para que as perdas não sejam significativas. Como resultado destas simplificações, apenas a avaliação das perdas nos semicondutores e nos indutores dos filtros de entrada e de saída passa a ser suficiente para caracterização da UPS quanto ao rendimento. Por esta razão, somente as

perdas nos semicondutores e nos indutores, revisadas nas subseções a seguir, são avaliadas neste trabalho.

2.2.1 Perdas nos semicondutores

Em geral, a avaliação das perdas nos semicondutores é mandatória no projeto de qualquer conversor estático. Assim, ainda que as ações para “otimização” do projeto quanto ao rendimento sejam dispensáveis, o cálculo das perdas em cada dispositivo se torna obrigatório para o dimensionamento do sistema de refrigeração do conversor. Este sistema deve ser projetado para garantir, em última análise, que em nenhuma das prováveis condições de operação o limite térmico na junção dos semicondutores seja violado. Em razão da correlação entre a temperatura de junção e a confiabilidade do dispositivo, o projeto deste sistema pode ainda assegurar a operação em faixas de temperaturas de junção que atendam a um critério de tempo de vida útil, por exemplo. Independentemente do objetivo do sistema de refrigeração, a avaliação da potência dissipada nos semicondutores, bem como a modelagem térmica do sistema completo, são fases obrigatórias no projeto.

Na literatura, classificam-se as perdas em módulos semicondutores de potência em dois tipos, a saber, as perdas de *condução* e de *chaveamento*. Estas perdas são revisadas, em linhas gerais, nas seções a seguir.

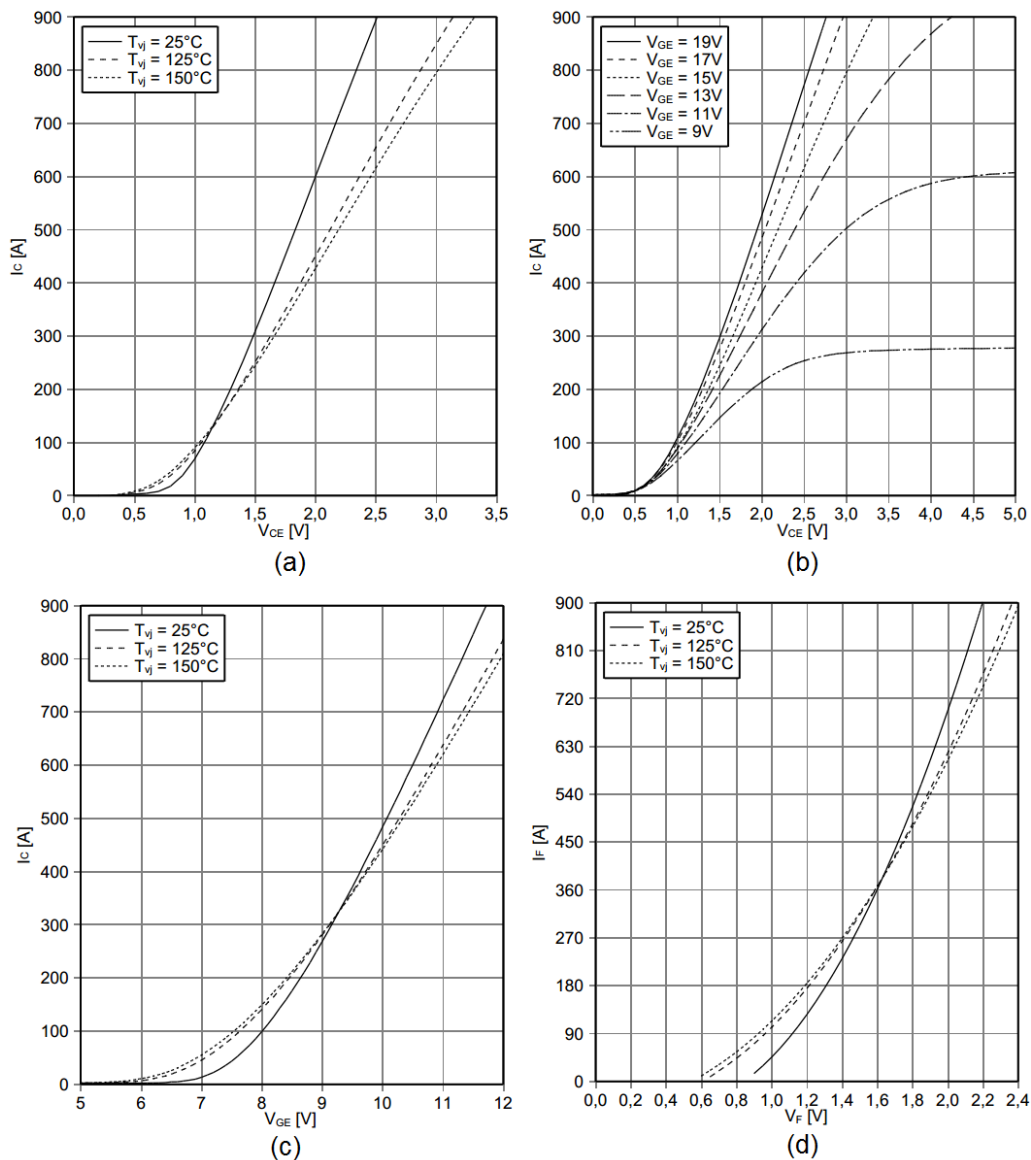
2.2.1.1 Perdas de condução

As chaves que constituem os módulos de potência não são ideais, e, portanto, impõem uma queda de tensão não-nula entre os terminais, v_{sw} , ao conduzirem a corrente direta i_{sw} . Como resultado, há dissipação de potência ao longo da extensão do dispositivo enquanto as chaves assumirem o estado “fechado”. Nos diodos, a característica $v_{sw} \times i_{sw}$ (definida pela resistência r_{sw} e pela tensão de limiar do componente V_T) depende apenas da temperatura de junção e de propriedades físicas e geométricas do dispositivo. Particularmente nos transistores, esta característica varia ainda com a tensão de disparo do componente, *i.e.* da tensão entre *gate* e emissor, em um IGBT ou entre *gate* e fonte, em um MOSFET. As equações que descrevem as relações entre v_{sw} e i_{sw} para os MOSFETs, IGBTs e diodos são apresentadas, por exemplo, em Baliga (2008) e Sze (2001) e serão omitidas aqui.

Normalmente, os fabricantes dos módulos de potência disponibilizam, em catálogo, diretamente as curvas de i_{sw} em função de v_{sw} . Isso dispensa, pois, a necessidade de caracterização do componente quanto aos parâmetros físicos que definem estas curvas. A Figura 2.9 representa algumas curvas $i_{sw} \times v_{sw}$ típicas, extraídas da folha de dados de um módulo comercial típico de IGBTs (INFINEON, 2013). Neste catálogo, as tensões coletor-emissor de saturação do IGBT, V_{CE} , para várias correntes de coletor, I_c , são indicadas para uma tensão *gate*-emissor V_{GE} fixa (Figura 2.9.a). Para os IGBTs, são ainda fornecidas múltiplas curvas associadas a várias tensões V_{GE} , para a operação com temperatura de junção máxima (Figura

2.9.b), e, adicionalmente, a curva de corrente I_c como função direta da tensão V_{GE} , referida por “característica de transferência” do transistor (Figura 2.9.c). A curva dos diodos em anti-paralelo com os transistores ($I_F \times V_F$), para a polarização no primeiro quadrante, também é dada na folha de dados do módulo (Figura 2.9.d). Em geral, constam no catálogo de IGBTs as curvas $i_{sw} \times v_{sw}$ relativas à operação dos diodos e transistores com temperatura de junção máxima (de cerca de $150^\circ C$) e de $25^\circ C$, pelo menos. Em geral, nos catálogos de MOSFETs, curvas similares são fornecidas pelos fabricantes.

Figura 2.9 – Curvas do catálogo do módulo comercial trifásico FF450R12KE4 (Infineon).



Curvas: (a) curva $I_c \times V_{CE}$, com tensão V_{GE} fixa, à várias temperaturas de junção; (b) curva $I_c \times V_{CE}$, para várias tensões V_{GE} , para a operação em temperatura de junção máxima; (c) característica de transferência do IGBT, $I_c \times V_{GE}$, para uma dada tensão V_{CE} ; (d) curva $I_F \times V_F$, à várias temperaturas de junção.

Fonte: Infineon (2013).

Assim, com base nas curvas $i_{sw} \times v_{sw}$ disponibilizadas em catálogo para cada componente, é possível derivar, diretamente, a queda de tensão associada à cada valor instantâneo de corrente,

para uma dada temperatura de junção T_j e tensão de disparo V_g (no caso dos transistores). A perda de condução de cada componente pode ser definida, pois, como a média do produto instantâneo entre i_{sw} e v_{sw} . Particularizando esta definição para cada dispositivo, vem, se $P_{cond(Q)}$ e $P_{cond(D)}$ se referem às perdas nos transistores e nos diodos, nesta ordem:

$$P_{cond(Q)} = \frac{1}{T} \int_0^T v_q(i_q(t), T_j, V_g) \cdot i_q(t) \cdot dt, \quad (2.1)$$

$$P_{cond(D)} = \frac{1}{T} \int_0^T v_d(i_d(t), T_j) \cdot i_d(t) \cdot dt, \quad (2.2)$$

em que v_q e i_q constituem a tensão e a corrente instantâneas no transistor; v_d e i_d , no diodo e T se refere a um intervalo de tempo maior ou igual ao período da potência instantânea. Na literatura, alguns trabalhos derivam as perdas de condução analiticamente, com base na premissa de que as correntes nos dispositivos resultam do produto de uma função senoidal pela função de chaveamento do conversor (BIERHOFF; BRANDENBURG; FUCHS, 2007; KOLAR; ERTL; ZACH, 1991). Como resultado, várias equações analíticas para as perdas de condução, para cada técnica de modulação, são obtidas nestes trabalhos. Todavia, esta solução analítica só se aplica às cargas lineares e depende da técnica de modulação em uso, bem como da topologia do conversor. Nesta dissertação, para fins de generalização da metodologia para topologias, tipos de cargas e técnicas de modulação distintas, opta-se por derivar as correntes nos dispositivos diretamente de simulações temporais. Deste modo, os efeitos de cargas não-lineares – tipo de carga mais comum das UPSs – podem ser avaliados. Para tanto, as equações (2.1) e (2.2) são “discretizadas” e o operador integral é aproximado pelo operador de soma finita. Assim, se T_s consiste no passo da simulação temporal, suficientemente menor do que o inverso da frequência de chaveamento F_{sw} do conversor², tem-se:

$$P_{cond(Q)} \approx \frac{1}{T} \sum_{k=0}^{\lceil T/T_s \rceil} v_q(i_q[k], T_j, V_g) \cdot i_q[k] \cdot T_s, \quad (2.3)$$

$$P_{cond(D)} \approx \frac{1}{T} \sum_{k=0}^{\lceil T/T_s \rceil} v_d(i_d[k], T_j) \cdot i_d[k] \cdot T_s, \quad (2.4)$$

em que k se refere à k -ésima amostra dos sinais simulados.

2.2.1.2 Perdas de chaveamento

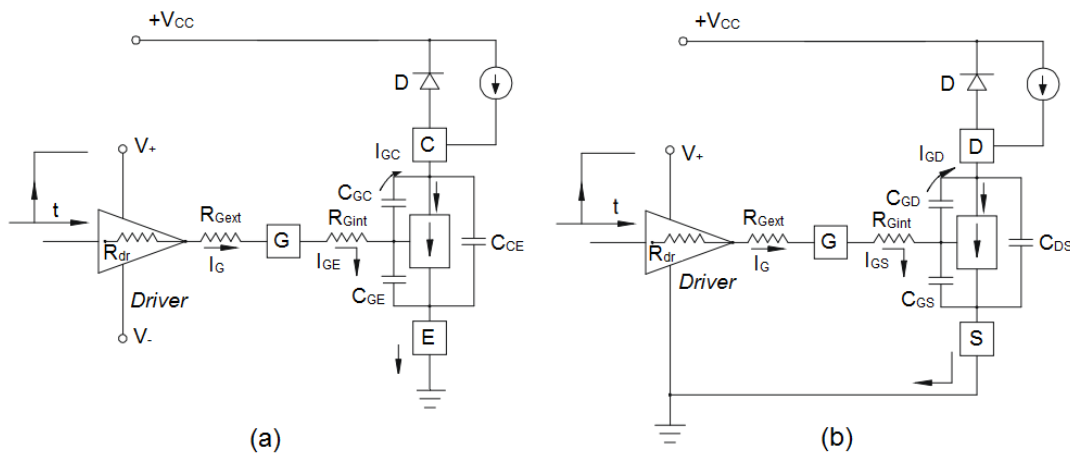
A transição entre os estados “fechado” e “aberto” das chaves de um conversor leva, invariavelmente, à dissipação de energia. Especialmente no processo de chaveamento do tipo *hard-switching*, as chaves comutam de estado em intervalos de tempo não-nulos com tensões e

² Nas simulações temporais propostas, atribui-se o passo a um valor 128 a 512 vezes menor do que o inverso da frequência de chaveamento F_{sw} , em geral. A escolha deste valor se baseia na análise de sensibilidade dos resultados de simulação à variação do passo. Inicia-se com um passo igual a $1/(F_{sw} \cdot 128)$ e avalia-se o efeito da redução deste passo em duas vezes. Se os resultados não se alterarem, o passo é mantido naquele primeiro valor. Caso contrário, divide-se o passo por dois até que os resultados não sejam mais sensíveis à esta redução.

correntes elevadas. Como resultado, a energia dissipada na comutação, que provém da integral do produto entre tensão e corrente instantâneas ao longo do intervalo em que ocorre a transição de estado, não é desprezível. As perdas associadas à comutação, referidas por “perdas de chaveamento”, podem superar as perdas de condução e devem ser consideradas, pois, nas análises de rendimento do conversor. Assim, as potências dissipadas nos processos de *turn-on* e de *turn-off* dos transistores e de recuperação reversa nos diodos devem ser avaliadas. Apenas a energia despendida no processo de *turn-on* dos diodos pode ser desprezada (VOLKE; HORNKAMP, 2012).

Em geral, as análises dos processos de chaveamento supõem a operação do conversor com carga do tipo RL , com constante de tempo L/R maior do que o inverso da frequência de chaveamento f_{sw} (RASHID, 2011). Deste modo, a corrente de carga pode ser assumida constante em cada ciclo de chaveamento e os diodos de roda livre passam a prover a continuidade desta corrente, quando do bloqueio dos transistores. Os circuitos considerados nestas análises, para o conversor com IGBT e MOSFET, são representados na Figura 2.10 (IXYS, 2012). Na notação aqui adotada para designar as tensões, correntes e impedâncias, os subscritos C , G , E , D e S se referem aos terminais de coletor, *gate*, emissor, dreno e fonte, respectivamente.

Figura 2.10 – Circuitos considerados nas análises do processo de chaveamento.



Circuitos: (a) de IGBTs e (b) de MOSFETs.

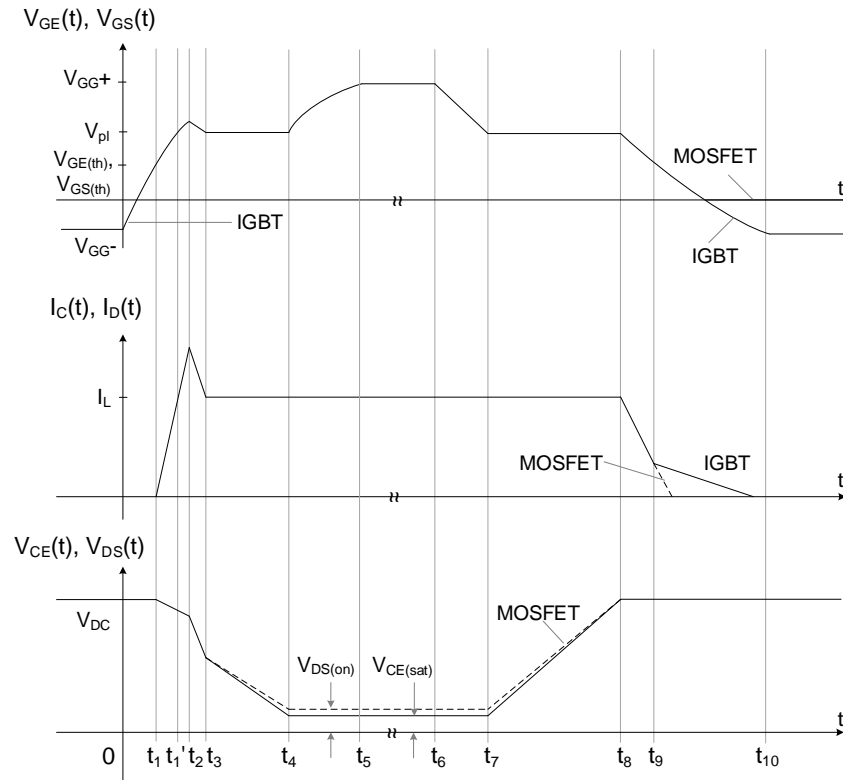
Fonte: Adaptado de Ixys (2012).

A Figura 2.11 detalha as fases do processo de chaveamento de transistores IGBT e MOSFET, em modo *hard-switching*, para a operação com carga do tipo RL .

O processo de *turn-on*, que na Figura 2.11 se inicia no instante $t = 0$ e se encerra em $t = t_4$, é caracterizado pela sequência de eventos descrita a seguir. Cabe salientar – como se nota por inspeção das curvas da Figura 2.11 – que o processo de *turn-on* é similar nos IGBTs e nos MOSFETs, uma vez que a estrutura MOS define o comportamento do IGBT em grande parte desta fase (RASHID, 2011).

- (i) Intervalo entre os instantes $t = 0$ e $t = t_1$:

Figura 2.11 – Processo de chaveamento em MOSFETs e IGBTs.



Fonte: Adaptado de Wintrich et al. (2015) e Rashid (2011).

A corrente i_G passa a circular no instante em que ocorre o disparo ($t = 0$). Esta corrente carrega a capacitância de entrada C_{iee} no IGBT, ou C_{iss} no MOSFET, definidas pelas equações (IXYS, 2012):

$$C_{iee} = C_{GE} + C_{GC}, \tag{2.5}$$

$$C_{iss} = C_{GS} + C_{GD}. \tag{2.6}$$

Cabe ressaltar que, na literatura, as capacitâncias C_{GC} e C_{GD} são denominadas “capacitâncias de Miller”, “de transferência reversa” ou “de realimentação” e também são denotadas por C_{rss} (VISHAY, 2011). Estas capacitâncias, que variam com a tensão V_{CE} (V_{DS}), assumem o valor mínimo neste intervalo – denotado por $C_{GC(min)}$ (ou $C_{GD(min)}$), em que a tensão V_{CE} (V_{DS}) se mantém elevada (IXYS, 2012).

Durante o intervalo $[0, t_1]$, a tensão V_{GE} (ou V_{GS}) cresce exponencialmente, a uma constante de tempo τ_{IGBT} (ou τ_{MOSFET}) definida pela capacitância de entrada C_{iee}

(C_{iss}) e pela resistência total de *gate* R_G , segundo as equações (IXYS, 2012):

$$R_G = R_{dr} + R_{G(int)} + R_{G(ext)}, \quad (2.7)$$

$$\tau_{IGBT} = R_G \cdot C_{iee} = R_G \cdot [C_{GE} + C_{GC(min)}], \quad (2.8)$$

$$\tau_{MOSFET} = R_G \cdot C_{iss} = R_G \cdot [C_{GS} + C_{GD(min)}], \quad (2.9)$$

$$V_{GE} = V_{GG} \cdot (1 - e^{-t/\tau_{IGBT}}), \quad (2.10)$$

$$V_{GS} = V_{GG} \cdot (1 - e^{-t/\tau_{MOSFET}}). \quad (2.11)$$

em que R_{dr} , $R_{G(int)}$ e $R_{G(ext)}$, representadas na Figura 2.10, constituem a resistência de saída do circuito de comando e as resistências de *gate* interna e externa ao módulo, nesta ordem. Como a tensão V_{GE} (V_{GS}) não supera a tensão de limiar $V_{GE(th)}$ ($V_{GS(th)}$), não há fluxo de corrente pelo coletor (dreno) neste intervalo. A tensão V_{CE} (V_{DS}) se mantém constante e igual à tensão do barramento c.c., referida por V_{DC} na Figura 2.10. Portanto, o intervalo $[0, t_1]$ representa a maior fração do tempo de “atraso” de *turn-on* (*turn-on time delay*), definido como o tempo decorrido entre os instantes em que a tensão V_{GE} (V_{GS}) atinge 10 % do valor final V_{GG} e que a corrente de coletor (dreno) vale 10 % da corrente de carga (FAIRCHILD, 2002).

(ii) *Intervalo entre os instantes $t = t_1$ e $t = t_2$:*

Assim que a tensão de limiar $V_{GE(th)}$ ($V_{GS(th)}$) é atingida, a corrente de coletor (ou de dreno) passa a aumentar à uma taxa aproximadamente constante (RASHID, 2011). Apenas no instante em que toda a corrente de carga é transferida para o transistor ($t = t'_1$ na Figura 2.11), o diodo de roda livre inicia o processo de bloqueio. O transistor, a partir deste instante, passa a conduzir a corrente de recuperação reversa do diodo, o que justifica o pico de corrente de coletor (dreno) da Figura 2.11. Assim, é durante o intervalo $[t_1, t_2]$ que a maior parte das perdas de *turn-on* do transistor é dissipada (WINTRICH et al., 2015). Isso ocorre porque neste intervalo o diodo de roda livre continua conduzindo e a tensão V_{CE} (V_{DS}) se mantém elevada. Ademais, a corrente do transistor atinge valores maiores do que a própria corrente de carga neste intervalo.

As equações para as tensões V_{GE} e V_{GS} , (2.10) e (2.11), ainda se aplicam neste intervalo. Como se nota na Figura 2.11, há uma queda na tensão V_{CE} (V_{DS}) de $t = t_1$ a $t = t_2$, que, segundo Wintrich et al. (2015), se atribui à queda nas indutâncias parasitas do circuito.

O período referido como “tempo de subida” se insere neste intervalo. Este período, informado no catálogo do transistor, é definido como o tempo necessário para que a corrente de coletor (dreno) excursiona de 10 % a 90 % do valor final.

(iii) *Intervalo entre os instantes $t = t_2$ e $t = t_3$:*

Assim que o diodo de roda livre é bloqueado, a tensão V_{CE} (V_{DS}) passa a reduzir abruptamente. A taxa desta queda depende da capacitância de Miller C_{GC} (C_{GD}), que, durante este intervalo, ainda equivale ao valor mínimo $C_{GC(min)}$ (ou $C_{GD(min)}$). O

carregamento desta capacitância absorve parte da corrente do circuito de *gate* e descarrega a capacitância C_{GE} (C_{GS}) (FAIRCHILD, 2002). No instante $t = t_3$ o processo de recuperação reversa do diodo de roda livre se encerra (FAIRCHILD, 2002). Durante o intervalo $[t_2, t_3]$, em que há uma cauda na corrente reversa dos diodos com recuperação suave, a maior parte das perdas de *turn-off* é dissipada no diodo. Cabe salientar aqui que diodos com recuperação do tipo *snappy*, com maior taxa de subida da corrente reversa (em comparação com os de recuperação suave), exibem menores perdas de *turn-off* (WINTRICH et al., 2015). Como contrapartida, todavia, há maiores sobretensões durante o desligamento do diodo do tipo *snappy* (WINTRICH et al., 2015).

(iv) *Intervalo entre os instantes $t = t_3$ e $t = t_4$:*

Neste intervalo, a redução da tensão V_{CE} (V_{DS}) leva ao aumento da capacitância de Miller C_{GC} (C_{GD}) ao valor máximo $C_{GC(max)}$ ($C_{GD(max)}$). Em razão deste aumento, a taxa de redução desta tensão passa a ser menor. Como o transistor assume toda a corrente de carga I_L , a corrente de coletor (dreno) se mantém constante e igual à I_L . A tensão V_{GE} (V_{GS}) se aproxima da razão entre esta corrente e a transcondutância g_{fs} e, assim, também se mantém inalterada no intervalo $[t_3, t_4]$ (RASHID, 2011). Por esta razão, diz-se que neste intervalo a tensão V_{GE} (V_{GS}) se mantém no nível do “platô de Miller” (IXYS, 2012).

(v) *Intervalo entre os instantes $t = t_4$ e $t = t_5$:*

No instante $t = t_4$ o IGBT (ou MOSFET) passa a operar na região de saturação (ou ôhmica, no MOSFET). A corrente de *gate* volta a carregar C_{GC} (C_{GD}), e, como V_{CE} (V_{DS}) é aproximadamente constante, a tensão V_{GE} (V_{GS}) passa a aumentar até o nível V_{GG} , conforme as equações (RASHID, 2011):

$$\tau_{IGBT} = R_G \cdot C_{iee} = R_G \cdot [C_{GE} + C_{GC(max)}], \quad (2.12)$$

$$\tau_{MOSFET} = R_G \cdot C_{iss} = R_G \cdot [C_{GS} + C_{GD(max)}], \quad (2.13)$$

$$V_{GE} = V_{GG} \cdot (1 - e^{-(t-t_4)/\tau_{IGBT}}), \quad (2.14)$$

$$V_{GS} = V_{GG} \cdot (1 - e^{-(t-t_4)/\tau_{MOSFET}}). \quad (2.15)$$

No caso do IGBT, a tensão V_{CE} só atinge o valor exato da tensão de saturação $V_{CE(sat)}$ depois de centenas de *ns* a alguns μs , que corresponde ao tempo demandado para que a região n^- seja ocupada por portadores de carga positiva que provêm da região de coletor, com dopagem p . Esse período é referido por Wintrich et al. (2015) por “fase de saturação dinâmica” (*dynamic saturation phase*). Quando a tensão V_{GE} (V_{GS}) atinge o nível V_{GG} , a corrente de *gate* passa a ser zero (RASHID, 2011).

No instante $t = t_4$, portanto, o processo de *turn-on* do transistor se encerra. A partir de então, o dispositivo assume o estado “fechado”, em que dissipa energia apenas por condução. Entretanto, no instante em que o comando do transistor for atribuído a zero, o transistor inicia o

processo de *turn-off*. Neste processo, que na Figura 2.11 se inicia no instante $t = t_6$, os eventos já detalhados sucedem em ordem inversa e, portanto, serão brevemente descritos a seguir.

(i) *Intervalo entre os instantes $t = t_6$ e $t = t_7$:*

Neste intervalo, a tensão V_{GE} (V_{GS}) se reduz a uma constante de tempo já definida nas equações (2.12) e (2.13). A tensão V_{CE} (V_{DS}) e a corrente I_C (I_D) se mantêm constantes. Este período, portanto, representa o atraso no processo de *turn-off* (*turn-off delay*) (RASHID, 2011).

(ii) *Intervalo entre os instantes $t = t_7$ e $t = t_8$:*

No instante $t = t_7$, a tensão V_{GE} (V_{GS}) atinge um valor limite insuficiente para sustentar a corrente I_C (I_D) igual à I_L (RASHID, 2011). A tensão V_{CE} (V_{DS}) passa então a aumentar, enquanto I_C (I_D) ainda se mantém constante. A taxa de aumento desta tensão depende de R_G , em razão inversa (FAIRCHILD, 2002).

(iii) *Intervalo entre os instantes $t = t_8$ e $t = t_9$:*

No instante $t = t_8$, a tensão V_{CE} (V_{DS}) atinge o valor da tensão do barramento c.c. (V_{DC}) e o diodo de roda-livre passa a conduzir. Assim, a corrente I_C (I_D) passa a decrescer a uma taxa também proporcional ao inverso de R_G (FAIRCHILD, 2002). A estrutura MOS do IGBT define o perfil de queda da corrente I_C neste intervalo. Por esta razão, Fairchild (2002) se refere à corrente que ainda circula no coletor neste período como “corrente de MOSFET”.

(iv) *Intervalo entre os instantes $t = t_9$ e $t = t_{10}$:*

Neste intervalo, a corrente I_D do MOSFET decai à mesma taxa que no intervalo anterior. No IGBT, todavia, a corrente I_C decresce a uma taxa menor e só se extingue em t_{10} . A corrente I_C que persiste neste intervalo é referida por corrente de cauda (*tail current*) e justifica o pior desempenho destes dispositivos nos transitórios de chaveamento, em comparação com os MOSFETs. Esta corrente de cauda se estabelece em razão do excesso de portadores minoritários (lacunas) na região n^- . Essas lacunas só podem se extinguir por recombinação, já que com o canal MOS já desfeito, a polarização do *gate* com tensão negativa não contribui para a eliminação destes portadores. Como o tempo de vida dos portadores nesta região é elevado (para que a tensão V_{CE} direta em condução seja menor), este processo de recombinação se sustenta por um longo intervalo. Isso justifica a duração da cauda de corrente. No instante $t = t_{10}$, todavia, já não há circulação de corrente no coletor e o processo de *turn-off* se encerra.

Assim, o tempo total demandado para o processo de *turn-on* do transistor equivale a t_4 , no caso em estudo. A energia dissipada neste processo, $E_{on(Q)}$ portanto, resulta da integração no tempo, ao longo do intervalo $[0, t_4]$, das tensões e correntes instantâneas no transistor, $v_q(t)$ e

$i_q(t)$:

$$E_{on(Q)} = \int_0^{t_4} v_q(t) \cdot i_q(t) \cdot dt. \quad (2.16)$$

Já o tempo demandado para o processo de *turn-off* do diodo equivale a $t_3 - t'_1$. A energia despendida neste processo, referida por “energia de recuperação reversa” (E_{rr}), vem da equação:

$$E_{rr(D)} = \int_{t'_1}^{t_3} v_d(t) \cdot i_d(t) \cdot dt, \quad (2.17)$$

em que $v_d(t)$ e $i_d(t)$ denotam as tensões e correntes instantâneas no diodo.

Por fim, a duração do processo de *turn-off* do transistor é de $t_{10} - t_6$. Sendo assim, a energia dissipada neste período, $E_{off(Q)}$, advém da equação:

$$E_{off(Q)} = \int_{t_6}^{t_{10}} v_q(t) \cdot i_q(t) \cdot dt. \quad (2.18)$$

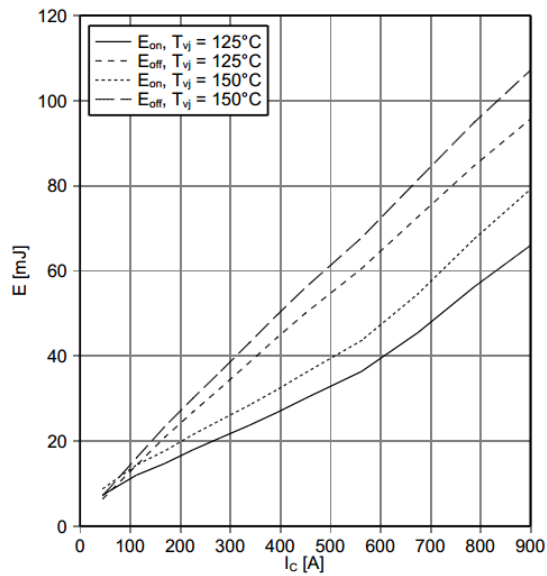
Em geral, os fabricantes informam, em catálogo, as energias $E_{on(Q)}$, $E_{off(Q)}$ e E_{rr} em função da corrente no transistor ou no diodo, para um valor de tensão de barramento c.c., de resistência de *gate* e de tensão de comando³. A definição destas energias pode variar, conforme o fabricante. Por exemplo, a fabricante *Infineon* atribui à $E_{on(Q)}$, no catálogo de IGBTs, a energia dissipada no intervalo entre os instantes em que a corrente de coletor parte de 10% do valor nominal e que a tensão V_{CE} atinge 2% do valor inicial (VOLKE; HORNKAMP, 2012). Já a *Semikron* define $E_{on(Q)}$, no caso dos IGBTs, como a energia despendida entre os instantes em que corrente de coletor vale 0 A até o ponto em que a tensão V_{CE} equivale a 5% do valor inicial (WINTRICH et al., 2015). Assume-se, neste trabalho, que qualquer destas definições leva a uma estimativa suficientemente exata da energia dissipada durante estes processos de chaveamento. Assim, as curvas dos fabricantes são adotadas para o cálculo das perdas de chaveamento no transistor $P_{Q(on)}$ e $P_{Q(off)}$ e, analogamente, das perdas durante a recuperação reversa do diodo P_{rr} . Na Figura 2.12 constam algumas curvas $E_{on(Q)}$, $E_{off(Q)} \times I_c$ e $E_{rr} \times I_d$ típicas de um catálogo de um módulo comercial (INFINEON, 2013). A variação das energias $E_{on(Q)}$, $E_{off(Q)}$ e E_{rr} com a resistência de *gate* é inferida a partir das curvas de $E_{on(Q)}$, $E_{off(Q)} \times R_g$ e $E_{rr} \times R_g$, comuns nas folhas de dados e também apresentadas na Figura 2.12.

Todavia, alguns fatores de correção devem ser multiplicados pelos valores de $E_{on(Q)}$, $E_{off(Q)}$ e E_{rr} informados na folha de dados para cada nível de corrente no transistor ou no diodo. Esses fatores ajustam estes valores para as condições reais de operação do dispositivo, que diferem daquelas em que as curvas do catálogo foram avaliadas. Em geral, são incluídos

³ Estas curvas de energia dissipada $E_{on(Q)}$, $E_{off(Q)}$ e E_{rr} em função da corrente no transistor ou no diodo são mais usuais em catálogos de módulos com IGBTs. Parte dos fabricantes de MOSFETs à base de silício, contudo, omite estas curvas nos catálogos. Sendo assim, o cálculo destas energias nestes MOSFETs se baseia na estimativa da integral do produto entre tensão e corrente durante o intervalo de chaveamento, com base em dados nominais informados em tabelas.

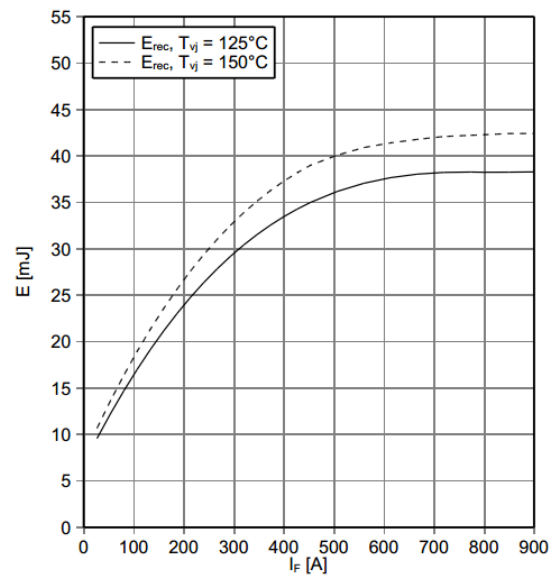
Figura 2.12 – Curvas do catálogo do módulo comercial trifásico FF450R12KE4 (Infineon).

$E_{on} = f(I_c)$, $E_{off} = f(I_c)$
 $V_{GE} = \pm 15\text{ V}$, $R_{Gon} = 1\ \Omega$, $R_{Goff} = 1\ \Omega$, $V_{CE} = 600\text{ V}$



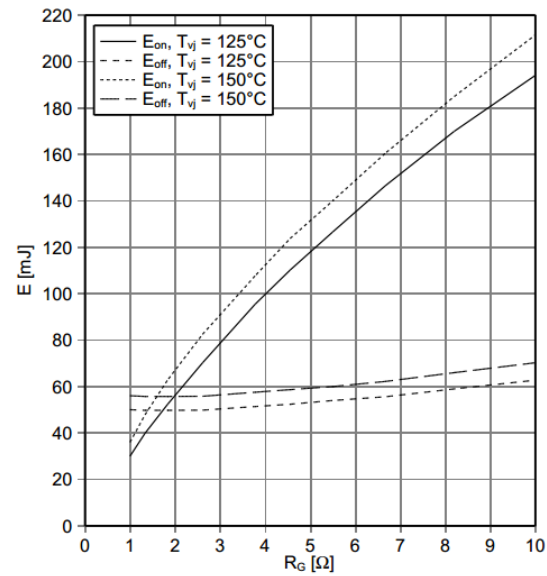
(a)

$E_{rec} = f(I_F)$
 $R_{Gon} = 1\ \Omega$, $V_{CE} = 600\text{ V}$



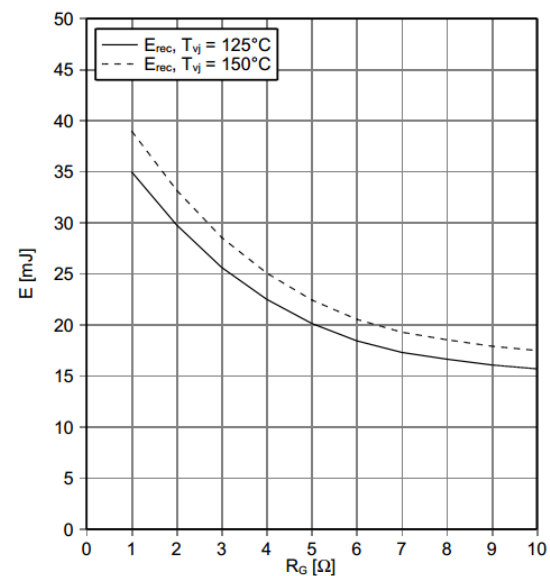
(b)

$E_{on} = f(R_g)$, $E_{off} = f(R_g)$
 $V_{GE} = \pm 15\text{ V}$, $I_c = 450\text{ A}$, $V_{CE} = 600\text{ V}$



(c)

$E_{rec} = f(R_g)$
 $I_F = 450\text{ A}$, $V_{CE} = 600\text{ V}$



(d)

Curvas: (a) curva $E_{on} \times I_c$, para um valor de tensão V_{CE} , de resistores de *gate* de *on* e de *off* e para a tensão V_{GE} igual a $\pm 15\text{ V}$, (b) curva $E_{rr} \times I_d$, para um valor de resistor de *gate* de *on* e da tensão V_{CE} , (c) curva $E_{on} \times R_g$, para um valor de corrente I_c e de tensão V_{CE} e (d) curva $E_{rr} \times R_g$, para um valor de corrente I_d e de tensão V_{CE} .

Fonte: Infineon (2013).

dois fatores de escala, aqui denotados por $k_{V_{dc}}$ e k_{R_g} , que consideram a dependência dos valores de energia com a tensão do barramento e com a resistência de *gate*, nesta ordem. Assim, na condição em que o módulo de potência opera com tensão do barramento V_{DC} , resistência de

gate R_g , temperatura de junção T_j e com corrente instantânea $i_{sw}(t)$, tem-se:

$$E(V_{DC}, R_g, i_{sw}(t), T_j) = k_{Vdc} \cdot k_{Rg} \cdot E(V_{DC(ref)}, R_{g(ref)}, i_{sw}(t), T_j), \quad (2.19)$$

$$k_{Vdc} = \frac{V_{DC}}{V_{DC(ref)}}, \quad (2.20)$$

$$k_{Rg} = \frac{E(V_{DC(ref)}, R_g, i_{sw(ref)}, T_j)}{E(V_{DC(ref)}, R_{g(ref)}, i_{sw(ref)}, T_j)}, \quad (2.21)$$

em que $V_{DC(ref)}$ e $R_{g(ref)}$ constituem os valores de referência dos ensaios disponibilizados em catálogo e E se refere às energias $E_{on(Q)}$, $E_{off(Q)}$ e $E_{rr(D)}$, genericamente.

Cabe, aqui, um comentário sobre o fator k_{Vdc} . O fabricante *Semikron* preconiza que as energias $E_{on(Q)}$, $E_{off(Q)}$ e $E_{rr(D)}$ variam exponencialmente com a tensão do barramento V_{DC} e a taxas distintas para o transistor e para o diodo ([WINTRICH et al., 2015](#)). Assim, segundo [Wintrich et al. \(2015\)](#), os fatores k_{Vdc} devem ser definidos pelas equações a seguir, para o IGBT e para o diodo, por exemplo:

$$k_{Vdc(IGBT)} = \left(\frac{V_{DC}}{V_{DC(ref)}} \right)^{c_q}, \quad (2.22)$$

$$k_{Vdc(D)} = \left(\frac{V_{DC}}{V_{DC(ref)}} \right)^{c_d}, \quad (2.23)$$

em que $c_q \in [1, 3; 1, 4]$ e $c_d \approx 0, 6$. Todavia, outros fabricantes, como *ABB* ([ABB, 2013](#)), *Infineon* ([VOLKE; HORNKAMP, 2012](#)), *International Rectifier* ([IR, 2012](#)), *Dynex Semiconductor* ([RAO; CHAMUND, 2014](#)), sustentam que as energias $E_{on(Q)}$, $E_{off(Q)}$ e $E_{rr(D)}$ variam com a tensão do barramento segundo uma função linear e que a equação (2.19) se aplica. Para fins de simplificação, supõe-se, nos cálculos de perdas, que esta relação é linear para dispositivos de quaisquer fabricantes e que o fator de correção k_{Vdc} resulta da equação (2.20).

Assim, as perdas de chaveamento no transistor $P_{Q(on)}$ e $P_{Q(off)}$ e de recuperação reversa do diodo P_{rr} , resultam, portanto, da soma acumulada das energias $E_{on(Q)}$, $E_{off(Q)}$ e E_{rr} durante um intervalo maior ou igual ao período da potência instantânea, T . Novamente, opta-se por obter as correntes no transistor e no diodo a partir de simulações temporais, pelas razões já apresentadas na seção anterior. Como naquele caso, as correntes indicadas na equação (2.19) como grandezas no domínio do tempo contínuo passam a ser amostradas a cada passo de simulação T_s . A cada amostra k em que houver a comutação de estado, a soma das energias é atualizada. Logo, vem:

$$P_{on(Q)} = k_{Vdc} \cdot k_{Rg} \cdot \frac{1}{T} \cdot \sum_{k=0}^{\lceil T/T_s \rceil} E_{on}(V_{DC(ref)}, R_{g(ref)}, i_q[k]), \quad (2.24)$$

$$P_{off(Q)} = k_{Vdc} \cdot k_{Rg} \cdot \frac{1}{T} \cdot \sum_{k=0}^{\lceil T/T_s \rceil} E_{off}(V_{DC(ref)}, R_{g(ref)}, i_q[k-1]), \quad (2.25)$$

$$P_{rr} = k_{Vdc} \cdot k_{Rg} \cdot \frac{1}{T} \cdot \sum_{k=0}^{\lceil T/T_s \rceil} E_{rr}(V_{DC(ref)}, R_{g(ref)}, i_d[k-1]), \quad (2.26)$$

em que $i_d[k]$ e $i_q[k]$ denotam as k -ésimas amostras das correntes no diodo e no transistor e k_{Vdc} e k_{Rg} são dados pelas equações (2.20) e (2.21), nesta ordem.

2.2.2 Perdas nos indutores

Em linhas gerais, as estimativas de potência dissipada nos indutores provêm da soma de duas parcelas de perdas: (i) nos condutores, em razão da resistência série não-nula e variável com a frequência; (ii) no material magnético do núcleo, como resultado das perdas por histerese, por efeito Foucault e residuais.

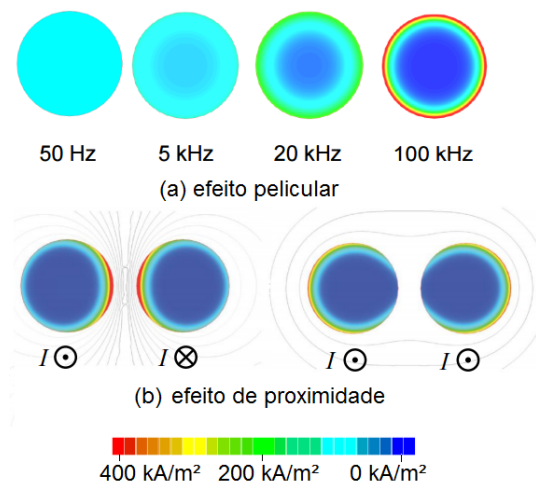
Para que as perdas nos condutores sejam estimadas, a resistência total do enrolamento e as perdas joulicas associadas devem ser derivadas para cada frequência. Dois efeitos físicos, referidos na literatura como *efeito pelicular* e *proximidade*, determinam a distribuição das correntes ao longo da seção reta do condutor para cada frequência e, assim, a resistência do enrolamento. A Figura 2.13 ilustra a ação destes dois efeitos sobre o perfil das correntes.

Como se deduz da Figura 2.13, o *efeito pelicular* tende a reduzir a área efetiva de circulação das correntes com o aumento da frequência. Grosso modo, quanto maior a frequência f , menor a espessura do anel em que estas correntes circulam ao longo da periferia e, portanto, maior a resistência do material. Sendo assim, a *profundidade de penetração* δ fica definida como a distância da superfície do condutor em que a densidade de corrente é $1/e$ ou 37% do valor na superfície (MCLYMAN, 2004). A função que correlaciona δ com a frequência f e com os parâmetros físicos do material é dada por:

$$\delta = \sqrt{\frac{\rho}{\pi \mu f}}, \quad (2.27)$$

em que μ e ρ se referem à permeabilidade e à resistividade do material, nesta ordem (POPOVIC; POPOVIC, 2012). Um critério prático para a seleção da bitola do condutor atribui o valor de δ ao raio do condutor r , na frequência do harmônico de maior amplitude. Se a densidade máxima de corrente for excedida para esta bitola, vários destes condutores são associados em paralelo. Desse modo, o efeito pelicular pode ser minimizado nesta frequência.

Figura 2.13 – Perfil das correntes ao longo da seção reta do condutor com os efeitos pelicular e proximidade.



Fonte: Adaptado de Mühlethaler e Kolar (2015).

Já o *efeito proximidade* se refere ao efeito de um condutor sobre a distribuição das correntes alternadas em outros condutores próximos (POPOVIC; POPOVIC, 2012). Este efeito advém do cancelamento ou da sobreposição das linhas de fluxo de campo magnético que enlaçam os vários condutores. A Figura 2.13 indica o perfil de correntes no caso em que pelos condutores (também sujeitos ao efeito pelicular) circulam correntes em fase ou defasadas em 180° . Como consequência deste confinamento das correntes nas bordas em que as linhas de fluxo se somam, a resistência do material se altera não só com a frequência, mas também com a distância entre os condutores.

De modo genérico, a potência dissipada nos enrolamentos P_{cobre} de um indutor com correntes distorcidas pode ser estimada pela soma algébrica das perdas ôhmicas associadas aos harmônicos de ordem n :

$$P_{cobre} = \frac{1}{2} R_{dc} i_{dc}^2 + \frac{1}{2} \sum_{n=1}^{\infty} R_{ac}[n] i_{ac}^2[n], \quad (2.28)$$

em que R_{dc} e R_{ac} consistem nas resistências do enrolamento para as componentes contínua e alternada e i_{dc} e i_{ac} , os valores de pico destas componentes, nesta ordem. Nesta equação, a resistência R_{ac} deve incluir os efeitos pelicular e proximidade. As equações analíticas para esta resistência, para os dois efeitos, são apresentadas por Kondrath e Kazimierczuk (2010) e serão omitidas neste texto. Neste trabalho, para fins de simplificação, apenas as perdas joulicas associadas à R_{dc} , supostas dominantes, são consideradas no cálculo de perdas no enrolamento.

Por outro lado, para que as perdas médias no núcleo \bar{P}_{nucleo} possam ser estimadas, a equação referida na literatura por *equação de Steinmetz* é comumente adotada (LI; ABDALLAH; SULLIVAN, 2001):

$$\bar{P}_{nucleo} = k f^\alpha \hat{B}^\beta V, \quad (2.29)$$

em que k , α e β são constantes que dependem das propriedades do material, \hat{B} denota o valor de pico da densidade de fluxo e V , o volume do núcleo. As constantes desta equação são empíricas e, em geral, são informadas no catálogo dos fabricantes. Entretanto, esta equação só se aplica à excitação senoidal (LI; ABDALLAH; SULLIVAN, 2001) e não modela, por exemplo, as perdas em indutores de conversores com modulação PWM (*Pulse-Width Modulation*). Ademais, como a equação de Steinmetz prevê uma relação não-linear entre as perdas no núcleo, a frequência e a densidade de fluxo de pico, a soma algébrica das perdas relativas a cada ordem harmônica das correntes não retorna uma estimativa correta das perdas totais. Em razão desta dificuldade, é usual uma simplificação que assume que a componente de 60 Hz sobre o indutor equivale a uma corrente c.c. que polariza a parcela na frequência de chaveamento (SHIMIZU; IYASU, 2009). As perdas associadas a parcelas em outras frequências, todavia, não são incluídas nesta abordagem.

Como alternativa a estas simplificações, novas formulações da equação (2.29), aplicáveis para indutores com correntes distorcidas, foram propostas na literatura (LI; ABDALLAH; SULLIVAN, 2001; VENKATACHALAM et al., 2002). Estas novas formulações incluem a

relação entre as perdas \bar{P}_{nucleo} e a variação do fluxo dB/dt . O estado da arte destas formulações é abordado pelos autores [Mühlethaler, Kolar e Ecklebe \(2011\)](#). Para simplificação deste texto, apenas a equação adotada neste trabalho, referida por iGSE (*improved Generalized Steinmetz Equation*), é apresentada:

$$\bar{P}_{nucleo} = \frac{1}{T} \int_0^T k_i \left| \frac{dB}{dt} \right|^\alpha (\Delta B)^{\beta-\alpha} dt, \quad (2.30)$$

com

$$k_i = \frac{k}{(2\pi)^{\alpha-1} \int_0^{2\pi} |\cos\theta|^\alpha 2^{\beta-\alpha} d\theta}, \quad (2.31)$$

em que ΔB se refere à excursão pico a pico da densidade de fluxo B com período T (inverso da frequência fundamental F da corrente no indutor), as constantes k , α , β são as mesmas da equação de Steinmetz e o ângulo θ se refere ao ângulo instantâneo de B . Esta formulação é adotada aqui por retornar estimativas mais acuradas do que a equação clássica (2.29) e por depender apenas dos parâmetros informados pelo fabricante ([MÜHLETHALER; KOLAR; ECKLEBE, 2011](#)). A implementação computacional da equação (2.30), adotada neste trabalho, é discutida por [Venkatachalam et al. \(2002\)](#).

2.2.3 Modelos térmicos de regime permanente

A proposição de modelos térmicos para os módulos semicondutores e para os dissipadores constitui fase obrigatória nas rotinas de projeto de conversores. Como critério mínimo de projeto, a temperatura de junção dos semicondutores, estimada via modelo, não deve superar o limite térmico do material. Este critério deve ser atendido não só em regime permanente como também nos estados transitórios, como condição para que a vida útil do componente seja estendida. Assim, a modelagem térmica deve reproduzir o comportamento dos elementos em estado estacionário e transitório. Para as análises de rendimento pretendidas neste trabalho, todavia, os modelos de regime permanente já são suficientes⁴. Sendo assim, apenas estes modelos são abordados nesta seção.

Na literatura, propõe-se a modelagem térmica dos componentes do conversor segundo abordagens analíticas ([CLEMENTE, 1993](#)), numéricas ([DUDEK et al., 2015](#); [WU et al., 2014](#)) ou ainda, por analogia com circuitos elétricos ([GACHOVSKA et al., 2015](#); [LIXIANG et al., 2006](#)). O método analítico se baseia na solução da equação do calor para o sistema, a partir de formulações para o problema de transferência via condução, radiação e convecção. Por exemplo, [Clemente \(1993\)](#) propõe uma equação temporal para a temperatura de junção com base na hipótese de que o *chip* pode ser aproximado por um sólido semi-infinito com temperatura inicial

⁴ De fato, como discute [Wintrich et al. \(2015\)](#), a temperatura de junção dos componentes não rastreia o perfil da potência dissipada, com período T , no caso em que as constantes de tempo dos semicondutores (da ordem de centenas de milissegundos) são muito maiores do que T . Neste caso, a temperatura de junção média se aproxima da temperatura máxima. Como o período T é de $1/60$ s nos conversores deste trabalho, admite-se que essa simplificação seja válida. Como resultado, modelos de regime permanente podem ser adotados.

uniforme e de que o fluxo de calor por condução pela superfície superior é uma função definida do tempo.

Como alternativa a esta técnica analítica, [Dudek et al. \(2015\)](#) desenvolvem um modelo tridimensional para o sistema em um *software* de solução numérica via elementos finitos. As camadas do substrato e as metalizações que conectam o *chip* ao encapsulamento – referidas na literatura por *wire bonds* – são representadas neste modelo para fins de identificação de fontes de falha em processos de ciclagem térmica.

Como esta abordagem numérica depende de parâmetros construtivos do módulo semicondutor (dimensões físicas, geometria, materiais, etc.), vários trabalhos propõem modelos térmicos mais simples, baseados em circuitos elétricos. Estes modelos descrevem macroscopicamente o comportamento térmico do dispositivo e podem ser derivados diretamente dos dados informados no catálogo do fabricante. Estes *circuitos térmicos* – como são designados os circuitos elétricos que modelam processos térmicos – se valem da analogia entre o fluxo P de calor e a corrente elétrica e entre a diferença de temperatura ΔT e a de potencial elétrico. Com base nesta analogia, a resistência térmica R é definida como:

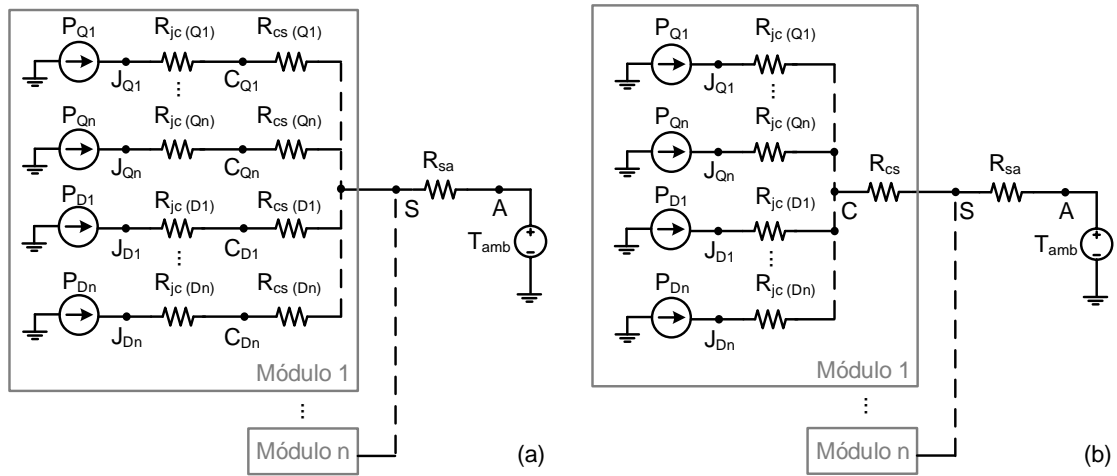
$$R = \frac{\Delta T}{P} = \frac{d}{\lambda \cdot A}, \quad (2.32)$$

em que d , A , λ denotam, nesta ordem, a espessura, a área da seção reta e a condutividade térmica do material.

Em geral, as interfaces entre a junção de cada dispositivo e o encapsulamento, entre o próprio encapsulamento e o dissipador e entre este e o ambiente exibem resistências térmicas não-nulas. Estas resistências, portanto, devem ser incluídas no circuito térmico do sistema completo. Nestes circuitos, com diagramas ilustrados na Figura 2.14, a junção (J), o encapsulamento (C), o dissipador (S) e o ambiente (A) são representados como *nós*. As temperaturas nestes pontos equivalem às tensões destes nós, referenciadas ao ponto de “terra” (com temperatura nula). As potências dissipadas por cada dispositivo correspondem às correntes que por eles circulam e uma fonte de tensão fixa impõe a temperatura ambiente no nó A .

Duas variações de circuito equivalente, denotadas por 1 e 2 na Figura 2.14, podem ser derivadas a partir dos dados disponibilizados nos catálogos dos módulos semicondutores. Se a resistência entre encapsulamento e dissipador $R_{(cs)}$ é informada em *datasheet* para cada dispositivo do módulo, o circuito 1 é proposto. Todavia, se apenas uma resistência $R_{(cs)}$ é fornecida por módulo, o circuito 2 deve ser adotado em alternativa. Segundo [Eupec \(2011\)](#), o valor de $R_{(cs)}$ é individualizado para cada componente nos casos em que a temperatura do *base plate* não pode ser assumida uniforme e em que os *chips* se distribuem ao longo da superfície do módulo. Caso contrário, o nó de encapsulamento pode ser assumido comum aos componentes no mesmo módulo e apenas um valor de $R_{(cs)}$ se torna suficiente. Em qualquer uma destas variações de circuito, os sub-circuitos dos módulos montados no mesmo dissipador devem compartilhar o nó S .

Figura 2.14 – Circuitos térmicos equivalentes de regime permanente.



Tipos: (a) circuito 1 e (b) circuito 2.

Fonte: Dados da pesquisa, 2016.

Em suma, se os elementos do sistema forem modelados por resistências térmicas convenientemente arranjadas, a temperatura de junção para cada dispositivo pode ser estimada a partir da solução do circuito térmico equivalente. Esta técnica de modelagem térmica é adotada neste trabalho, como alternativa às abordagens analítica e numérica, por se basear apenas em parâmetros informados nos catálogos.

2.3 Métodos de medição de perdas

Nos últimos anos, novas tecnologias de dispositivos semicondutores e de topologias de circuito acenaram para o aumento do rendimento de conversores de potência e, como resultado, para a redução de volume e de peso. Todavia, estes ganhos em rendimento, somados à redução dos tempos de comutação das chaves, tornaram ainda mais complexa a caracterização destes conversores quanto ao rendimento via ensaios experimentais. De fato, procedimentos tradicionalmente adotados para medição elétrica de perdas passaram a impor restrições, em função de limitações de exatidão, resolução e faixa de passagem. Os calorímetros, portanto, reemergiram neste contexto como alternativa a estes métodos convencionais. Esta seção revisa estas duas técnicas de medição de perdas, *i.e.*, a medição elétrica (via wattímetros) e via calorímetro.

2.3.1 Medição elétrica

A medição elétrica das perdas de um conversor (P_{loss}) se baseia, diretamente, na subtração das leituras de wattímetros na entrada (P_{in}) e na saída (P_{out}):

$$P_{loss} = P_{in} - P_{out}. \tag{2.33}$$

O rendimento do conversor η , ou da seção de circuito avaliada, fica definido por:

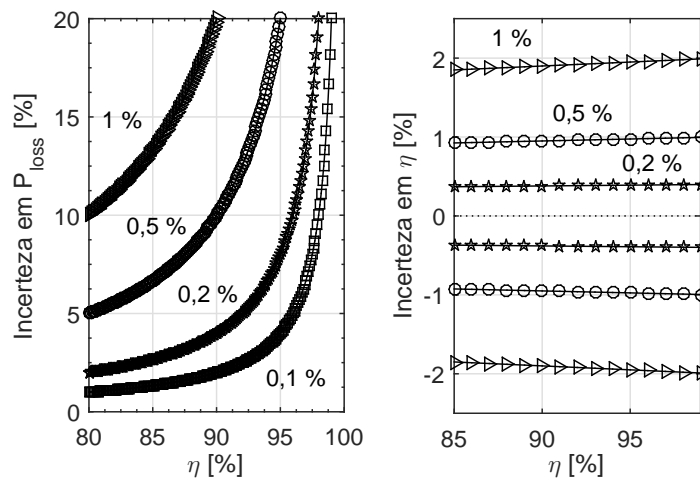
$$\eta = \frac{P_{out}}{P_{in}}. \quad (2.34)$$

Assim, a incerteza máxima na medição das perdas (ΔP_{loss}) depende das incertezas máximas associadas às medições das potências de entrada ΔP_{in} e de saída ΔP_{out} (FOREST et al., 2006):

$$\left| \frac{\Delta P_{loss}}{P_{loss}} \right| = \left| \frac{\Delta P_{in}}{P_{in}} \right| \frac{1}{1 - \eta} + \left| \frac{\Delta P_{out}}{P_{out}} \right| \frac{\eta}{1 - \eta}. \quad (2.35)$$

A Figura 2.15(a) representa esta variação da incerteza relativa máxima na medição de perdas $|\Delta P_{loss}/P_{loss}|$ em função do rendimento do conversor, supondo o uso de wattímetros com várias classes de exatidão na leitura de potência (ϵ). Seja, por exemplo, um conversor de 90% de rendimento. As incertezas nas perdas, para wattímetros com ϵ de 0,1%, 0,2%, 0,5% e 1% valem cerca de 2%, 4%, 10% e 20%, nesta ordem. A incerteza relativa máxima na medição de rendimento $\Delta\eta/\eta$ é dada na Figura 2.15(b). O valor de $\Delta\eta/\eta$ atinge, no máximo, o dobro da incerteza na leitura de potência (KOLAR et al., 2012). Ora, se um conversor de 98% de rendimento for avaliado, as faixas de incerteza nas leituras com wattímetros com ϵ de 0,2%, 0,5% e 1% são aproximadamente de $\pm 0,4\%$, $\pm 1\%$, $\pm 2\%$. Ademais, para que as perdas neste conversor sejam definidas com incertezas menores do que 10%, wattímetros com no máximo 0,1% de exatidão devem ser usados.

Figura 2.15 – Incertezas na medição de perdas e de rendimento, em função do rendimento do conversor, para wattímetros de várias classes de exatidão (indicadas sobre as curvas).



Fonte: Dados da pesquisa, 2016.

Cabe acrescentar, todavia, que a exatidão do wattímetro deve ser avaliada na frequência e na faixa de valores das tensões e correntes no conversor. Em geral, o aumento de amplitude e de frequência das tensões e correntes tende a aumentar a incerteza na leitura do equipamento, em razão de restrições de resolução e frequência de amostragem. A Tabela 2.2 apresenta, como exemplo, parte das especificações do wattímetro de modelo WT3000, com menor erro de medição de potência dentre os comercializados pelo fabricante Yokogawa. A exatidão do equipamento para

cada faixa e frequência é apresentada nesta tabela, supondo o uso do sensor de corrente do próprio equipamento (de 50A máximos) na condição de fator de potência unitário (YOKOGAWA, 2016). O custo deste equipamento, na data desta pesquisa, era de cerca de 30 mil dólares (AXIOM, 2016).

Tabela 2.2 – Especificações de exatidão do wattímetro *WT3000*, com menor erro na leitura de potência dentre os comercializados pelo fabricante *Yokogawa*.

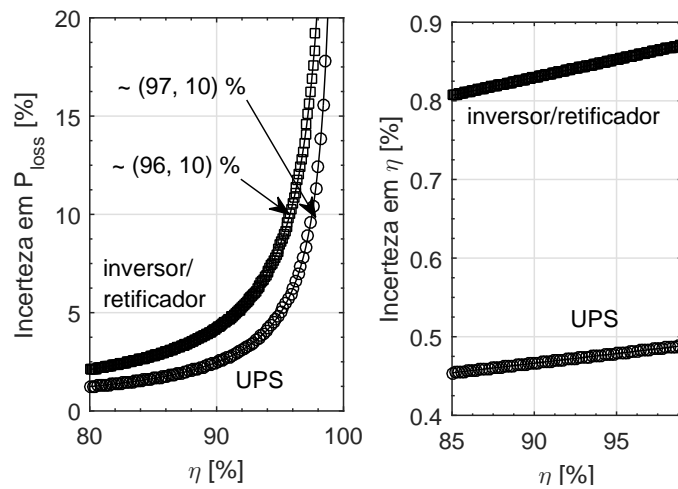
Faixa de frequências (f)	Exatidão
<i>DC</i>	0,05 % da leitura + 0,1 % da faixa
$0,1 Hz \leq f < 30 Hz$	0,08 % da leitura + 0,1 % da faixa
$30 Hz \leq f < 45 Hz$	0,05 % da leitura + 0,05 % da faixa
$45 Hz \leq f < 66 Hz$	0,01 % da leitura + 0,03 % da faixa
$45 Hz \leq f < 66 Hz$ (com filtro de <i>BW</i> de 500Hz)	0,21 % da leitura + 0,03 % da faixa
$66 Hz \leq f < 1 kHz$	0,05 % da leitura + 0,05 % da faixa
$1 kHz \leq f < 10 kHz$	0,15 % da leitura + 0,1 % da faixa
$10 kHz \leq f < 50 kHz$	0,3 % da leitura + 0,2 % da faixa
$50 kHz \leq f < 100 kHz$	$0,014 \times f$ % da leitura + 0,3 % da faixa
$100 kHz \leq f < 500 kHz$	$0,012 \times f$ % da leitura + 1 % da faixa
$500 kHz \leq f \leq 1 MHz$	$(0,048 \times f - 19)$ % da leitura + 2 % da faixa

Fonte: Extraído de Yokogawa (2016).

Seja, por exemplo, uma UPS hipotética de dupla conversão trifásica de cerca de 7,2 kW, de frequência de chaveamento de 20 kHz e com leituras de tensão e de corrente na entrada e na saída nas faixas de 300 V e 30 A. No barramento c.c., as tensões e correntes desta UPS hipotética se situam na faixa de 600 V e 20 A. Se a medição das perdas somente no inversor do estágio de saída for conduzida, por exemplo, com o wattímetro *WT3000*, os canais de entrada e de saída deste wattímetro devem ser instalados no barramento c.c. e na saída do inversor (antes do filtro de saída). Do mesmo modo, estes canais devem medir a entrada do retificador (depois do filtro de entrada) e o barramento c.c, se o objetivo for estimar as perdas no retificador. Na medição do rendimento total da UPS, estes canais podem ser alocados no ponto de acoplamento com a rede e com a carga. Se a análise da variação da incerteza em função do rendimento for reconduzida para este wattímetro e para estes ensaios na UPS hipotética, os resultados da Figura 2.16 são derivados, na condição em que os fatores de potência de entrada e de saída são unitários. Supõe-se o uso de um filtro⁵ de frequência de corte de 500 Hz no ensaio de medição do rendimento total da UPS, para atenuação dos harmônicos de chaveamento. Para fins de simplificação, as incertezas das leituras no barramento c.c., bem como na entrada do retificador e na saída do inversor, são atribuídas ao valor indicado pelo fabricante para a operação na faixa de 10 kHz a 50 kHz. De fato, como as especificações da Tabela 2.2 só valem para sinais puramente senoidais, a exatidão “resultante” para sinais distorcidos fica indefinida. Admite-se, portanto, que a opção pela especificação de exatidão naquela faixa de frequências é conservadora.

⁵ O filtro passa-baixas é uma funcionalidade do próprio wattímetro e pode ser habilitado ou não pelo usuário. As frequências de corte disponíveis, no modelo *WT 3000*, são de 500 Hz, 5,5 kHz e 50 kHz.

Figura 2.16 – Incertezas na medição de perdas e de rendimento, em função do rendimento do conversor, para os ensaios propostos na UPS hipotética de 7,2 kW e frequência de chaveamento de 20 kHz.



Fonte: Dados da pesquisa, 2016.

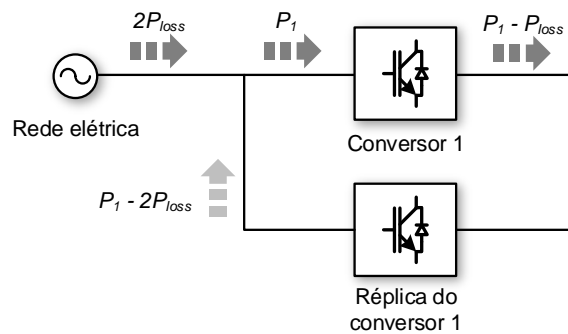
Como se infere da Figura 2.16, mesmo com um equipamento com esta classe de exatidão, o conversor deve ter rendimento menor do que cerca de 96 % para que as perdas sejam estimadas com erros inferiores a 10 %. A incerteza quanto ao rendimento dos estágios intermediários da UPS, com correntes e/ou tensões de entrada e/ou de saída com conteúdo harmônico não desprezível, se torna ainda maior do que na UPS completa. Por outro lado, ainda que a qualidade da medição seja suficiente para uma dada aplicação, o custo deste wattímetro ou de similares talvez torne inviável a aquisição destes equipamentos. Ademais, a medição de perdas em um conversor com potências maiores com este tipo de wattímetro pode depender ainda do uso de sensores de corrente externos, o que tende a aumentar o custo e a degradar a qualidade de medição – como resultado da combinação das incertezas do wattímetro e do sensor externo. Outros fatores podem ainda incidir no aumento das incertezas associadas à medição, como por exemplo, a operação em fatores de potência não-unitários (YOKOGAWA, 2016), a diferença entre o ciclo real e o ciclo em que as perdas são efetivamente calculadas pelo equipamento e os atrasos na aquisição de tensão e de corrente (STAFINIÁK; KOSOBUDZKI, 2009).

Outra técnica para a medição elétrica das perdas se baseia ainda do uso de osciloscópios ou de sistemas de aquisição de dados, em alternativa aos wattímetros. Em geral, as perdas nas chaves, isoladamente, são estimadas por esta técnica. Assim, basta que as chaves “representativas” de um conversor (*i.e.*, aquelas que por argumento de simetria já são suficientes para as análises de rendimento), sejam avaliadas. Particularmente para conversores c.c./c.a. (ou c.a./c.c.), esta medição depende da aquisição das tensões e correntes ao longo de pelo menos meio ciclo de 60 Hz. Sendo assim, segundo Viswanathan e Oruganti (2007), várias são as restrições desta técnica, como, por exemplo: (i) a limitação em banda de passagem introduzida pelas pontas de prova de tensão e de corrente; (ii) as tensões de *offset* somadas por estas pontas; (iii) os erros de quantização associados à conversão A/D, não-desprezíveis considerando a larga excursão dos sinais medidos e (iv) as dificuldades de aquisição de uma janela de meio ciclo de 60 Hz

com taxa de amostragem suficiente, em razão das limitações de pontos no *display* e de memória. Estes erros de quantização e a resolução limitada dos conversores A/D tornam complexa não só a captura exata das transições no chaveamento, como também a medição da tensão direta dos dispositivos, no estado “ligado” das chaves.

Uma terceira técnica, referida por “método de oposição”, também pode ser adotada para medição elétrica das perdas. Esta técnica depende do uso de dois sistemas idênticos: um como gerador e o outro como receptor, conectados à rede elétrica como no arranjo da Figura 2.17. O gerador reinjeta na rede elétrica a energia consumida pelo arranjo, a menos das perdas nos dois sistemas ($2P_{loss}$). Sendo assim, a medição das perdas pode ser conduzida diretamente com um canal do wattímetro, instalado no ponto de acoplamento com a rede.

Figura 2.17 – Arranjo típico dos conversores no método da oposição.



Fonte: Adaptado de [Forest et al. \(2006\)](#).

Conforme [Forest et al. \(2006\)](#), como vantagens deste método figuram a redução da potência fornecida pela rede durante os ensaios de medição de perdas; o fato de dispensar o uso de cargas dissipativas e, ainda, a possibilidade de medição direta das perdas. Para este método, a incerteza relativa máxima na leitura das perdas no conversor é dada por:

$$\left| \frac{\Delta P_{loss}}{P_{loss}} \right| = \left| \frac{\Delta P}{P} \right|, \quad (2.36)$$

em que $\Delta P/P$ é a incerteza relativa na medição de potência do wattímetro em uso. Sendo assim, o método da oposição introduz um ganho de qualidade de medição em comparação com aquela primeira técnica de medição de perdas. Todavia, a necessidade de que o conversor em teste seja replicado e que seja reversível em potência pode tornar inviável a implementação deste método. Ademais, a presumida equivalência entre as perdas nos dois conversores pode não ser válida, em razão da operação em regimes distintos (gerador e receptor) e da dispersão natural entre os parâmetros dos dispositivos semicondutores em uso nos dois conversores.

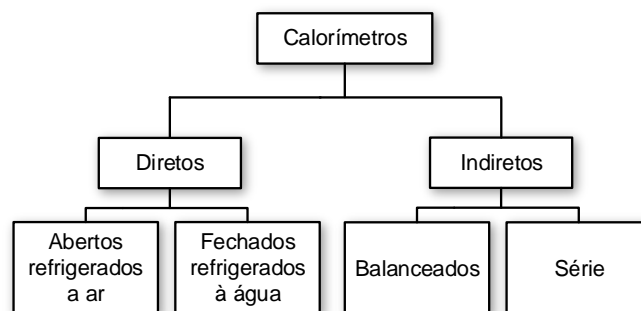
2.3.2 Medição via calorímetro

Outro método de medição de perdas deriva do uso de *calorímetros*. Grosso modo, os calorímetros são equipamentos que convertem o calor Q liberado por uma amostra em variação

de temperatura ΔT , a partir da transferência integral de Q para um fluido via processos de convecção, radiação e condução. Em princípio, contrariamente aos métodos da seção anterior, a exatidão do calorímetro independe do rendimento do conversor, da distorção harmônica das formas de onda ou do ângulo de fase entre tensão e corrente. Como resultado, calorímetros com níveis de exatidão sem precedentes – em comparação com outros métodos – são reportados, por exemplo, nos trabalhos de Kosonen et al. (2013), Sverko, Krishnamurthy e Lane (2013) e Christen et al. (2010). Nestes trabalhos, a incerteza relativa na medição das perdas são de $\pm 0,4\%$, $\pm 1\%$ e $\pm 0,2\%$, nesta ordem, na faixa de potências avaliada, para qualquer rendimento.

Esta seção descreve, em linhas gerais, as classes de calorímetro definidas na literatura. Um primeiro critério de classificação decorre do tipo de medição, que pode ser *direta*, a partir da interação com o próprio conversor em teste (CUT, da sigla em inglês *Converter Under Test*) ou *indireta*, por meio da reprodução das perdas no CUT com um aquecedor. Calorímetros com medição direta podem ser subdivididos em duas categorias, conforme o tipo de refrigeração e de estrutura: a dos *calorímetros abertos refrigerados a ar* e a dos *calorímetros fechados, com refrigeração à água*. Por fim, os calorímetros indiretos podem ser arranjados quanto à simultaneidade ou não dos testes: nos *calorímetros do tipo série*, um aquecedor reproduz as perdas no conversor *ao mesmo tempo* em que o CUT opera, já nos *calorímetros balanceados*, este aquecedor análogo só simula o conversor *depois* que os ensaios com o CUT já foram conduzidos. O diagrama da Figura 2.18 ilustra estas categorias de calorímetro, descritas brevemente nas subseções a seguir.

Figura 2.18 – Classificação dos calorímetros.



Fonte: Dados da pesquisa, 2016.

2.3.2.1 Calorímetros diretos, abertos e refrigerados a ar

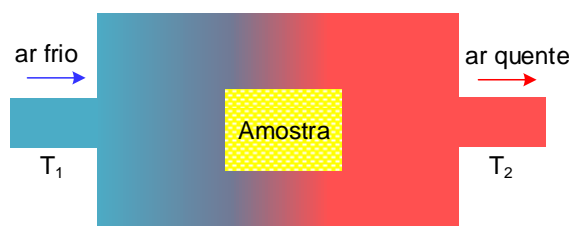
Na Figura 2.19 consta um diagrama típico de um calorímetro aberto refrigerado a ar (ou a qualquer gás). Nesta variação de calorímetro, a amostra é ensaiada em uma câmara fechada, com duas aberturas com sensores de temperatura instalados. O ar frio à temperatura T_1 (ou o gás refrigerante) entra por uma destas aberturas e o calor liberado pela amostra é diretamente transferido para este fluido. Pela abertura oposta, o gás emerge da câmara, à temperatura T_2 .

Assim, vem, em regime permanente, se as perdas na amostra valem P_{loss} :

$$P_{loss} = v (\rho_2 \cdot c_{p2} \cdot T_2 - \rho_1 \cdot c_{p1} \cdot T_1) = \dot{m}_2 \cdot c_{p2} \cdot T_2 - \dot{m}_1 \cdot c_{p1} \cdot T_1, \quad (2.37)$$

em que ρ e c_p se referem à densidade (em $kg \cdot m^{-3}$) e ao calor específico ($J \cdot kg^{-1} \cdot ^\circ C^{-1}$) do gás, enquanto v e \dot{m} denotam a vazão volumétrica ($m^3 \cdot s^{-1}$) e mássica ($kg \cdot s^{-1}$). Os índices “1” e “2” designam as propriedades do fluido nas aberturas de entrada e de saída, nesta ordem. Se estas propriedades forem conhecidas, ou passíveis de medição, as perdas na amostra são funções apenas da variação da temperatura do fluido.

Figura 2.19 – Diagrama de um calorímetro direto, aberto e refrigerado a ar.



Fonte: Adaptado de [Cao et al. \(2010\)](#).

Como vantagens desta variação de calorímetro, citam-se:

- (i) a simplicidade de construção e o baixo custo da montagem;
- (ii) a facilidade de resfriamento do fluido em uso, via sistemas de ar-condicionado ([CAO et al., 2010](#));
- (iii) a redução do tempo total de medição, em comparação com variações indiretas de calorímetro ou com aquelas refrigeradas à água ([ITOH; NIGORIKAWA, 2012](#)).

Não obstante, várias são as desvantagens desta classe de calorímetros, como, por exemplo:

- (i) a sensibilidade do calor específico do fluido c_p a variações de temperatura, umidade, pressão e densidade ([CAO et al., 2010](#)), o que pode incidir em erros na estimativa de c_p e, assim, na medição de perdas;
- (ii) a limitação intrínseca em exatidão, já que as perdas de calor para o ambiente, negligenciadas na equação (2.37), podem não ser desprezíveis dependendo da diferença entre a temperatura interna e do meio externo ([ITOH; NIGORIKAWA, 2012](#));
- (iii) a suscetibilidade a variações das condições ambientais, como de temperatura e umidade ([ITOH; NIGORIKAWA, 2012](#));
- (iv) o aumento de volume em comparação com calorímetros refrigerados à água, como resultado do menor calor específico dos gases e da pior transferência de calor com a amostra ([CAO et al., 2010](#)).

Em razão destas limitações, estes calorímetros são mais usuais em ensaios de rendimento de motores elétricos com potências da ordem de kW .

2.3.2.2 Calorímetros diretos, fechados refrigerados à água

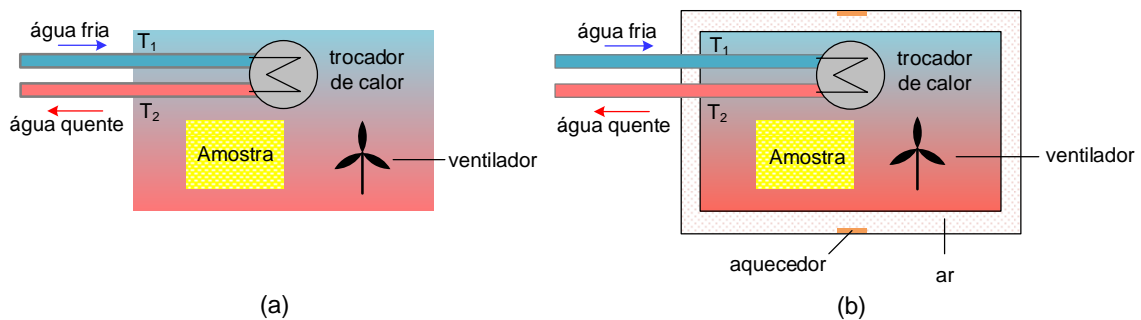
Os calorímetros diretos podem ser ainda fechados e refrigerados à água, como nos diagramas da Figura 2.20. O refrigerante, neste caso, circula por um circuito fechado e transfere o calor para o ar da câmara, hermeticamente fechada. Para que esta transferência seja combinada a processos de convecção forçada, ventiladores são instalados no interior da câmara. A água entra por um duto à temperatura T_1 , passa por um trocador de calor e retorna ao circuito externo à temperatura T_2 , para refrigeração. A parede da câmara pode ser simples ou de dupla camada, como nas Figuras 2.20(a) e (b), respectivamente. Neste último caso, a temperatura do ar no vão entre as camadas é controlada para que equivalha à temperatura no interior da câmara (ITO; NIGORIKAWA, 2012). Nesta condição, não há transferência de calor para o meio externo, o que suprime o efeito das perdas para o ambiente sobre a exatidão da medição.

A equação (2.37) também se aplica a esta variação de calorímetro. Em razão da maior estabilidade dos parâmetros físicos da água em relação à temperatura, esta equação pode ser simplificada, sem que se incorra em erros significativos, como:

$$P_{loss} = v \cdot \rho \cdot c_p (T_2 - T_1) = \dot{m} \cdot c_p \cdot (T_2 - T_1), \quad (2.38)$$

em que ρ e c_p se referem agora à densidade e ao calor específico da água, supostos invariáveis nos dutos de entrada e de saída.

Figura 2.20 – Diagrama de um calorímetro direto, fechado e refrigerado à água.



Caso com: (a) parede simples, (b) parede dupla.

Fonte: Adaptado de Cao et al. (2010).

Em geral, figuram-se como vantagens desta classe de calorímetros:

- (i) a maior estabilidade dos parâmetros físicos da água em relação à temperatura e, assim, maior exatidão na medição de perdas em comparação com calorímetros com refrigerantes gasosos;
- (ii) a mitigação do efeito das perdas para o ambiente sobre a exatidão da medição, no caso em que se adota a técnica de controle de temperatura do ar no vão entre camadas da parede dupla;
- (iii) menor suscetibilidade à variação das condições ambientais, para os calorímetros de camada dupla.

Os calorímetros fechados e refrigerados à água, portanto, superam as restrições impostas pelos calorímetros abertos com refrigeração a ar. Em contrapartida, há algumas desvantagens em relação a esta outra classe:

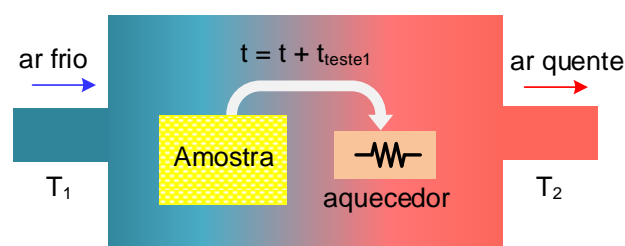
- (i) o maior custo e complexidade, em virtude do uso de água como refrigerante, de paredes de duas camadas e de controles adicionais de temperatura entre estas camadas (ITO; NIGORIKAWA, 2012);
- (ii) o maior tempo de medição, em função do maior calor específico da água (ITO; NIGORIKAWA, 2012);
- (iii) a redução do volume útil da câmara para a alocação da amostra, com a adição do trocador de calor (CAO et al., 2010);
- (iv) o efeito das perdas dos ventiladores, que adiciona incertezas na leitura da potência dissipada pela amostra (CAO et al., 2010).

Apesar destas desvantagens, os calorímetros fechados e refrigerados à água exibem a maior exatidão, dentre todas as variações de calorímetro.

2.3.2.3 Calorímetros indiretos balanceados

Diferentemente das classes de calorímetros descritas nas seções anteriores, os calorímetros *indiretos* se valem de um aquecedor “réplica”, que reproduz as perdas na amostra. A Figura 2.21 esquematiza a estrutura típica de um calorímetro indireto do tipo balanceado.

Figura 2.21 – Diagrama de um calorímetro indireto balanceado.



Fonte: Adaptado de Cao et al. (2010).

Neste sistema, dois experimentos são conduzidos em sequência. No primeiro, a amostra é ensaiada no interior de uma câmara com a mesma estrutura que a do calorímetro aberto. No subsequente, o aquecedor “réplica” (normalmente um resistor) é controlado para que a variação de temperatura $T_2 - T_1$ se equipare à do experimento anterior (CAO et al., 2010). Se esta variação se mantiver igual à anterior em regime permanente, então, presumida a equivalência das condições dos dois experimentos, as perdas da amostra são iguais às do aquecedor “réplica”.

Como vantagens deste método calorimétrico, enumeram-se:

- (i) o fato de dispensar a caracterização acurada do fluido refrigerante, já que a medição das perdas na amostra depende apenas da hipótese de que as propriedades do fluido se conservam nos experimentos consecutivos (CAO et al., 2010);
- (ii) a simplicidade de construção, similar à do calorímetro aberto refrigerado a ar, salvo a dificuldade adicional introduzida pelo uso de aquecedores.

Como exemplos de desvantagens dos calorímetros indiretos balanceados, tem-se:

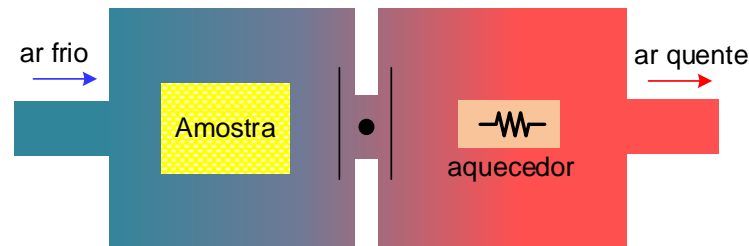
- (i) o aumento substancial do tempo de medição, que excede o dobro do tempo demandado em outras variações de calorímetro (CAO et al., 2010);
- (ii) os erros que advêm da hipótese de que as condições se mantêm nos dois experimentos: como o gradiente de temperatura interna se altera como resultado das diferenças físicas entre amostra e aquecedor, a interação do sistema com o meio varia e, assim, as perdas para o ambiente (CAO et al., 2010);
- (iii) a sensibilidade a variações das condições ambientais, que podem, inclusive, diferir nos dois experimentos.

Cabe acrescentar que o efeito do meio externo sobre a medição pode ser minimizado se paredes com camadas de metal separadas por um isolante (em arranjo sanduíche) forem adotadas. Como consequência, uma superfície aproximadamente isotérmica passa a interagir com o meio (CAO et al., 2010), nos dois experimentos.

2.3.2.4 Calorímetros indiretos do tipo série

Outra variação de calorímetro é aquela denotada na literatura como *indireta e do tipo série*, com diagrama esquemático ilustrado na Figura 2.22. Neste calorímetro, em oposição ao método balanceado, os ensaios com a amostra e com o “aquecedor réplica” são simultâneos. A câmara de teste, com estrutura similar à das montagens de calorímetro aberto e indireto balanceado, é, neste caso, subdividida em dois setores intercomunicantes. No primeiro setor, onde se localiza o duto de entrada do fluido refrigerante, a amostra é ensaiada. No segundo, com o duto de saída do fluido, se aloca o aquecedor “réplica”. O objetivo é, pois, controlar a potência do aquecedor P_h para que as variações entre as temperaturas de entrada e de saída dos dois setores sejam equivalentes. Se esta condição se preserva em regime permanente, as perdas na amostra são iguais a P_h (CAO et al., 2010).

Figura 2.22 – Diagrama de um calorímetro indireto do tipo série.



Fonte: Adaptado de [Cao et al. \(2010\)](#).

O uso deste método calorimétrico leva às vantagens:

- (i) a independência entre a definição acurada dos parâmetros do fluido refrigerante e a exatidão do método, já que a medição se embasa apenas no pressuposto de estes parâmetros são iguais nas duas seções da câmara;
- (ii) a redução do tempo de medição do calorímetro balanceado pela metade, em decorrência da simultaneidade dos testes na amostra e no aquecedor “réplica”.

Apesar destes ganhos, os calorímetros indiretos do tipo série exibem algumas desvantagens, como por exemplo:

- (i) a dificuldade de manter as perdas para o ambiente constantes nas duas seções, uma vez que a temperatura interna da seção com o duto de saída é maior;
- (ii) os erros que resultam da suposição de que as propriedades do fluido são iguais nas duas seções, enquanto, na prática, estas variam com a temperatura;
- (iii) o aumento dos custos relativamente ao método balanceado, em razão da adição da segunda câmara.

O calorímetro em teste neste trabalho, que deriva de adaptações do sistema proposto por [Itoh e Nigorikawa \(2012\)](#), pode ser considerado uma variação do calorímetro indireto do tipo série. Ao contrário deste tipo, todavia, os ensaios na amostra e no aquecedor “réplica” são conduzidos em câmaras independentes, não-comunicantes. Como a medição não leva, em princípio, a diferenças entre as temperaturas nas duas câmaras, as perdas para o ambiente podem ser assumidas iguais. Paredes com estrutura sanduíche (metal-isolante-metal) minimizam o efeito do meio externo sobre a medição e ventiladores nas duas câmaras contribuem para a uniformização da temperatura interna. Grosso modo, portanto, o calorímetro avaliado combina a maior parte das vantagens das montagens descritas nas seções precedentes e ainda supera restrições intrínsecas dos métodos indiretos.

2.4 Conclusões do capítulo

Neste capítulo, revisam-se brevemente as classes de UPS definidas na literatura. As vantagens e desvantagens de cada classe de UPS foram enumeradas. As UPSs de dupla conversão, objeto de estudo deste trabalho, foram conceituadas. As perdas assumidas dominantes nestas UPSs foram detalhadas na sequência e as equações para o cálculo destas perdas, bem como os modelos térmicos de regime permanente para o conversor, foram apresentados. Estas equações e modelos serão adotados nos estudos de rendimento conduzidos neste trabalho. Em seguida, foram descritos os métodos elétricos e calorimétricos de medição de perdas em conversores, que serão avaliados experimentalmente nesta pesquisa.

O capítulo a seguir apresenta as abordagens de modelagem e de simulação da UPS de dupla conversão.

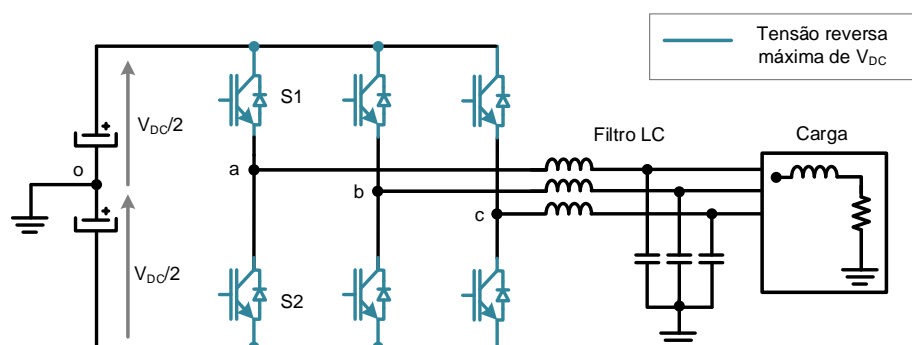
3 MODELAGEM E SIMULAÇÃO DA UPS DE DUPLA CONVERSÃO

Neste capítulo são apresentadas as abordagens para a modelagem e simulação das UPSs de dupla conversão. Estas simulações são obrigatórias para as análises de rendimento, pretendidas neste trabalho. Inicialmente, são detalhados os circuitos de potência e as especificações das UPSs de dupla conversão em estudo. Os modelos dos estágios inversor e retificador e as técnicas adotadas para o controle e sintonia de ganhos dos controladores destes estágios são descritos na sequência. Por fim, enumeram-se os procedimentos de dimensionamento dos filtros de entrada e de saída.

3.1 Circuitos de potência em estudo

Historicamente, os conversores de dois níveis ($2n$) foram adotados nas UPSs de dupla conversão trifásicas comerciais como primeira alternativa para a conversão c.a./c.c. e c.c./c.a.. A Figura 3.1 ilustra um inversor em topologia de dois níveis. Nesta topologia, a tensão entre o nó da fase a e o ponto central do barramento c.c. – assume apenas dois estados, ou níveis: $+V_{DC}/2$ e $-V_{DC}/2$, em que V_{DC} constitui a tensão plena do barramento c.c.. As chaves, nestes arranjos, devem ser dimensionadas para que suportem a tensão V_{DC} . Os filtros de saída no inversor (ou de entrada do retificador) devem recuperar a componente fundamental de tensão a partir da forma de onda com degraus de amplitude pico-a-pico de V_{DC} .

Figura 3.1 – Topologia de inversor de dois níveis.

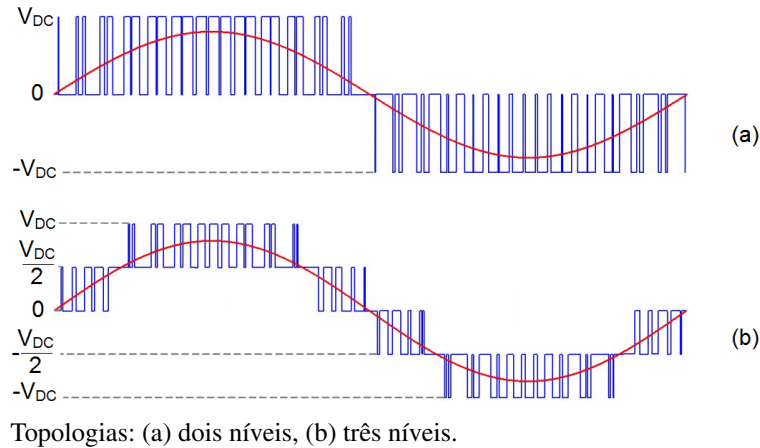


Fonte: Dados da pesquisa, 2016.

Nos conversores de três níveis ($3n$), em contraponto, a tensão V_{ao} excursiona entre três estados: $+V_{DC}/2$, 0 e $-V_{DC}/2$. Como resultado, a tensão de saída do inversor (ou de entrada do retificador) exibe uma “resolução” maior (*i.e.*, degraus de tensão menores) e menor distorção

harmônica em comparação com os conversores $2n$. Demonstra-se este aumento de “resolução” na Figura 3.2, em que as tensões de linha de saída de inversores $2n$ e $3n$ são contrapostas.

Figura 3.2 – Tensões de saída de linha de um inversor de topologias de dois e de três níveis.



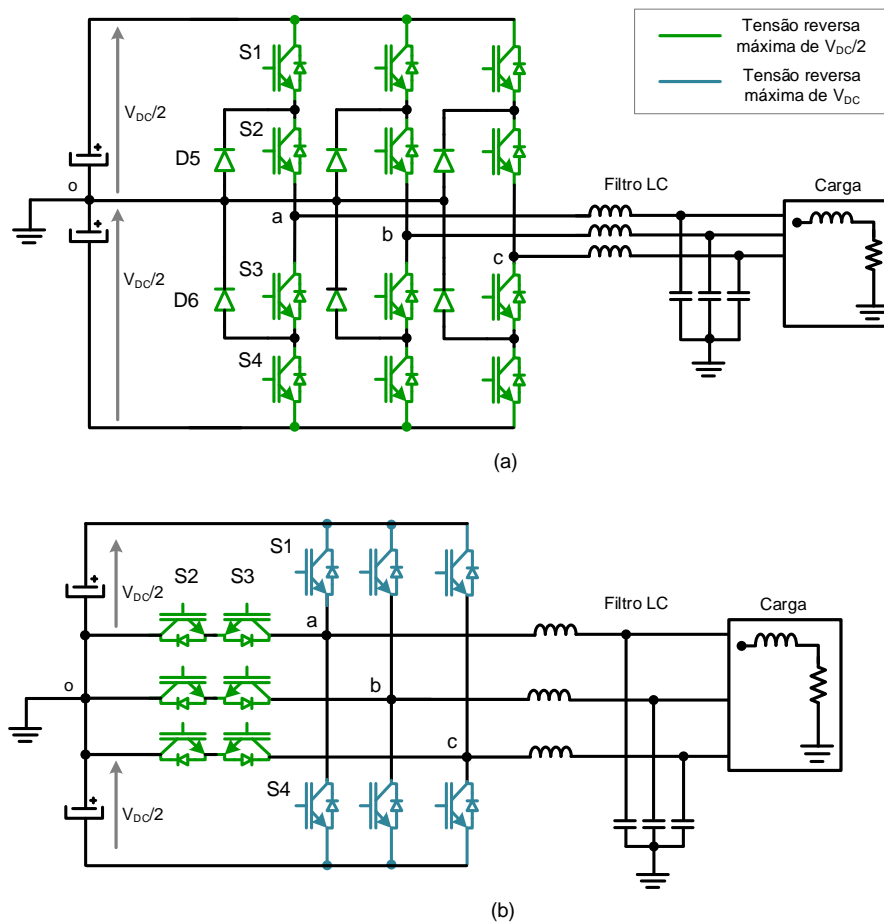
Fonte: Adaptado de TOSHIBA (2008).

As Figuras 3.3(a) e 3.3(b) representam duas topologias típicas de conversores de três níveis, referidas na literatura por NPC (*Neutral Point Clamped*) ou NPC1 e por NPC2 ou “tipo T”, nesta ordem. Neste texto, doravante, as nomenclaturas NPC1 e NPC2 serão adotadas em referência a estas duas topologias. Na topologia NPC1, todas as chaves podem ser especificadas para o bloqueio de metade da tensão plena do barramento, como indicado na Figura 3.3(a). Já na topologia NPC2, apenas as chaves que conectam o nó “o” às fases podem ser dimensionadas com tensão reversa máxima de $V_{DC}/2$, como aponta a Figura 3.3(b).

Estas topologias de três níveis, já disponíveis em módulos de potência comerciais, são provavelmente adotadas nas UPSs atuais nos estágios de conversão c.c./c.a. e c.a./c.c.. Desde 2008, a fabricante *Toshiba* passou a comercializar UPSs com conversores $3n$ (TOSHIBA, 2008). A série G9000 deste fabricante, que se estende às UPSs de dupla conversão de 100 kVA a 1 MVA, integra conversores $3n$. A série de UPSs GE TLE (da fabricante *General Electric*), com potências de 225 kW a 1,5 MW também inclui estágios $3n$. Já a Engetron, fabricante brasileira de UPS, iniciou os estudos para a comercialização de UPSs de dupla conversão de três níveis.

Por outro lado, em setembro de 2015, a *Mitsubishi Electric* anunciou uma nova de linha de UPSs de dupla conversão (*UPSs Summit Series*) com dispositivos de carbeto de silício (SiC). Os módulos de potência de SiC, já disponíveis atualmente, exibem, em comparação com os de Si, maior condutividade térmica, maior intensidade máxima de campo elétrico, maior velocidade de deriva dos elétrons (*saturation electron drift velocity*), menor densidade de portadores intrínsecos (DIMARINO; BURGOS; BOROYEVICH, 2015) e maior largura de banda (SINGH; PECHT, 2008). Como consequência destas propriedades, o SiC permite melhor transferência de calor para o ambiente, menor resistência em condução (*on-state resistance*) e, ainda, a operação em frequências de chaveamento e temperaturas de junção mais elevadas (DIMARINO; BURGOS;

Figura 3.3 – Topologias de inversores de três níveis.



Topologias: (a) NPC1, (b) NPC2.

Fonte: Dados da pesquisa, 2016.

[BOROYEVICH, 2015](#)). Segundo informações da *Mitsubishi Electric*, a nova série de UPSs com SiC inclui apenas modelos de 500 kVA , com previsão de expansão para UPSs de 750 kVA ([MITSUBISHI, 2015](#)). O rendimento anunciado desta série de UPSs atinge 98% em carga de 50% ([MITSUBISHI, 2015](#)). Não foram localizados, todavia, outros dados ou a documentação técnica destas UPSs. De qualquer forma, o anúncio de lançamento desta série de UPS, com desempenho sem precedentes, acena para a viabilidade dos dispositivos de SiC em UPS.

A viabilidade destes dispositivos também é demonstrada em alguns trabalhos de pesquisa. Por exemplo, também em setembro de 2015, o instituto de pesquisas Fraunhofer ISE (*Institut für Solare Energiesysteme*), reportou, no portal de notícias do instituto, o desenvolvimento de um protótipo de UPS de 10 kVA com transistores de SiC, com rendimento de 98,7%, em colaboração com a fabricante ROHM ([FRAUNHOFER, 2015](#)). Segundo informações veiculadas no portal, o protótipo opera à frequência de chaveamento de 100 kHz e o volume total é de apenas 5 litros. A redução de volume e de custos dos indutores atinge cerca de 66%, comparativamente às UPSs tradicionais à base de silício, segundo aquela fonte. Como os resultados da pesquisa não foram oficialmente publicados até a presente data, não foram obtidos detalhes do estudo ou

do protótipo implementado.

Também a pesquisa de [Mcbryde et al. \(2010\)](#), por exemplo, atesta o ganho de rendimento de UPSs com módulos de SiC a partir de medições em protótipos experimentais de UPSs de dupla conversão de $6\text{ kVA}/230\text{ V}$, em topologia *half-bridge* no inversor e no retificador, à frequência de chaveamento de 20 kHz . O rendimento do protótipo com MOSFETs e diodos de SiC no estágio inversor e somente diodos de SiC no retificador é comparado ao da montagem com IGBTs e diodos de silício nos dois estágios, em distintas condições de carga. A UPS com SiC, quando comparada à UPS com módulos de Si, exibe um aumento de rendimento de 1,35% e 0,93%, para as condições de carregamento de 16,6% e de 66,6%, nesta ordem. Como os próprios autores indicam, este ganho de rendimento poderia ser ainda maior se a operação em frequências de chaveamento mais elevadas fosse avaliada.

Em razão do largo uso e destas novas tendências de mercado, elegem-se, para os estudos de rendimento deste trabalho, as topologias de dois níveis com módulos de potência de Si e de SiC e de três níveis de Si, nos arranjos NPC1 e NPC2. A opção por *módulos* e não por dispositivos discretos já considera as variações de componentes, em uma mesma topologia, para que o desempenho global seja “ótimo”. Por exemplo, na topologia NPC1, o fabricante tende a compor um braço de chaves de modo que os transistores mais internos sejam “otimizados” para menores perdas de condução e os mais externos, para menores perdas de chaveamento – *e.g.*, como se nota no módulo FS3L50R07W2H3F, do fabricante *Infineon*. Isso leva a um aumento no rendimento do conversor, em especial, na operação como inversor. Assim, para que a comparação entre as topologias já contemple estas adaptações de projeto, apenas módulos com no mínimo um braço de chaves são especificados. De outra forma, os componentes discretos deveriam ser dimensionados dependendo das condições em que operam, em cada topologia, o que tornaria esta seleção mais complexa. Cabe salientar ainda que a seleção de módulos de SiC apenas de dois níveis se deve à indisponibilidade de opções comerciais em outras topologias.

Por outro lado, os módulos de potência selecionados para compor as várias topologias devem ser de mesma classe de corrente e de tensão (*i.e.*, de mesma tensão máxima de barramento c.c.), para que nenhuma das topologias seja penalizada nesta comparação de rendimento. Todavia, a tentativa de padronização dos vários módulos quanto à capacidade de corrente se torna complexa, em virtude da variedade de parâmetros associados aos limites máximos de corrente. De fato, estes parâmetros são definidos segundo as práticas do fabricante e variam com as condições de operação (*e.g.*, com a temperatura de junção e de encapsulamento). Sendo assim, para a seleção dos módulos, orienta-se pelo parâmetro comum aos catálogos, referido por “corrente c.c. máxima de coletor/dreno”. Este parâmetro só embasa a opção pelos módulos e não o dimensionamento térmico da UPS. Na Tabela 3.1, enumeram-se os módulos avaliados neste trabalho. A seleção por módulos na faixa de $60\text{ A} - 75\text{ A}$ e de tensão de barramento c.c. máxima de 1200 V se baseia apenas no critério de disponibilidade de dispositivos no mercado, nas várias topologias em estudo.

Tabela 3.1 – Módulos semicondutores de potência comparados neste trabalho quanto ao rendimento.

Módulos comparados			
Modelo	Tipo	Tensão reversa máxima das chaves	Corrente c.c. máxima de coletor/dreno
FF75R12RT4 (<i>Infineon</i>)	2 níveis/ Si	1200 V	75 A
CCS050M12CM2 (<i>CREE</i>)	2 níveis/ SiC	1200 V	59 A
F3L75R07W2E3B11 (<i>Infineon</i>)	NPC1/ Si	650 V	75 A
F3L150R12W2H3B11 (<i>Infineon</i>)	NPC2/ Si	1200 V (S1/S4) 650 V (S2/S3)	75 A

Como, em geral, o rendimento de cada topologia depende das condições de operação, UPSs de dupla conversão com várias potências nominais, níveis de tensão de barramento c.c. e frequências de chaveamento são avaliadas. Na Tabela 3.2 constam as especificações das UPSs consideradas neste trabalho¹.

Tabela 3.2 – Especificações das UPSs de dupla conversão avaliadas na comparação de topologias.

Especificações	Valores avaliados
Tensão do barramento c.c. (V_{DC})	[550, 650, 750, 850] V
Frequência de chaveamento (f_{sw})	[3, 84; 7, 68; 15, 36; 30, 72] kHz
Potência nominal de saída (P_{out})	[2, 500; 4, 375; 6, 250; 8, 125; 10, 000] kW

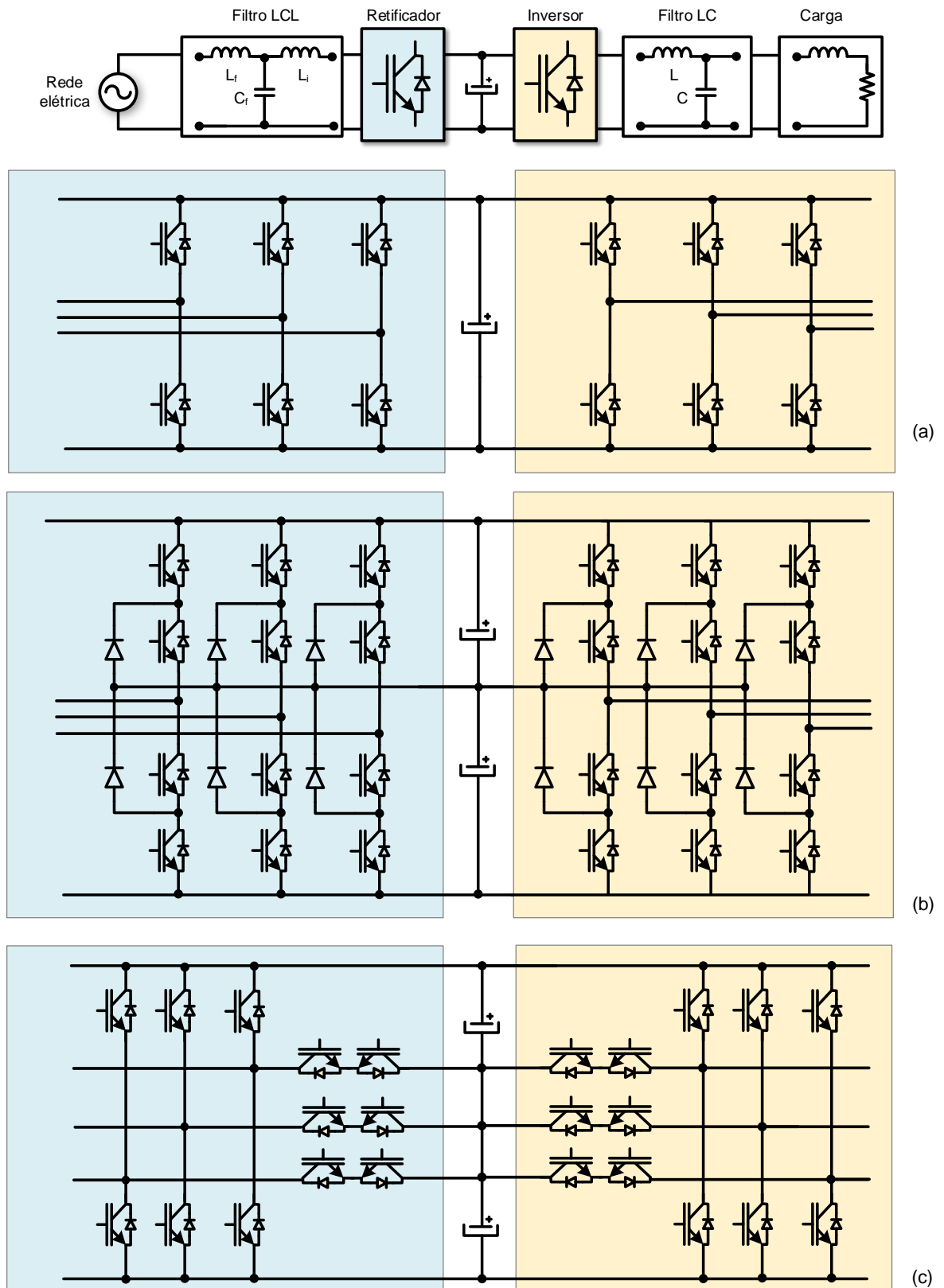
Admite-se que as UPSs de dupla conversão em análise integram inversores e retificadores com mesma topologia. A Figura 3.4 representa os circuitos de potência simulados. Nestes circuitos, as baterias ou o conversor c.c./c.c. que as conecta ao barramento são desprezados. Todos os circuitos são simulados no *software Simulink/MATLAB*.

Nas simulações destas UPSs, não se associam módulos de potência em paralelo ou em série. Assume-se o uso do dissipador *P16* com o ventilador *SKF 16B230-1*, do fabricante *Semikron*. Os módulos que integram o estágio inversor são montados em um único dissipador. Em outro dissipador, também com convecção forçada, são dispostos os módulos do estágio retificador.

Ademais, os dissipadores e os dispositivos semicondutores são representados por modelos térmicos de parâmetros concentrados (descritos na seção 2.2.3). A resistência térmica do dissipador é estimada pelo valor informado no catálogo do fabricante, supondo um cenário de

¹ Apesar de as UPSs com potências inferiores a 10 kW comumente não serem trifásicas, considera-se esta faixa de potências para que não se exceda a temperatura de junção máxima nos dispositivos das UPSs com tensões de barramento c.c. de 850 V e frequência de chaveamento de 30, 72 kHz. Do mesmo modo, frequências de chaveamento menores do que 10 kHz são avaliadas apenas para que cada topologia seja submetida a vários cenários, em que dominam ora as perdas de condução, ora as de chaveamento.

Figura 3.4 – Diagrama esquemático das UPSs de dupla conversão avaliadas.



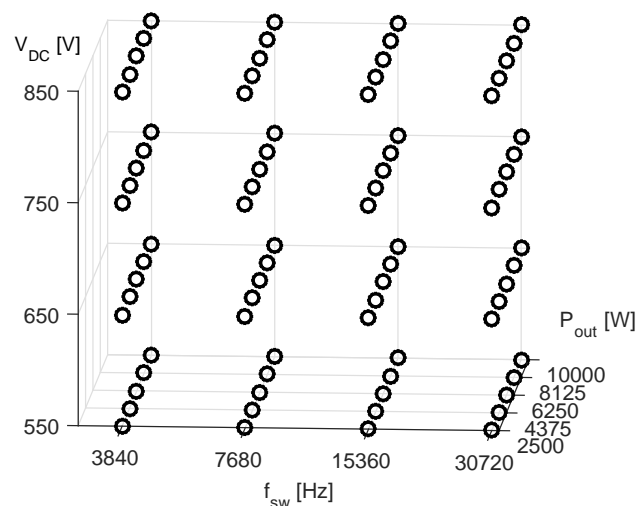
Conversores: (a) com estrutura de dois níveis, (b) com estrutura NPC1, (c) com estrutura NPC2.

Fonte: Dados da pesquisa, 2016.

ocupação da superfície com resistência térmica dissipador-ambiente de cerca de $0,03 K/W$. Nesta condição, não há violação do limite térmico na junção dos semicondutores em nenhuma das UPSs em estudo, em regime nominal de carga.

Na Figura 3.5 consta uma representação gráfica das UPSs simuladas, indicadas por círculos. No total, portanto, são dimensionadas 80 UPSs de dupla conversão. A tensão de entrada e de saída das UPSs simuladas é de $220 V$.

Figura 3.5 – Representação gráfica das UPSs simuladas (indicadas por círculos), com as respectivas especificações.



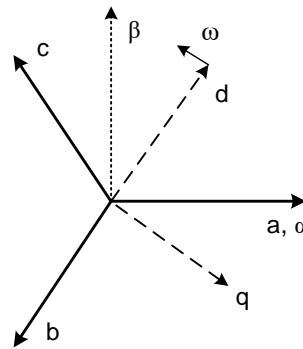
Fonte: Dados da pesquisa, 2016.

3.2 Controle dos estágios da UPS

Esta subseção descreve, sucintamente, as técnicas de controle adotadas na UPSs simuladas. Estas técnicas devem permitir a sintonia automática dos ganhos dos controladores, de modo que em todas as condições de operação (V_{DC} , f_{sw} , P_{out}) os critérios de desempenho arbitrados sejam atendidos. Para tanto, a sintonia por alocação dos zeros da rigidez dinâmica do controlador (e, assim, dos polos da função de transferência) foi adotada. Opta-se pelo controle em coordenadas síncronas ($dq0$), para que os controladores tradicionais do tipo proporcional-integral (PI) não introduzam erros persistentes de magnitude e de fase. A orientação adotada para os eixos de referência d e q consta na Figura 3.6. Admite-se ainda a operação dos conversores com modulação PWM (*Pulse-Width Modulation*) do tipo senoidal, usual nas aplicações em que a carga é alimentada a quatro fios e tensões de sequência zero não devem ser geradas pelo conversor.

Assumindo que a tensão do barramento c.c. é constante, os estágios retificador e inversor podem ser dissociados e simulados individualmente. Esta simplificação reduz o custo computacional das simulações e, por esta razão, é adotada nas análises deste trabalho. O controle do retificador e do inversor, detalhados nas seções subsequentes, são também supostos independentes.

Figura 3.6 – Orientação adotada para os eixos de referência.



Fonte: Dados da pesquisa, 2016.

3.2.1 Controle do retificador

No retificador PWM, ou ativo, duas dinâmicas (ou plantas) devem ser controladas, a saber, a do barramento c.c. e a do filtro LCL (L_f , C_f e L_i) de entrada. Estas dinâmicas devem ser explicitadas em coordenadas síncronas, $dq0$, para que as grandezas trifásicas senoidais sejam mapeadas para o domínio contínuo e, assim, os controladores PI não incorram em erros persistentes de fase e de amplitude, como já foi comentado.

Se o filtro LCL de entrada é suposto amortecido, o capacitor C_f pode ser desprezado no modelo desta planta para frequências menores do que a frequência de ressonância do filtro (LISERRE; BLAABJERG; HANSEN, 2005) e as equações para a tensão da entrada do retificador em coordenadas síncronas se reduzem a:

$$\begin{cases} v_d = r_L i_d + L_T \frac{d}{dt} i_d + e_d + \omega L_T i_q \\ v_q = r_L i_q + L_T \frac{d}{dt} i_q + e_q - \omega L_T i_d \\ v_0 = r_L i_0 + L_T \frac{d}{dt} i_0 + e_0 \end{cases} \quad (3.1)$$

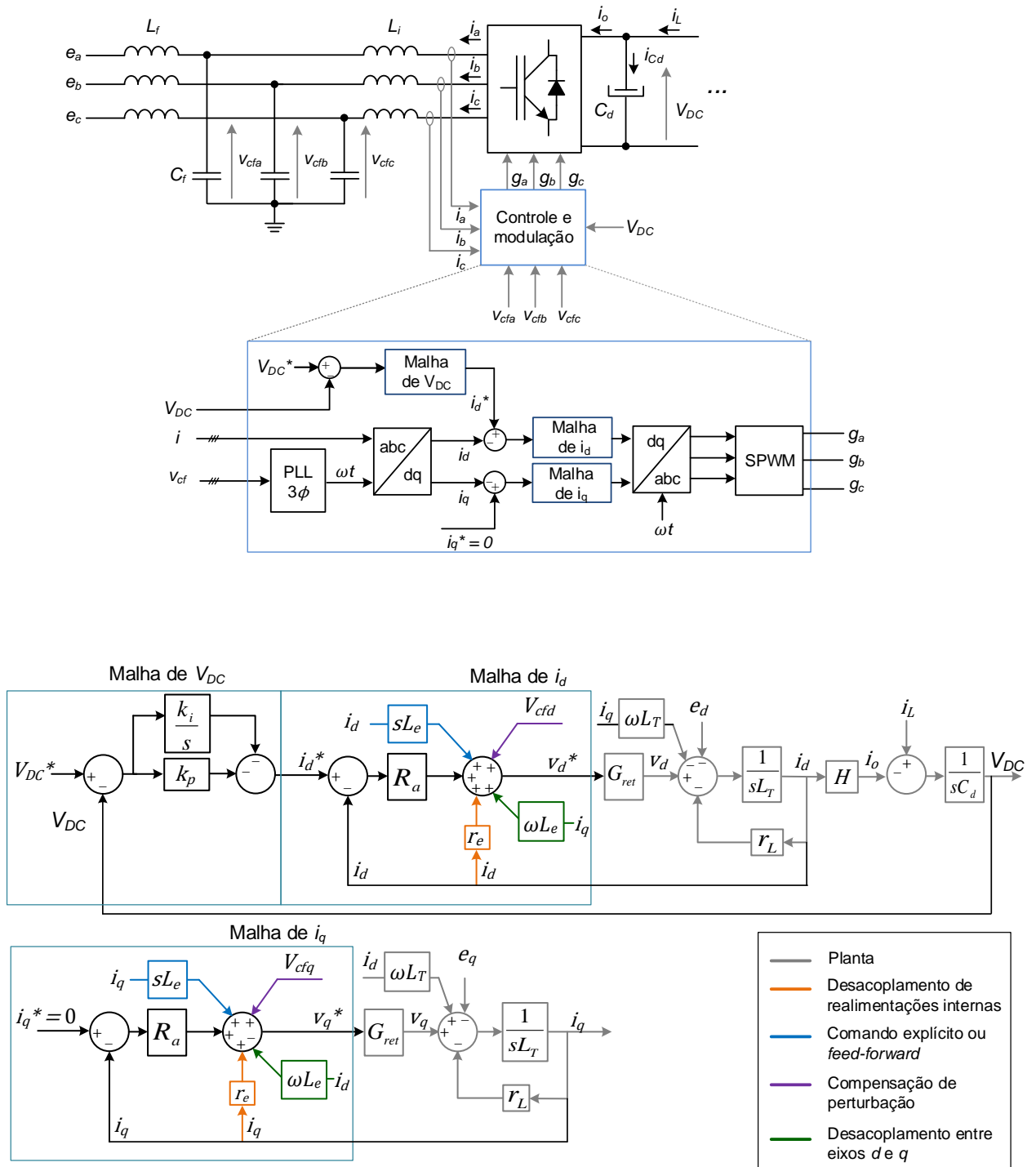
em que r_L e L_T constituem as resistências e indutâncias totais dos indutores do filtro ($L_T = L_i + L_f$). As componentes d , q e 0 de cada variável são indicadas por subíndices. As tensões da rede elétrica e na entrada do retificador são denotadas por e e v e as correntes no indutor equivalente L_T são referidas por i . Já ω denota a frequência angular do referencial síncrono, dada por $2\pi f$, em que f é a frequência da rede. O sentido positivo das correntes é aquele indicado na Figura 3.7. Como se nota nestas equações, a dinâmica do filtro exhibe, inerentemente, acoplamentos entre as variáveis de eixo d e q .

Por outro lado, a dinâmica do barramento c.c. é descrita pela equação:

$$i_L = i_o + C_d \frac{dv_{DC}}{dt} \quad (3.2)$$

em que i_L e i_o designam a corrente de carga e a de saída do retificador e v_{DC} e C_d representam a tensão e a capacitância total do barramento c.c., nesta ordem. A convenção de notação e de sentido destas correntes é também indicada na Figura 3.7.

Figura 3.7 – Diagrama de controle do retificador trifásico.

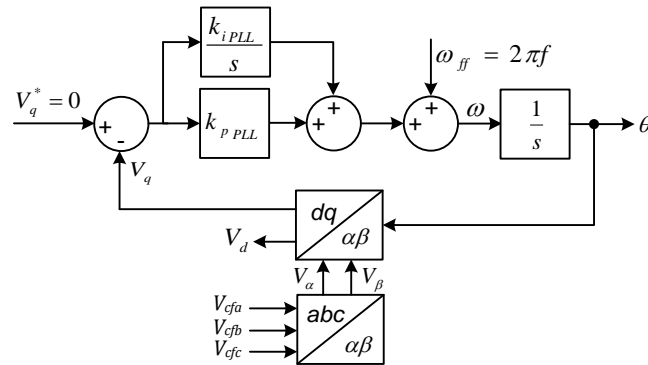


Fonte: Dados da pesquisa, 2016.

Para que o sistema seja mapeado para o referencial síncrono, um algoritmo de sincronismo PLL (*Phase Locked Loop*) deve ser implementado. O diagrama de PLL adotado neste trabalho consta na Figura 3.8. Neste diagrama, as tensões V_{cfa}, V_{cfb} e V_{cfc} se referem às tensões sobre o capacitor C_f . A sintonia do controlador do PLL depende da modelagem em pequenos sinais deste sistema. Esta modelagem, bem como o critério de sintonia dos ganhos proporcional

(k_{pPLL}) e integral (k_{iPLL}), são abordados em [Silva \(1999\)](#) e serão omitidos aqui, para fins de simplificação do texto.

Figura 3.8 – Diagrama de PLL implementado.



Fonte: Dados da pesquisa, 2016.

Como se infere das dinâmicas com modelos em (3.1) e (3.2), a tensão no barramento c.c. (V_{DC}) e as correntes de entrada i , enquanto variáveis de estado, devem ser as variáveis controladas. O controle da tensão V_{DC} deve prover a rejeição da perturbação introduzida pela corrente de carga i_L e o rastreamento da tensão de referência V_{DC}^* . Já o controle das correntes de entrada deve: (i) rejeitar o efeito da tensão da rede elétrica e , que atua como um distúrbio no sistema; (ii) garantir fator de potência unitário no ponto de acoplamento comum com a rede; (iii) desacoplar as malhas de corrente dos eixos direto e de quadratura; (iv) compensar as realimentações internas, introduzidas, por exemplo, pela resistência equivalente r_L dos indutores e (iv) atuar como um recurso de proteção no sistema.

As ações pretendidas para os controladores de corrente e de tensão são incluídas no diagrama de controle da Figura 3.7 e discriminadas na legenda. Outras ações de *feed-forward*, também indicadas, são adicionadas para que os controladores apenas corrijam desvios em torno do ponto de operação nominal, reduzindo o esforço de controle. Os comandos explícitos forçam a frequência de corte do sistema em malha fechada para a da malha de corrente ([SILVA, 1999](#)) e, ainda, permitem dissociar as malhas do controlador para que atuem paralelamente sobre os estados (e não em cascata). As estimativas da indutância total do filtro e da resistência total dos indutores, denotadas por L_e e r_e na Figura 3.7, são também consideradas no cálculo das ações de controle².

No diagrama da Figura 3.7, a corrente de referência de eixo d é sintetizada pela malha de controle de tensão no barramento c.c., v_{DC} . Como condição para o sincronismo entre a tensão e a corrente da rede, a corrente de referência de eixo q é atribuída a zero. A rigor, esta corrente não deve ser zero, já que as variáveis sincronizadas pelo controle são as tensões no capacitor

² Supõe-se, arbitrariamente, que há um erro de 20 % nas estimativas da indutância total do filtro e da resistência total dos indutores.

C_f e as correntes no indutor L_i , não as tensões e correntes da rede (LISERRE; BLAABJERG; HANSEN, 2005). Assim, uma parcela associada à corrente em C_f deveria ser adicionada àquela corrente de referência. Todavia, supõe-se aqui que o efeito deste capacitor, dimensionado para que absorva no máximo 5 % da corrente nominal, possa ser desprezado. Outra simplificação decorre da suposição de que a função de transferência G_{ret} , que quantifica a razão entre a tensão na entrada do retificador v e o comando v^* , seja unitária³.

Ainda sobre o diagrama da Figura 3.7, cabe salientar ainda que as ações integrais são somente incluídas na malha externa (de tensão) e não na interna (de corrente), para que não sejam introduzidas dinâmicas concorrentes nestas duas malhas, em um mesmo nível de energia. Por fim, a constante denotada por H no diagrama da Figura 3.7, que estabelece a razão entre i_o e i_d , provém da equivalência entre as potências ativas nos lados c.a. e c.c. do retificador, se as perdas no retificador forem desprezadas:

$$\frac{3}{2}v_d i_d \approx V_{DC}^* i_o, \quad (3.3)$$

$$H = \frac{i_o}{i_d} \approx \frac{3}{2} \frac{v_d}{V_{DC}^*}. \quad (3.4)$$

A figura de mérito para rejeição das perturbações é referida por *rigidez dinâmica* e mensura quantas unidades da grandeza de distúrbio levam à perturbação de uma unidade da variável controlada (RYAN; LORENZ, 1995). Por exemplo, se a variação de 100 A da corrente de carga i_L leva à variação de 1 V na tensão do barramento c.c., a rigidez dinâmica do sistema em relação à i_L é de 100 A/V. Assim, analogamente ao conceito aplicado a sistemas mecânicos, quanto maior a rigidez do sistema, menor a suscetibilidade aos distúrbios. A rigidez dinâmica *mínima* em relação a cada uma das variáveis de perturbação deve ser, pois, definida como um critério de projeto dos controladores (RYAN; LORENZ, 1995). Para tanto, as funções que definem a rigidez dinâmica para o sistema controlado, em relação à tensão da rede e e à corrente de carga i_L , devem ser avaliadas. Com base no diagrama de controle da Figura 3.7, vem, para estas funções⁴:

$$\left| \frac{e}{i} \right| = sL_T + R_a, \quad (3.5)$$

$$\left| \frac{i_L}{v_{dc}} \right| = sC_d + k_p + \frac{k_i}{s}. \quad (3.6)$$

em que R_a e k_p equivalem aos ganhos proporcionais das malhas de corrente e de tensão e k_i se refere ao ganho integral do controlador de tensão, como se nota na Figura 3.7. Por inspeção destas funções, depreende-se que os controladores de fato definem a resposta de rigidez dinâmica

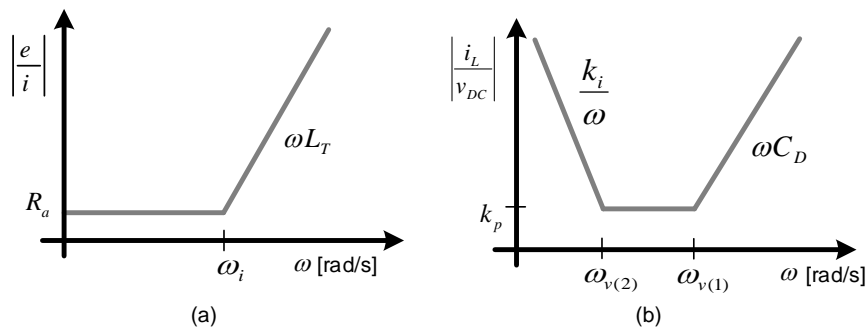
³ Esta simplificação pode ser adotada se a frequência de corte da função de transferência G_{ret} for pelo menos dez vezes maior do que a da malha de corrente.

⁴ Na dedução destas funções, assumem-se as seguintes premissas: (i) as realimentações internas e o acoplamento entre as malhas são compensados integralmente pelas ações de controle; (ii) as entradas de referência e com as ações de compensação de perturbação ou de *feed-forward* são nulas; (iii) a malha de corrente i_d/i_d^* , a constante G_{ret} e o produto $G_{ret} \cdot H$ são unitários.

do sistema. O ganho R_a , por exemplo, domina na resposta $|e/i|$ em baixas e médias frequências. Já os ganhos k_p e k_i incidem sobre a rigidez $|i_L/v_{DC}|$ em médias e baixas frequências, nesta ordem. O esboço das assíntotas destas funções é apresentado na Figura 3.9. Assim, a interseção entre as assíntotas descrevem os pontos onde os zeros da rigidez dinâmica (e, assim, os polos das funções de transferência⁵) estão alocados. Se o zero da rigidez $|e/i|$ for denotado por ω_i e os da característica $|i_L/v_{DC}|$ forem $\omega_{v(1)}$ e $\omega_{v(2)}$ (com $\omega_{v(1)} > \omega_{v(2)}$), vêm as equações para os ganhos dos controladores, diretamente:

$$\begin{cases} R_a = \omega_i L_T, \\ k_p = \omega_{v(1)} C_d, \\ k_i = \omega_{v(2)} k_p. \end{cases} \quad (3.7)$$

Figura 3.9 – Esboço das assíntotas das curvas de rigidez dinâmica.



Características: (a) $|e/i|$, (b) $|i_L/v_{DC}|$.

Fonte: Dados da pesquisa, 2016.

Portanto, basta definir um critério para alocação de ω_i , $\omega_{v(1)}$ e $\omega_{v(2)}$ para que os ganhos dos controladores sejam derivados. Opta-se por alocar os polos de modo que a razão entre as frequências de polos adjacentes seja de 10, como na regra prática usual. Já a razão entre a frequência de chaveamento ω_{chav} ($2\pi f_{sw}$) e a frequência do polo ω_i é fixada em 5, para que não haja degradação da dinâmica do controle na condição em que as frequências de chaveamento são menores. As equações a seguir resumem este critério de alocação, adotado para cada condição de operação avaliada:

$$\begin{cases} \omega_i = \omega_{chav}/5, \\ \omega_{v(1)} = \omega_i/10, \\ \omega_{v(2)} = \omega_{v(1)}/10. \end{cases} \quad (3.8)$$

A metodologia de dimensionamento do filtro LCL e, assim, da indutância total L_T , é detalhada na seção 3.3. Arbitra-se que a rigidez dinâmica associada a este projeto de L_T , para

⁵ Os zeros das funções de rigidez dinâmica $|e/i|$ e $|i_L/v_{DC}|$ equivalem aos polos das funções de transferência $|i/i^*|$ e $|v_{DC}/v_{DC}^*|$, como pode ser demonstrado a partir do diagrama da Figura 3.7.

frequências da ordem de 60 Hz , deve superar o valor de 15 V/A . Caso contrário, o valor de L_T é elevado para o valor mínimo que leva à rigidez pretendida. Para este valor arbitrário de 15 V/A , variações de 10% na tensão da rede (*i.e.*, 18 V em uma rede de tensão de fase de pico de 180 V) levam a excursões de no máximo $1,2\text{ A}$ na corrente de entrada i (*i.e.*, cerca de 10% da menor corrente de entrada avaliada). A capacitância total do barramento é fixada em $1,5\text{ mF}$, em todas as condições de operação, para que o *ripple* máximo da tensão do barramento c.c. seja de 1% para o caso com máxima potência de carga. Nesta condição, o *ripple* do barramento c.c. pode ser desprezado, o que fundamenta, pois, a opção pela análise independente dos estágios retificador e inversor, aqui adotada.

Os critérios enumerados nesta seção, portanto, são suficientes para que os ganhos dos controladores sejam sintonizados para cada especificação de potência nominal, tensão do barramento c.c. e frequência de chaveamento do conversor, em qualquer das topologias trifásicas avaliadas neste trabalho.

Os resultados da simulação de um retificador trifásico de 10 kVA com parâmetros dados na Tabela 3.3 são apresentados na Figura 3.10. Os testes de reversão de carga (apesar de atípicos em UPSs) e de variação de 10% na tensão da rede são conduzidos nestas simulações, para que a suscetibilidade do controle a estas perturbações seja avaliada. Estas perturbações ocorrem, em sequência, nos instantes indicados por t_1 e t_2 nos gráficos da Figura 3.10. A corrente i_L , assumida constante, a tensão do barramento V_{DC} , a tensão da rede e e a corrente da rede i_g (multiplicada por dois) constam nesta figura. O ângulo ϕ entre e e i_g e espectros harmônicos das correntes nos indutores L_i e L_f são também apresentados.

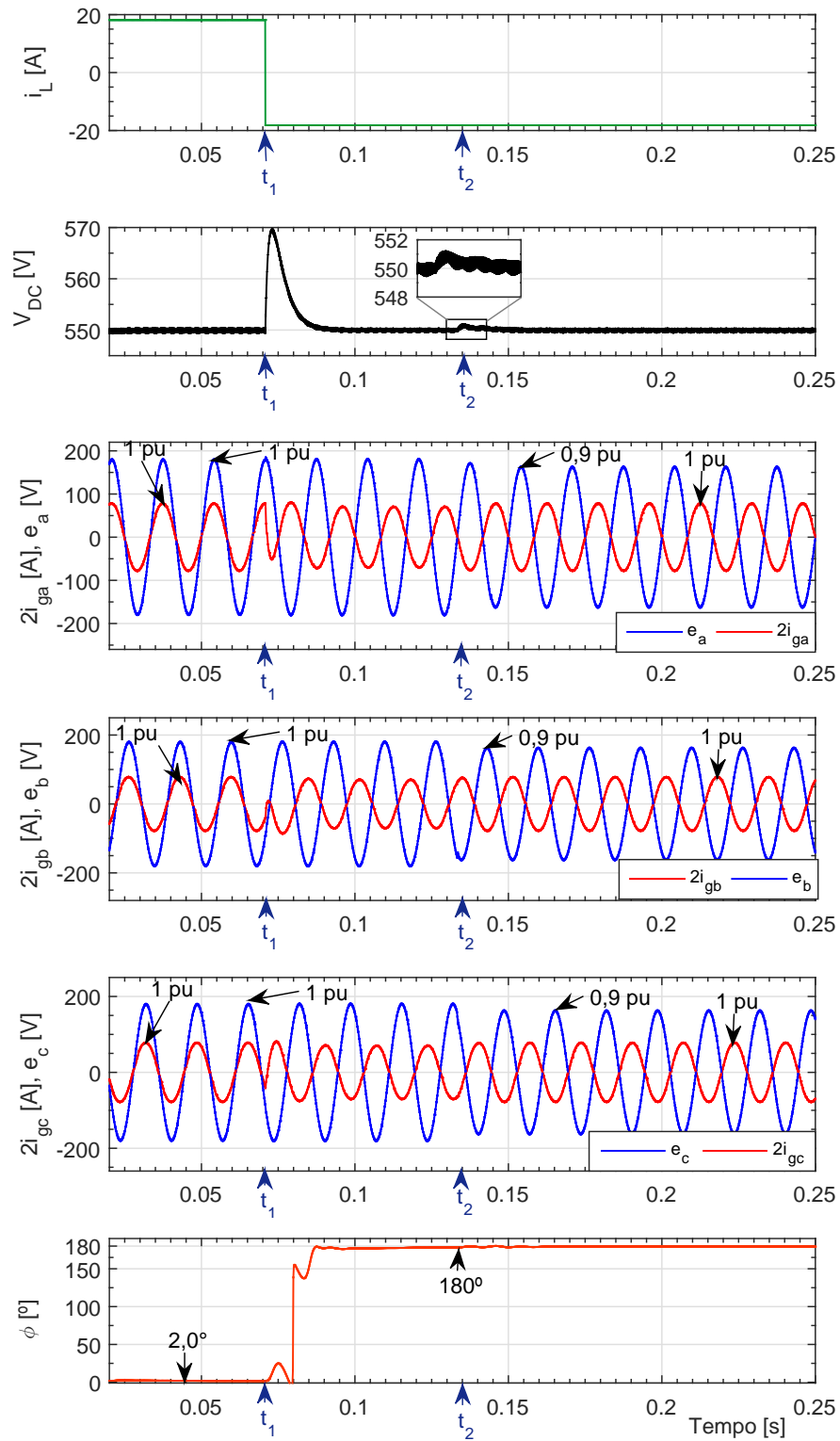
Tabela 3.3 – Tabela com os parâmetros do retificador com resultados de simulação apresentados na Figura 3.10.

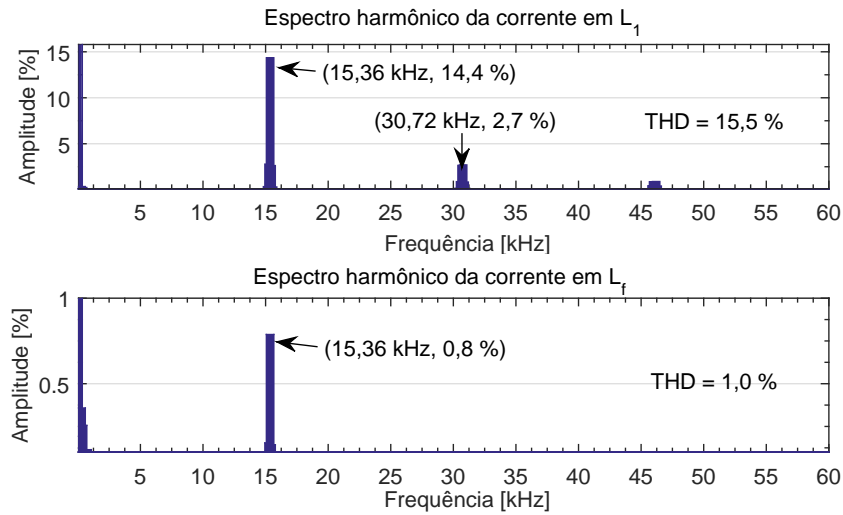
Parâmetro	Valor
Tensão eficaz da rede elétrica (e)	220 V
Tensão do barramento c.c. (V_{DC})	550 V
Frequência de chaveamento (f_{sw})	$15,36\text{ kHz}$
Potência nominal de saída (P_{out})	10 kW
Indutância L_1	$480\text{ }\mu\text{H}$
Indutância L_f	$250\text{ }\mu\text{H}$
Capacitância C_f	$27\text{ }\mu\text{F}$
Ganho proporcional da malha de corrente (R_a)	$15\text{ }\Omega$
Ganho proporcional da malha de tensão (k_p)	$11,5\text{ S}$
Ganho integral da malha de tensão (k_i)	2235 S/s

Como se nota na Figura 3.10, as variáveis controladas são perturbadas no máximo em 4% , em resposta às contingências nos instantes t_1 e t_2 . Sendo assim, fica demonstrada a efetividade da técnica de controle aqui adotada. O fator de potência da entrada (que resulta do cosseno do ângulo ϕ) se mantém aproximadamente unitário. A corrente na rede exibe distorção harmônica total de cerca de 1% , menor do que o limite de 2% , fixado como critério de projeto do filtro LCL. Isso, portanto, valida o dimensionamento do filtro LCL de entrada, discutido na

seção 3.3.

Figura 3.10 – Resultados da simulação de um retificador trifásico com os parâmetros da Tabela 3.3.





Fonte: Dados da pesquisa, 2016.

3.2.2 Controle do inversor

Para o controle do inversor, adotam-se técnicas análogas às descritas na seção 3.2.1. Novamente, a sintonia dos ganhos dos controladores se embasa na alocação dos zeros da função de rigidez dinâmica e na inspeção desta característica. Para o inversor, diferentemente do caso do retificador, apenas a dinâmica do filtro deve ser controlada. As equações 3.9 descrevem em coordenadas síncronas o modelo de um filtro LC, aqui adotado na saída do inversor da UPS (SILVA, 1999). A orientação dos eixos de referência é aquela indicada na Figura 3.6.

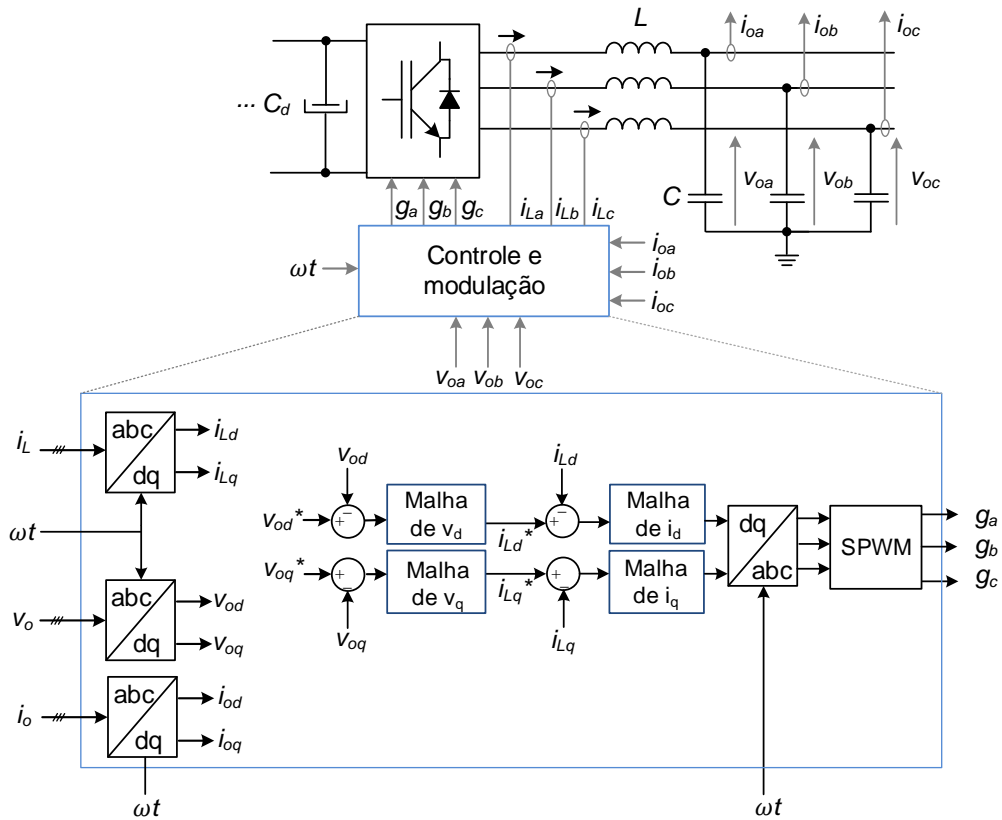
$$\begin{cases} v_{iq} = v_{oq} + r_L i_{Lq} - \omega L i_{Ld} + L \frac{d}{dt} i_{Lq} \\ v_{id} = v_{od} + r_L i_{Ld} + \omega L i_{Lq} + L \frac{d}{dt} i_{Ld} \\ v_{i0} = v_{o0} + r_L i_{L0} + L \frac{d}{dt} i_{L0} \\ i_{Lq} = i_{oq} - \omega C v_{od} + C \frac{d}{dt} v_{oq} \\ i_{Ld} = i_{od} + \omega C v_{oq} + C \frac{d}{dt} v_{od} \\ i_{L0} = i_{o0} + C \frac{d}{dt} v_{o0} \end{cases} \quad (3.9)$$

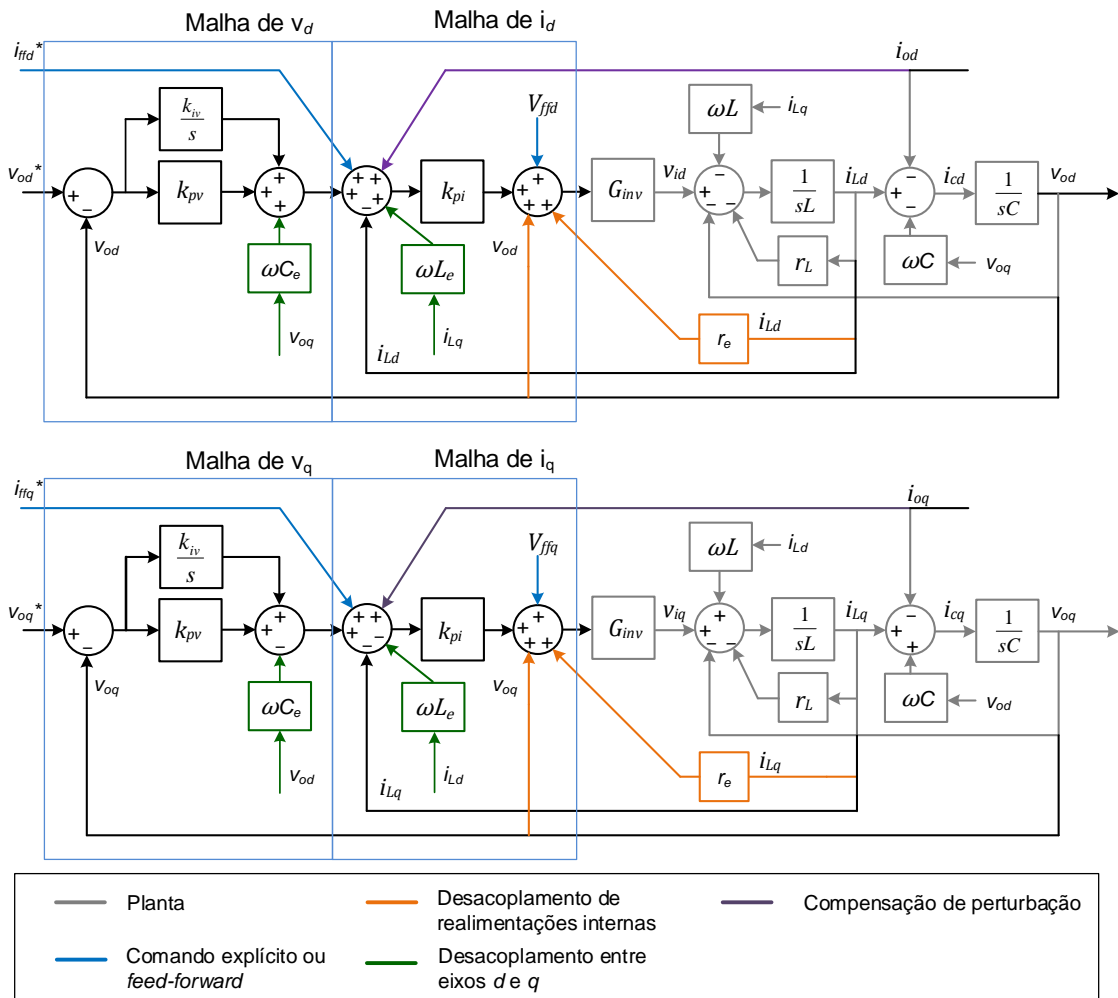
Nestas equações, i_L e i_o se referem às correntes no indutor e de carga; v_o , à tensão no capacitor; v_i , à tensão na saída do inversor; r_L , à resistência do indutor e C e L , à capacitância e à indutância do filtro. Já os índices d , q e 0 denotam as componentes de eixo direto, de quadratura e zero de cada grandeza, nesta ordem. A frequência angular do eixo de coordenadas síncronas, que equivale à frequência angular da rede, é indicada por ω .

No caso do inversor, portanto, as variáveis de estado i_L e v_o devem ser controladas. Como a dinâmica de um filtro LC equivale à de um motor c.c. com constantes de torque e de velocidade unitárias e coeficiente de atrito nulo (em que a capacitância do filtro C é o análogo do momento de inércia J do motor), as técnicas de controle usuais para motores c.c. podem ser estendidas para este filtro (SILVA, 1999). Todavia, algumas adaptações no controle em cascata clássico, comum em acionamentos elétricos, devem ser introduzidas para este caso. Estas adaptações

devem colaborar para o objetivo básico de controle do filtro LC, que, também naquele contexto, deveria ser o de rejeitar perturbações de carga. Os controladores devem ainda: (i) compensar o efeito das realimentações internas no filtro; (ii) desacoplar as malhas de corrente de eixo direto e de quadratura e (iii) atuar como um recurso de proteção do inversor. O diagrama de controle implementado consta na Figura 3.11. Novamente, as ações de cada termo do controlador são indicadas na legenda.

Figura 3.11 – Diagrama de controle do inversor trifásico.





Fonte: Dados da pesquisa, 2016.

Assim como no controle do retificador, assume-se que a função de transferência G_{inv} , que equivale à razão entre a tensão na saída do inversor v_i e o comando v_i^* , seja unitária. As ações de controle indicadas por i_{ff} e V_{ff} na Figura 3.11, com componentes d e q , se referem aos comandos explícitos dados por:

$$V_{ff} = s^2 L_e C_e v_o^* \quad (3.10)$$

$$i_{ff} = s C_e v_o^* \quad (3.11)$$

em que L_e e C_e são os parâmetros estimados para a indutância e a capacitância do filtro LC (SILVA, 1999).

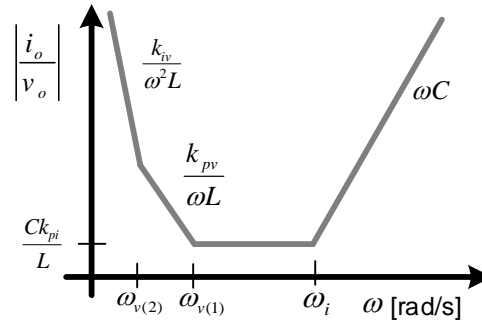
Para o sistema da Figura 3.11, vem, para a função de rigidez dinâmica em relação à corrente de carga i_o (RYAN; LORENZ, 1995; SILVA, 1999):

$$\left| \frac{i_o}{v_o} \right| = \frac{s^3 LC + s^2 C k_{pi} + s k_{pv} + k_{iv}}{s^2 L} \quad (3.12)$$

em que k_{pi} e k_{pv} designam os ganhos proporcionais das malhas de corrente e de tensão e k_{iv} , o ganho integral da malha de tensão. Para que as equações dos ganhos dos controladores sejam

derivadas, as assíntotas da característica de rigidez dinâmica, esboçadas na Figura 3.12, são identificadas.

Figura 3.12 – Esboço das assíntotas da curva de rigidez dinâmica $|i_o/v_o|$.



Fonte: Adaptado de Silva (1999).

Da equivalência, par a par, entre as assíntotas da característica $|i_o/v_o|$, inferem-se as equações:

$$\begin{cases} k_{pi} = \omega_i L, \\ k_{pv} = \omega_{v(1)} k_{pi} C, \\ k_{iv} = \omega_{v(2)} k_{pv}. \end{cases} \quad (3.13)$$

em que ω_i , $\omega_{v(1)}$ e $\omega_{v(2)}$ (com $\omega_i > \omega_{v(1)} > \omega_{v(2)}$) constituem as frequências dos zeros da função de rigidez dinâmica $|i_o/v_o|$. Novamente, para que não haja degradação da dinâmica dos controladores projetados para frequências de chaveamento menores, a frequência do polo ω_i é atribuída a um valor 5 vezes menor do que a frequência de chaveamento ω_{sw} . A razão entre os polos adjacentes é também arbitrada em 5, para que a rigidez dinâmica em frequências da ordem de 60 Hz fosse mais elevada. Este critério de alocação é sumarizado nas equações a seguir.

$$\begin{cases} \omega_i = \omega_{chav}/5, \\ \omega_{v(1)} = \omega_i/5, \\ \omega_{v(2)} = \omega_{v(1)}/5. \end{cases} \quad (3.14)$$

Particularmente para o inversor, como o aumento da indutância do filtro tende a reduzir a rigidez dinâmica em baixas e médias frequências, o projeto do indutor, definido via critério de *ripple*, não é redefinido para que se atinja a rigidez mínima pretendida.

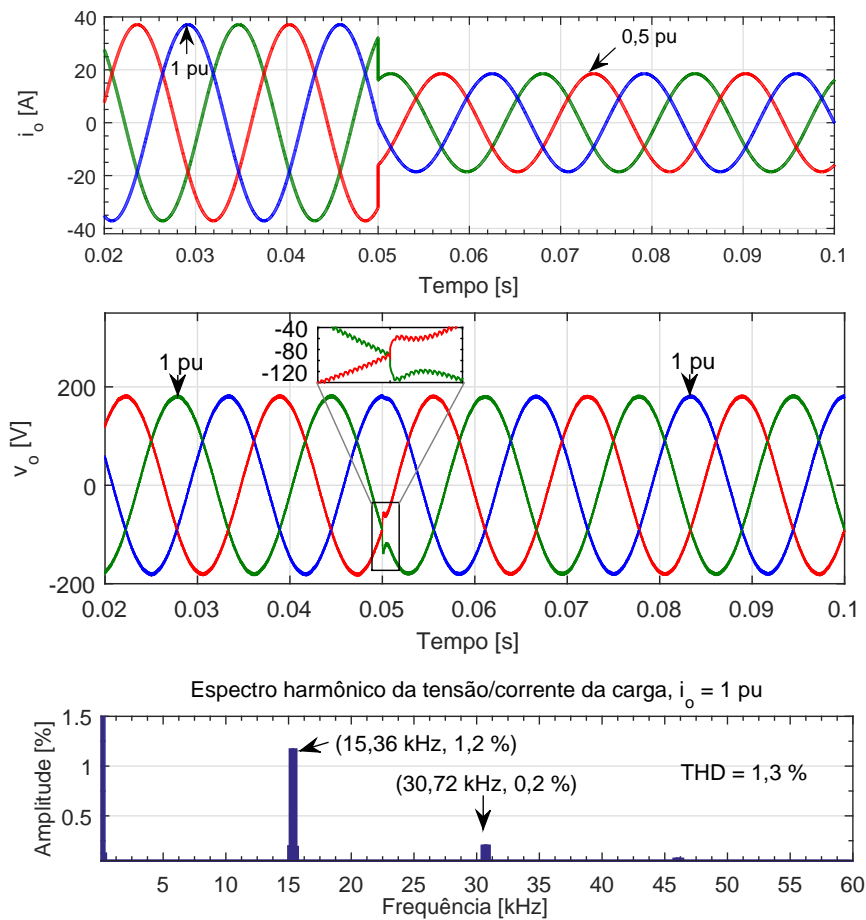
Portanto, os conjuntos de equações em (3.13) e (3.14) são suficientes para que o controle seja sintonizado para cada condição de operação (P_{out} , f_{sw} , V_{DC}) em que se avalia o rendimento. Os resultados da simulação de um inversor trifásico de 10 kVA com parâmetros dados na Tabela 3.4 são apresentados na Figura 3.13. A resposta do sistema às variações da potência de carga de 1 pu para 0, 5 pu são analisadas. Os gráficos de corrente de carga i_o , tensão de saída v_o são indicados na Figura 3.13. Como a variação da tensão de saída v_o nestas transições de carga

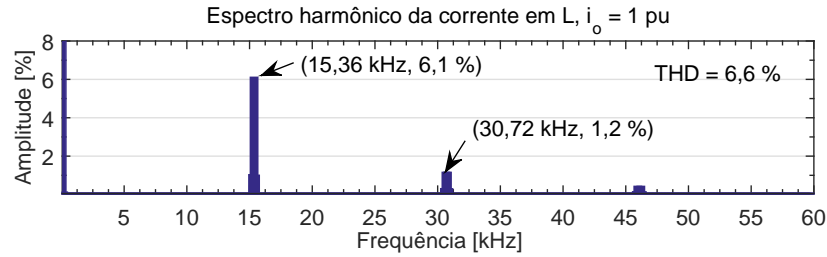
atinge no máximo 40% e se sustenta por no máximo 1,0 ms, infere-se que os controladores implementados atendem ao objetivo de controle do filtro LC. Os espectros harmônicos da corrente no indutor e na carga validam o dimensionamento do filtro LC de saída, abordado na seção 3.3.

Tabela 3.4 – Tabela com os parâmetros do inversor com resultados de simulação apresentados na Figura 3.13.

Parâmetro	Valor
Tensão eficaz de saída (v_o)	220 V
Tensão do barramento c.c. (V_{DC})	550 V
Frequência de chaveamento (f_{sw})	15,36 kHz
Potência nominal de saída (P_{out})	10,0 kW
Indutância L	1,2 mH
Capacitância C	20 μF
Ganho proporcional da malha de corrente (k_{pi})	23 Ω
Ganho proporcional da malha de tensão (k_{pv})	0,08 S
Ganho integral da malha de tensão (k_i)	60 S/s

Figura 3.13 – Resultados da simulação de um inversor trifásico com os parâmetros da Tabela 3.4.





Fonte: Dados da pesquisa, 2016.

3.3 Dimensionamento dos filtros de entrada e de saída

Esta seção detalha os procedimentos adotados nesta pesquisa para o dimensionamento do filtro LCL de entrada do retificador e do filtro LC de saída do inversor.

3.3.1 Dimensionamento do filtro LCL

Para o dimensionamento do filtro LCL da entrada do retificador, opta-se pela metodologia proposta por [Liserre, Blaabjerg e Hansen \(2005\)](#). Esta metodologia é adaptada, todavia, para que se atinja o critério de rigidez dinâmica mínima, já discutido na seção 3.2.1. Adota-se, assim, a sequência de procedimentos descrita a seguir. O indutor mais interno, da entrada do retificador, é referido aqui por L_i , o indutor mais próximo da rede, L_f e a indutância da rede, L_g . Já o capacitor é denotado por C_f . A soma das indutâncias do lado da rede ($L_g + L_f$) e a indutância total ($L_g + L_f + L_i$) são designadas por L_{lr} e L_T , nesta ordem.

(i) Seleção do indutor L_i segundo o critério de *ripple*

Seja v_{acf} a tensão na fase a sobre o capacitor C_f e v_{ao} , a tensão que se estabelece entre o nó de entrada da fase a do retificador e a referência o (de tensão $0V$). Se um dos terminais de C_f tem o mesmo potencial de o , a tensão sobre este capacitor, no semiciclo positivo da tensão da rede, oscila entre $V_{DC}/2$ e $-V_{DC}/2$, na modulação de dois níveis e entre $V_{DC}/2$ e 0 , na de três níveis. Assim, se Δt_1 e Δt_2 constituem os sub-intervalos do período de chaveamento T_{sw} em que a tensão v_{ao} assume cada um destes estados, vem, para a modulação de dois níveis:

$$\begin{cases} \frac{V_{DC}}{2} - v_{acf} = L_i \frac{\Delta i}{\Delta t_1}, \\ \frac{V_{DC}}{2} + v_{acf} = L_i \frac{\Delta i}{\Delta t_2}, \\ T_{sw} = \Delta t_1 + \Delta t_2, \end{cases} \quad (3.15)$$

em que Δi constitui a variação de corrente no indutor L_i em cada intervalo.

Explicitando Δi como função de v_{acf} ⁶, infere-se que, para $v_{acf} = 0$, Δi assume o valor máximo (Δi_{max}). Assim, substituindo $v_{acf} = 0$ nesta função, tem-se, se o indutor L_i for

⁶ Para que a função com a dependência entre Δi e v_{acf} seja deduzida, basta substituir os valores de Δt_1 e de Δt_2 , obtidos da primeira e da segunda equações, na terceira equação do sistema em (3.15).

atribuído ao valor mínimo para que o critério de *ripple* seja atendido:

$$L_i = \frac{V_{DC}T_{sw}}{4\Delta i_{max}}, \text{ na modulação de dois níveis.} \quad (3.16)$$

Esta abordagem simplificada também é preconizada por [Texas Instruments \(2015\)](#). Para a modulação de três níveis, as equações de malha ficam:

$$\begin{cases} \frac{V_{DC}}{2} - v_{acf} = L_i \frac{\Delta i}{\Delta t_1}, \\ v_{acf} = L_i \frac{\Delta i}{\Delta t_2}. \end{cases} \quad (3.17)$$

Para este caso, o valor de v_{acf} que maximiza a derivada de $\Delta i = f(v_{acf})$ é de $V_{DC}/4$. Substituindo $v_{acf} = V_{DC}/4$ nesta nova função f , obtém-se a equação para a indutância L_i mínima na modulação de três níveis:

$$L_i = \frac{V_{DC}T_{sw}}{8\Delta i_{max}}, \text{ na modulação de três níveis.} \quad (3.18)$$

O *ripple* percentual máximo de corrente é atribuído à $a\%$ da corrente nominal de pico $I_{p(max)}$. Como se nota a partir das simulações com o filtro completo, com um critério severo de *ripple* nas equações (3.16) e (3.18), a indutância L_i passa a perfazer a maior parte da indutância total L_T . Para que L_T seja melhor distribuída entre os indutores do filtro, Δi_{max} é atribuída a valores de 0, 50 *p.u.* e 0, 25 *p.u.* para o caso das topologias de dois e de três níveis, respectivamente. A razão para a seleção de um critério de *ripple* mais severo no caso dos arranjos de três níveis é apresentada no item (iii).

O fator de crista é presumido em $\sqrt{2}$ no cálculo da corrente nominal de pico $I_{p(max)}$, em um critério conservador para o projeto do filtro. Usualmente, este fator é atribuído a 3 nas aplicações de UPS com cargas não-lineares.

(ii) Seleção do capacitor C_f segundo critério de máxima absorção de potência

Segundo [Liserre, Blaabjerg e Hansen \(2005\)](#), o capacitor C_f deve ser dimensionado para que a absorção de potência reativa, em condições nominais, não exceda 5%. Para que o indutor L_f seja reduzido, opta-se, aqui, por atribuir ao capacitor C_f este valor limite, em todas as condições de operação. De fato, para fins de minimização de custo, a redução da indutância deve ser priorizada no projeto do filtro. Assim, se a impedância base do sistema vale Z_b e a frequência angular da rede, $\omega = 2\pi f$, a capacitância base C_b e a capacitância C_f ficam definidas por:

$$C_b = (Z_b\omega)^{-1}, \quad (3.19)$$

$$C_f = 0,05C_b. \quad (3.20)$$

(iii) Seleção do indutor L_f

O dimensionamento do indutor L_f se embasa, novamente, no critério proposto por [Liserre, Blaabjerg e Hansen \(2005\)](#). Estes autores sugerem que o indutor L_f seja calculado

a partir da razão pretendida entre as distorções harmônicas de corrente no lado do conversor e no lado da rede. A equação que define a razão entre estas distorções é dada por, se r for a razão entre L_{lr} (igual a $L_f + L_g$) e L_i :

$$\frac{i_g(h_{sw})}{i(h_{sw})} = \frac{1}{|1 + r(1 - bx)|}, \quad (3.21)$$

em que $i_g(h_{sw})$ e $i(h_{sw})$ se referem às componentes harmônicas em torno da frequência de chaveamento f_{sw} , no lado da rede e do conversor, nesta ordem. As constantes b e x são definidas por $b = L_i C_b (2 \cdot \pi \cdot f_{sw})^2$ e $x = C_f / C_b$. Supõe-se aqui, como naquele trabalho, que a distorção harmônica máxima de corrente na rede deve ser de 2%. Assim, se o estágio LC anterior já reduz o *ripple* de corrente para a %, o indutor L_f deve prover a atenuação adicional, dada pela equação (3.21), de $(2/a)$ %. Para que a indutância L_{lr} associada a esta atenuação seja calculada, substitui-se $r = [0, \dots, 1]$ na equação (3.21). Dentre os valores de $i_g(h_{sw})/i(h_{sw})$ calculados para cada valor de r , seleciona-se aquele que mais se aproxima de $(2/a)$ %. Se o índice deste valor é k , $r(k)$ consiste, portanto, na razão mínima entre as indutâncias L_{lr} e L_i . A indutância L_{lr} é atribuída a este valor mínimo:

$$L_{lr} = r(k) \cdot L_i \quad (3.22)$$

A indutância da rede L_g é aproximada a partir da impedância do último transformador, mais próximo do ponto de acoplamento comum, como sugere Silva (2012). Como, segundo esta referência, a impedância Z_t de transformadores de média para baixa tensão é de 5%, vem, para um transformador arbitrário de potência nominal $P_{nom} = 150 \text{ kVA}$ e tensão fundamental de secundário V_n :

$$P_{cc} = \frac{P_{nom}}{Z_t}, \quad (3.23)$$

$$L_g = \frac{V_n^2}{\omega P_{cc}} \quad (3.24)$$

em que P_{cc} é a potência de curto-circuito. Portanto, a partir do valor calculado na equação (3.22), tem-se, para L_f :

$$L_f = L_{lr} - L_g. \quad (3.25)$$

Até então, a indutância total L_T resulta da soma dos valores de L_i , L_g e L_f calculados pelas equações (3.16) ou (3.18), (3.24) e (3.25). Neste ponto, deve-se avaliar a rigidez dinâmica do filtro em relação à perturbação introduzida pela tensão da rede. Como já foi discutido na seção 3.2.1, se a frequência associada ao zero da característica $|e/i|$ for fixada, a suscetibilidade do sistema àquela perturbação fica definida, em médias e baixas frequências, pela indutância total L_T . Para orientar o projeto do controlador, um critério arbitrário para a rigidez dinâmica mínima (de 15 V/A) foi definido naquela seção. Se

esta rigidez mínima for denotada por $R_{d(min)}$, a indutância total mínima, $L_{T(min)}$, deve ser de:

$$L_{T(min)} = \frac{R_{d(min)}}{\omega_i}, \quad (3.26)$$

em que ω_i é calculada segundo critério de alocação dado nas equações (3.8). Se o valor de L_T calculado não exceder este limiar mínimo, a indutância total é reatribuída à $L_{T(min)}$ e a indutância L_f é recalculada como:

$$L_f = L_{T(min)} - L_i - L_g, \quad \text{caso } L_T < L_{T(min)}. \quad (3.27)$$

Nos projetos de UPS em análise neste trabalho, nota-se que a indutância total L_T calculada segundo o critério de atenuação de harmônicos não supera $L_{T(min)}$. Em consequência, esta indutância total é sempre ajustada para $L_{T(min)}$, independentemente da topologia do retificador (dois níveis ou três níveis). Assim, se o *ripple* no lado do conversor for atribuído a valores percentuais máximos iguais nestas duas topologias, L_f pode superar L_i no arranjo de três níveis. Como regra prática, para que o *ripple* de corrente no capacitor e no resistor de amortecimento seja reduzido, preferem-se valores de L_i maiores do que L_f . Sendo assim, impõe-se um critério de *ripple* no lado da rede mais severo no caso das topologias de três níveis, para forçar o aumento de L_i . Isso justifica, portanto, os valores de *ripple* máximo no lado do conversor fixados no item (i).

(iv) Definição da estratégia de amortecimento do filtro LCL

Neste trabalho, prefere-se a técnica de amortecimento passiva, não obstante a perda em rendimento. Nesta técnica, mais simples, um resistor R_{am} é adicionado ao circuito do filtro, em série com o capacitor C_f . Sem este resistor, a impedância do circuito na frequência de ressonância é zero e, como consequência, podem ocorrer picos de corrente e oscilações, excitadas por harmônicos do conversor. Como orienta [Liserre, Blaabjerg e Hansen \(2005\)](#), o valor da resistência R_{am} deve ser da ordem da reatância do capacitor C_f na frequência de ressonância do filtro. Arbitra-se este valor em 1/3 desta reatância. Este valor considera o compromisso entre as perdas neste resistor e a efetividade do amortecimento, também abordado por [Liserre, Blaabjerg e Hansen \(2005\)](#).

(v) Testes de consistência de parâmetros

Por fim, testa-se a consistência dos parâmetros calculados para o filtro LCL. Segundo [Liserre, Blaabjerg e Hansen \(2005\)](#), a indutância total do filtro L_T não deve exceder 0,1 p.u., para que a queda de tensão no filtro não se torne proibitiva. Caso contrário, esta queda deve ser compensada com a elevação da tensão do barramento c.c., o que leva ao aumento das perdas no conversor. Por outro lado, a frequência de ressonância do filtro LCL, dada pela equação (3.28), deve ser alocada no intervalo de dez vezes a frequência da rede ($10f$) até metade da frequência de chaveamento ($f_{sw}/2$), como aqueles autores também sugerem. Assim, harmônicos típicos de um conversor, comumente associados

ao intervalo complementar (*i.e.*, com frequências menores do que $10f$ e maiores que $f_{sw}/2$), não levam o filtro à condição de ressonância.

$$f_{res} = \frac{1}{2\pi} \sqrt{\frac{L_T}{L_i L_g C_f}} \quad (3.28)$$

Portanto, com base nestes procedimentos, os parâmetros do filtro podem ser calculados para cada condição de operação. As distorções harmônicas na rede são avaliadas, em simulação, para fins de validação do projeto.

3.3.2 Dimensionamento do filtro LC

Parte da análise que orienta o dimensionamento do filtro LCL, conduzida na seção anterior, também pode ser estendida para o filtro LC. Por exemplo, as equações (3.15) a (3.18) também se aplicam a este caso. Assim, a indutância L do filtro também pode ser calculada a partir daquelas equações, repetidas aqui:

$$L = \frac{V_{DC} T_{sw}}{4\Delta i_{max}}, \text{ na modulação de dois níveis.} \quad (3.29)$$

$$L = \frac{V_{DC} T_{sw}}{8\Delta i_{max}}, \text{ na modulação de três níveis.} \quad (3.30)$$

Supõe-se que o *ripple* de corrente, todavia, pode atingir até 20% da corrente nominal de pico – também calculada com a suposição de fator de crista em $\sqrt{2}$. Já o capacitor C pode ser estimado para prover uma atenuação mínima para as componentes harmônicas em torno da frequência de chaveamento f_{sw} . Como o filtro em análise é de segunda ordem – com atenuação de 40 dB por década – a alocação da frequência de corte f_c a uma década de f_{sw} já define a redução de cem vezes na amplitude dos harmônicos à esta frequência. Supondo que esta redução seja suficiente, vem, como critério para a especificação de C :

$$f_c = \frac{f_{sw}}{10}, \quad (3.31)$$

$$C = \frac{1}{(2\pi f_c)^2 L}. \quad (3.32)$$

A partir deste critério, o afastamento entre f_c e frequência fundamental f fica definido pelo índice de modulação em frequência (m_f) do conversor. Como apenas valores de m_f maiores do que 60 são analisados neste trabalho, a frequência f_c é pelo menos seis vezes maior do que f . Novamente, a distorção harmônica da corrente e da tensão da saída são avaliadas em simulação, para que estas especificações sejam validadas para cada uma das UPSs em estudo.

3.4 Conclusões do capítulo

Neste capítulo, foram apresentadas as abordagens de modelagem e simulação da UPS de dupla conversão. As especificações das 80 UPSs que serão avaliadas quanto ao rendimento

neste trabalho foram também enumeradas. Os procedimentos detalhados neste capítulo para a sintonia dos ganhos dos controladores e para o dimensionamento dos filtros de entrada e de saída serão adotados nas simulações. Com as estratégias de simulação já definidas, resta, pois, propor técnicas para cálculo e medição do rendimento global destas UPSs. Estas técnicas, abordadas no capítulo a seguir, se aplicam genericamente a *qualquer* conversor estático.

4 CÁLCULO E MEDIÇÃO DE PERDAS EM CONVERSORES

Neste capítulo, são descritas as técnicas adotadas neste trabalho para cálculo e medição de perdas globais nos conversores da UPS de dupla conversão. Inicialmente, detalham-se as ferramentas de *software* implementadas para estimar as perdas nos semicondutores, via abordagens *online* e *offline*. Em seguida, discutem-se as rotinas para projeto dos indutores dos filtros de entrada e de saída da UPS e para cálculo da potência dissipada nestes componentes. Por fim, os protótipos experimentais para validação dos cálculos teóricos de perdas são apresentados.

4.1 Ferramentas desenvolvidas para cálculo de perdas

Em suma, as ferramentas implementadas para estimar as perdas globais na UPS de dupla conversão objetivam:

- (i) permitir a caracterização teórica simples e “exata” de qualquer módulo de potência, a partir da captura direta dos dados disponibilizados em figuras nos catálogos;
- (ii) organizar os dados relativos a vários módulos de potência em uma base de dados única (biblioteca), de fácil acesso, que categorize os módulos por topologia;
- (iii) implementar os métodos descritos na literatura para o cálculo das perdas nos semicondutores, abordados no capítulo 2, para as três topologias trifásicas simuladas (a saber, dois níveis, NPC1 e NPC2);
- (iv) generalizar a metodologia implementada para *qualquer* topologia de conversor, monofásica ou trifásica;
- (v) derivar os modelos térmicos de regime permanente e transitório para o sistema completo – módulos + dissipador, com base nos parâmetros térmicos informados nas folhas de dados destes componentes;
- (vi) calcular as temperaturas de junção dos dispositivos, de encapsulamento e de dissipador, para qualquer topologia e número de módulos sobre o dissipador;
- (vii) permitir a comparação do rendimento de módulos distintos em uma mesma condição de operação;
- (viii) automatizar as simulações do conversor em várias condições de operação e, com base nos resultados destas simulações, gerar gráficos de perdas em função da frequência de chaveamento, da potência de saída e do valor do resistor de *gate*;

- (ix) apresentar ao projetista gráficos que explicitem o percentual de cada perda do conversor, para orientar as ações para “otimização” do projeto quanto ao rendimento;
- (x) calcular as perdas nos conversores para temperaturas de junção inferiores à máxima, de modo a prover ao projetista estimativas mais plausíveis, nas condições reais de operação do dispositivo;
- (xi) desenvolver interfaces gráficas simples e intuitivas, que facilitem a entrada de dados nas ferramentas implementadas;
- (xii) executar todas as rotinas de análises térmicas e de perdas nos semicondutores e nos indutores no ambiente MATLAB/*Simulink*, dispensando a necessidade de uso de outros programas de simulação para este fim;
- (xiii) documentar os resultados de múltiplas simulações, por meio de relatórios legíveis ao usuário (no *software Microsoft Office Excel*) e aos programas (por exemplo, em arquivos *.txt).

Cabe salientar aqui que ferramentas com funções similares estão disponíveis no mercado, em outros ambientes de simulação. Por exemplo, os programas PSIM (*Powersim Inc.*) e PLECS (*Plexim*) já permitem, em pacotes com bibliotecas suplementares, a inclusão das curvas e dados de catálogo dos dispositivos simulados. Com base nestes dados, as perdas e as temperaturas de junção são calculadas. Há ainda alguns módulos com curvas e parâmetros térmicos já pré-definidos, o que dispensa, pois, a entrada manual de dados pelo usuário. Contudo, as licenças destes programas são de custo elevado e a transição para estas ferramentas implicaria o retrabalho de simulação de todos os conversores, bem como a necessidade de adaptação com os recursos destes novos ambientes. Para o proponente do projeto P&D em que se este trabalho se insere, portanto, a melhor alternativa decorre do uso do próprio MATLAB/*Simulink*, já tradicionalmente adotado no projeto das UPSs. Por esta razão, opta-se por desenvolver todas as ferramentas neste ambiente. As subseções 4.1.1 e 4.1.2 detalham as rotinas implementadas neste trabalho.

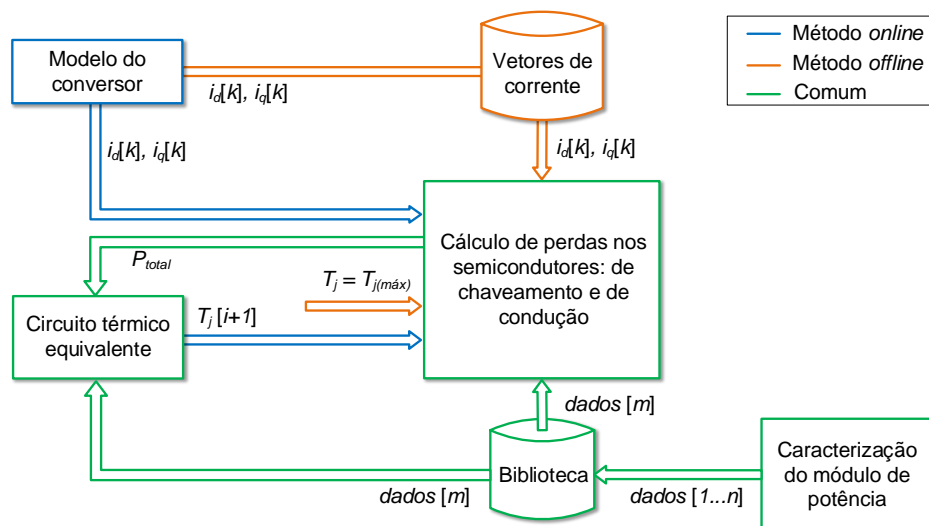
4.1.1 Rotinas para cálculo de perdas nos semicondutores

Usualmente, os projetos de conversores de potência admitem, como premissa, que os dispositivos operam em condições extremas, no cenário com o “pior caso”. Esta prática de projeto introduz uma margem de “folga” no dimensionamento dos componentes. Nas análises térmicas do conversor, o pior caso corresponde à suposição de que a temperatura de junção dos dispositivos equivale à máxima, associada ao limite térmico dos materiais. Como as perdas tendem a se elevar com o aumento da temperatura, esta suposição é, em geral, conservadora.

Uma das ferramentas desenvolvidas neste trabalho, portanto, visa à análise deste pior caso, para subsidiar as rotinas de projeto do conversor. Esta abordagem de cálculo de perdas é denotada aqui como *método offline*. Como a comparação de vários módulos de potência em uma dada condição de operação (potência de carga, barramento c.c., frequência de chaveamento,

etc.) é comum nestas rotinas, esta ferramenta deveria permitir o fácil acesso aos parâmetros de cada módulo de potência. Para tanto, estes parâmetros devem ser encapsulados em bibliotecas, com dados acessíveis e legíveis ao usuário. Por outro lado, para dispensar a necessidade de simular o conversor nas análises de desempenho de cada módulo, as correntes e tensões nos dispositivos, associadas à cada condição de operação, deveriam ser armazenadas em arquivos. Assim, bastaria que o usuário carregasse o arquivo com as correntes (“vetores de corrente”) para um dado cenário de operação, obtidas de simulações anteriores, para que cada módulo disponível na biblioteca pudesse ser avaliado neste cenário. Para que um executável pudesse ser gerado com as rotinas de cálculos de perdas e de temperaturas, todas as funções são implementadas apenas em *scripts* do MATLAB, sem o uso do ambiente de simulação *Simulink*. As etapas deste método são sintetizadas no diagrama da Figura 4.1. Nesta figura, $i_d[k]$ e $i_q[k]$ se referem às correntes nos diodos e nos transistores do circuito, nesta ordem, a cada instante k .

Figura 4.1 – Diagrama esquemático dos métodos *online* e *offline* de cálculos de perdas nos módulos semicondutores de potência.



Fonte: Dados da pesquisa, 2016.

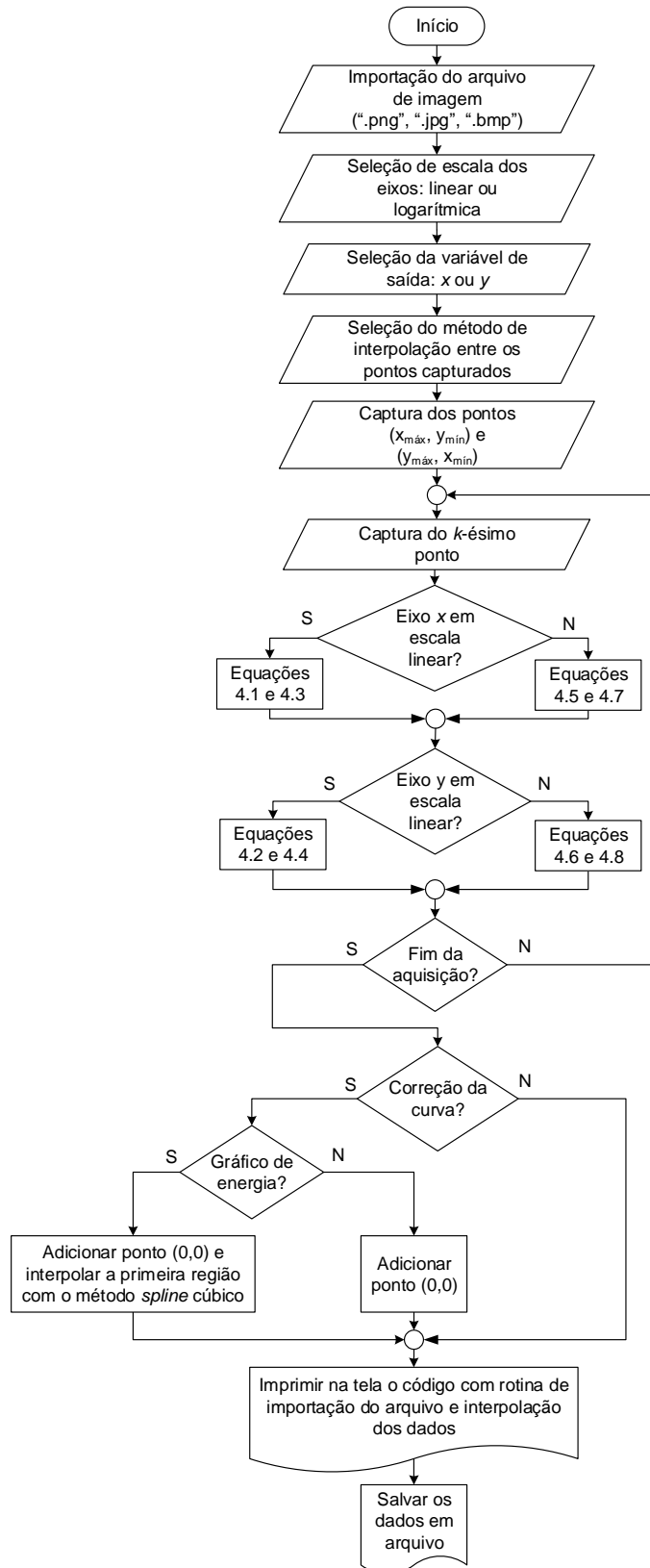
Em contraposição, o método aqui referido como *online*, com etapas também sumarizadas na Figura 4.1, pretende estimar as perdas em um cenário mais “realista”, não necessariamente com o “pior caso”. Nesta outra abordagem, as perdas são avaliadas nas temperaturas de junção calculadas via modelo térmico do conversor. Por exemplo, se este modelo retorna uma temperatura de junção de 80°C para um dispositivo, a premissa de que este opera na temperatura máxima (de 150°C a 175°C), pressuposta no cálculo de perdas, é conservadora e pouco plausível. Em alternativa mais realista, as perdas deveriam ser inferidas para esta temperatura de junção de 80°C . Para tanto, as curvas que caracterizam cada dispositivo devem ser “escaladas”, de alguma forma, para esta temperatura. Todavia, como o modelo térmico depende da estimativa das perdas e vice-versa, as análises são inerentemente iterativas. Por esta razão, opta-se pela implementação deste método em tempo de simulação, o que justifica designá-lo aqui por método *online*.

Algumas etapas são comuns a estes dois métodos, apesar de serem implementadas de modos distintos. A caracterização teórica dos módulos de potência, *i.e.*, a captura de todas as curvas ou dados pertinentes para as análises térmicas, por exemplo, constitui fase obrigatória em qualquer destes métodos. Do mesmo modo, a proposição de um circuito térmico equivalente, arranjado conforme o número de dispositivos no mesmo encapsulamento e no mesmo dissipador, também é necessária nos métodos *online* e *offline*. Para melhor organizar o texto, estas partes comuns a estas duas abordagens são agrupadas na subseção 4.1.1.1 e as especificidades de cada uma delas são detalhadas na sequência, nas subseções 4.1.1.2 e 4.1.1.3.

4.1.1.1 Caracterização teórica do componente e modelos térmicos

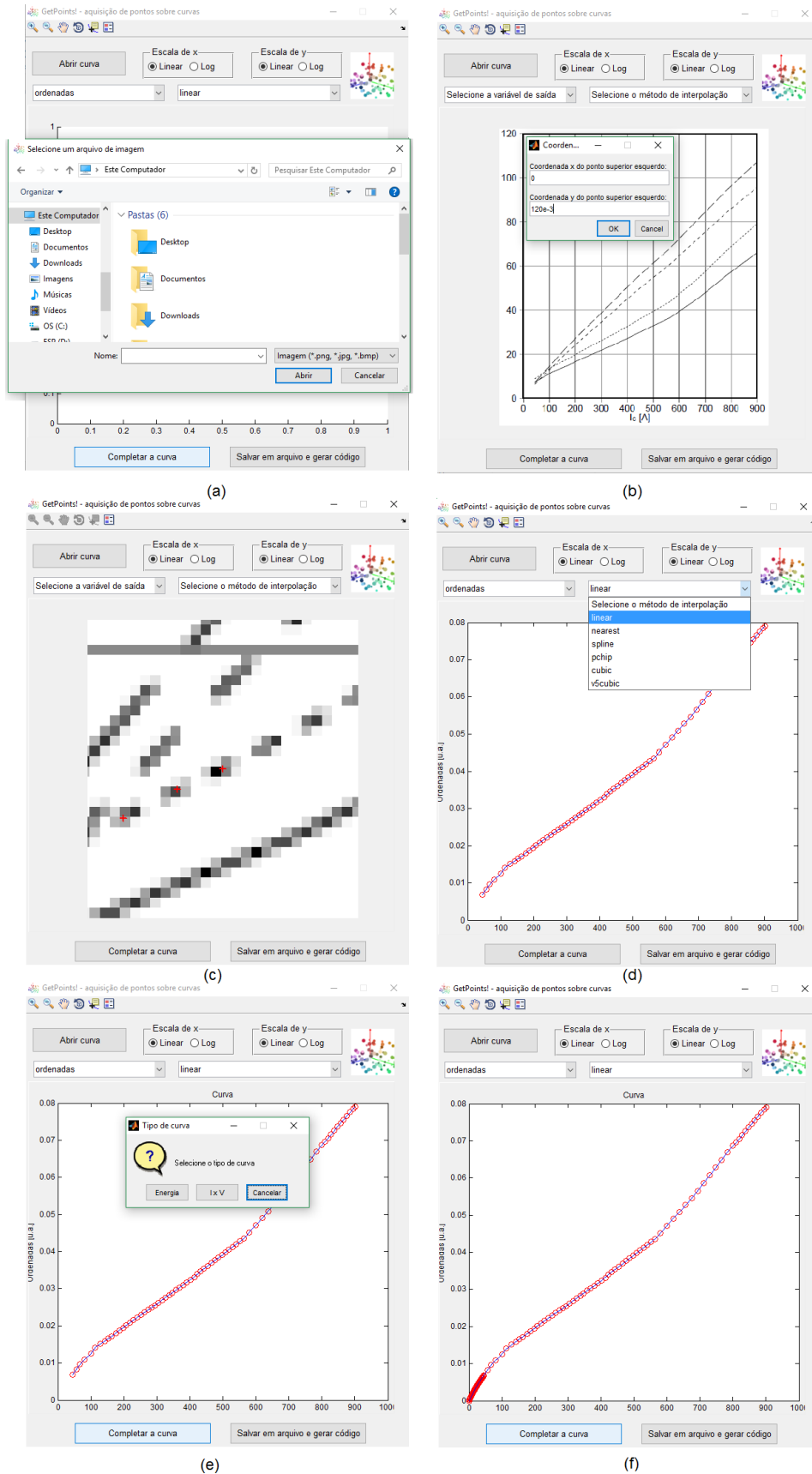
Os fabricantes dos módulos de potência, via de regra, apresentam as curvas características dos dispositivos em figuras, em um catálogo em formato “.pdf”. Para fins de caracterização teórica destes dispositivos, portanto, estes dados devem ser extraídos destas figuras. Para tanto, uma ferramenta em MATLAB, aqui referida como *GetPoints*, foi implementada, com base na adaptação das funções *leitura-grafico.m* (CORTIZO, 2014) e *ginput2.m* (AGUILERA, 2014). Na Figura 4.2, consta um fluxograma desta ferramenta. Já a Figura 4.3 exhibe algumas telas do programa *GetPoints*, em algumas das fases indicadas no fluxograma.

Figura 4.2 – Fluxograma da ferramenta *GetPoints*.



Fonte: Dados da pesquisa, 2016.

Figura 4.3 – Algumas telas da ferramenta *GetPoints*, com algumas das etapas do fluxograma da Figura 4.2.



(a) seleção do arquivo de imagem; (b) entrada das coordenadas; (c) aquisição com opção de *zoom in* habilitada; (d) fim da aquisição e seleção de outros métodos para interpolação; (e) tela para seleção da correção que deve ser aplicada; (f) correção das curvas de energia, com extrapolação da primeira região. Fonte: Dados da pesquisa, 2016.

Com esta ferramenta, o usuário importa a figura com cada curva em imagem no formato “.bmp”, “.jpg” ou “.png”, entra com as coordenadas mínimas e máximas e inicia a aquisição “ponto a ponto” da curva. Para facilitar esta aquisição, recursos de *zoom in* e *zoom out* na figura, de deslocamento automático da imagem ao longo da curva e de exclusão de pontos capturados incorretamente foram incluídas no *GetPoints*. Ao fim da aquisição, o programa converte as coordenadas em *pixels* para numéricas. Gráficos com eixos em escala linear e logarítmica nas abscissas e/ou nas ordenadas são interpretados. As equações (4.1) a (4.4) inferem as coordenadas numéricas (x, y) a partir das coordenadas em *pixels* (x_{px}, y_{px}) , para os eixos em escala linear:

$$x = (x_{px} - x_{px(min)}) \cdot \Delta x + x_{min}, \quad (4.1)$$

$$y = (y_{px} - y_{px(min)}) \cdot \Delta y + y_{min}, \quad (4.2)$$

$$\Delta x = (x_{max} - x_{min}) / (x_{px(max)} - x_{px(min)}), \quad (4.3)$$

$$\Delta y = (y_{max} - y_{min}) / (y_{px(max)} - y_{px(min)}). \quad (4.4)$$

em que os subíndices “max” e “min” se referem às coordenadas máximas e mínimas. Para o caso com eixos em escala logarítmica, as equações (4.5) a (4.8) traduzem as coordenadas em *pixels* para numéricas:

$$x = x_{min} \cdot 10^{(x_{px} - x_{px(min)}) \cdot \Delta x}, \quad (4.5)$$

$$y = y_{min} \cdot 10^{(y_{px} - y_{px(min)}) \cdot \Delta y}, \quad (4.6)$$

$$\Delta x = \log(x_{max}/x_{min}) / (x_{px(max)} - x_{px(min)}), \quad (4.7)$$

$$\Delta y = \log(y_{max}/y_{min}) / (y_{px(max)} - y_{px(min)}). \quad (4.8)$$

Algumas correções nas curvas podem ser aplicadas, como, por exemplo, a adição do ponto com coordenada $(0, 0)$ às curvas de corrente em função de tensão ou de energia de chaveamento em função da corrente. No caso das curvas de energia em função da corrente, outra alternativa é implementada para extrapolar os dados da curva na primeira região do gráfico (com correntes próximas de zero), normalmente indefinida nas folhas de dados – como se nota, por exemplo, nos gráficos da Figura 2.12. Para tanto, a função de interpolação numérica *interp1* com o método *spline* cúbico, disponível na biblioteca do MATLAB, é adotada para estimar a trajetória dos pontos no intervalo entre $(0, 0)$ e o primeiro ponto dado na curva. A opção por este método foi baseada na análise do padrão típico das curvas de energia em função da corrente e na inspeção dos resultados da interpolação por outros métodos pré-definidos na biblioteca do MATLAB. De fato, como o método *spline* cúbico torna contínuas as derivadas primeiras e segundas dos pontos interpolados, os pontos seguem uma trajetória “suave”, mais próxima do padrão mais provável. Este recurso de interpolação dos pontos na primeira região dos gráficos de energia é exemplificado na Figura 4.3(f).

Por fim, o usuário pode salvar os dados da aquisição (já com a correção) em um arquivo “.txt”, com vetores de abscissas e ordenadas dispostos em linhas. Este formato de arquivo é legível nos programas implementados para cálculos de perdas. Ao salvar o arquivo, o programa

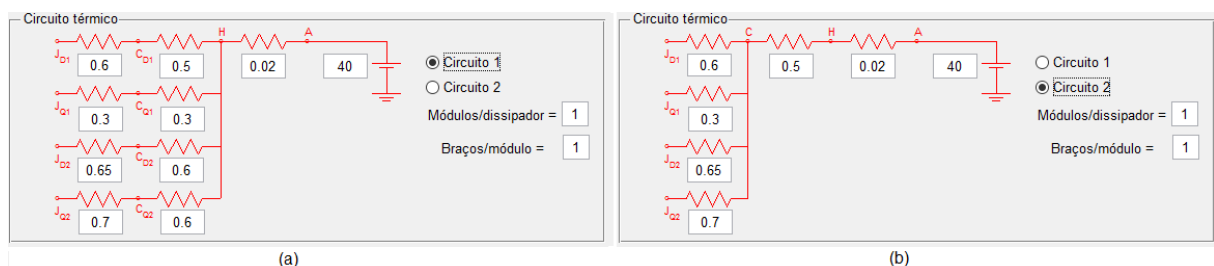
exibe, no *workspace* do MATLAB, uma sugestão de código para que o usuário acesse o arquivo “.txt”, importe os dados, efetue a interpolação entre os pontos e gere um gráfico com os pontos originais da aquisição e com os calculados pela rotina de interpolação sugerida.

As ferramentas de cálculos de perdas acessam todos os arquivos “.txt” com as curvas de todos os módulos de potência já caracterizados, salvas pelo *GetPoints*. Para que estejam acessíveis, estes arquivos são organizados em pastas, nomeadas conforme a topologia e em subpastas, referentes a cada módulo.

As resistências térmicas informadas nas folhas de dados também são salvas em arquivos “.txt”, adicionados nas subpastas de cada módulo. O modelo térmico equivalente do sistema completo (módulos + dissipador) é obtido a partir dos valores de resistência térmica recuperados destes arquivos. O número de braços por módulo, bem como o de módulos por dissipador, são informados diretamente pelo usuário no método *offline*. Pressupõe-se que o número de braços por módulo é um número inteiro maior ou igual a 1. Apenas parte de um braço do conversor é representada ao usuário no circuito térmico da interface, para que se possam editar os valores de resistência térmica (atualizados nos arquivos, a cada alteração). Como em geral existe uma simetria em cada braço dos módulos de potência, a parte exibida do circuito inclui apenas metade dos dispositivos deste braço, já suficiente para caracterizar o módulo completo. A outra metade, que replica a primeira, bem como os outros braços, são consideradas no cálculo das temperaturas, mas são omitidas ao usuário para fins de simplificação da interface.

O usuário ainda deve selecionar o tipo do circuito térmico (“circuito 1” ou “circuito 2”, conforme a notação da seção 2.2.3). O detalhe de como esta seleção é efetuada, na interface do programa, é indicado na Figura 4.4. No método *offline*, para que o uso do *software Simulink* seja dispensado, as temperaturas são calculadas com base nas equações derivadas do modelo térmico.

Figura 4.4 – Detalhe da seleção do tipo de circuito térmico de um conversor com topologia NPC2.



Tipos: (a) “circuito 1” e (b) “circuito 2”, conforme notação da seção 2.2.3.

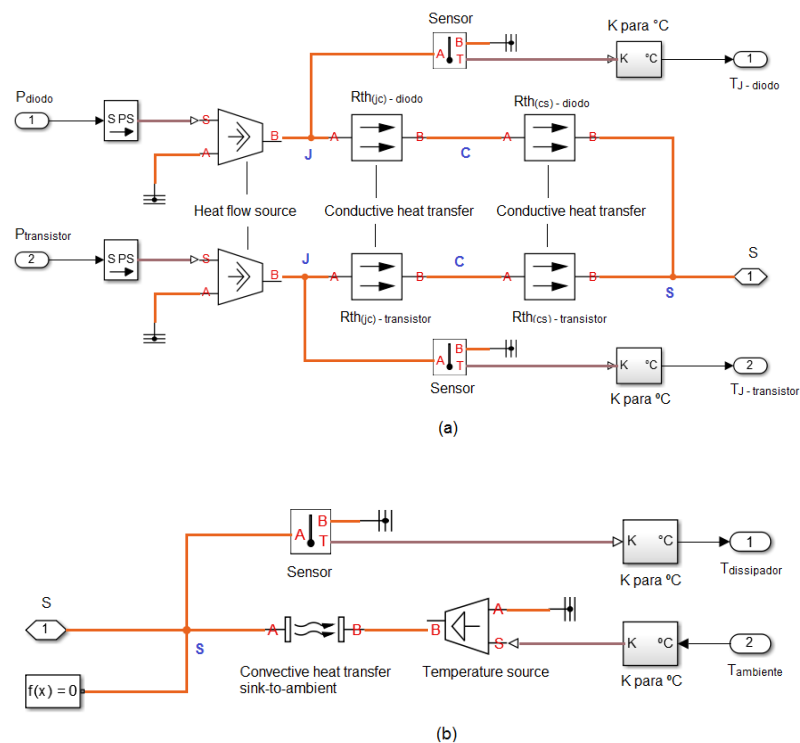
Fonte: Dados da pesquisa, 2016.

Já na abordagem *online*, os elementos do modelo térmico equivalente são representados por blocos da biblioteca *Simscape*, do pacote *Foundation Library/Thermal*. Nesta biblioteca, disponibilizam-se blocos que encapsulam as equações de Fourier de transferência de calor por condução e por convecção (blocos *conductive heat transfer* e *convective heat transfer sink-to-ambient*), que representam as resistências térmicas dos semicondutores e do dissipador, nesta ordem. Os elementos com fontes de calor e de temperatura (*ideal heat flow source* e *ideal*

temperature source) e capacitâncias térmicas (*thermal mass*) também já são pré-definidos nesta biblioteca.

Para simplificar a simulação do circuito térmico equivalente, o modelo do par “transistor + diodo em anti-paralelo” é encapsulado na abordagem *online* em um subsistema (ou bloco) do *Simulink*. O nó do dissipador constitui uma das saídas deste bloco. Assim, para conectar vários subsistemas ao mesmo dissipador, basta conectar estes nós entre si e então conectar o ponto comum ao modelo do dissipador, também encapsulado. Os diagramas de circuito propostos para o “transistor + diodo em anti-paralelo” e para o dissipador, com base nos elementos do pacote *Foundation Library/Thermal* são representados na Figura 4.5. Os circuitos térmicos são executados apenas quando os dados de perdas são atualizados, *i.e.*, a cada ciclo de 60 Hz. Em contraponto ao método *offline*, portanto, as temperaturas são derivadas diretamente do modelo térmico na abordagem *online*, em tempo de simulação.

Figura 4.5 – Diagramas dos circuitos térmicos propostos com os elementos do pacote *Foundation Library/Thermal*, da biblioteca *Simscape*.



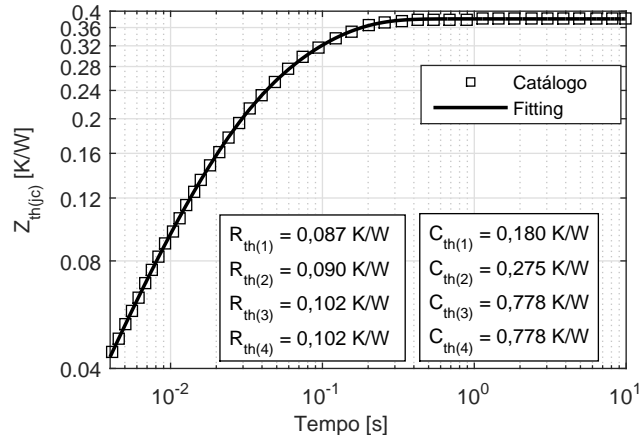
Circuitos com: (a) o par “transistor + diodo em anti-paralelo”, em “circuito 1” e (b) o dissipador.

Fonte: Dados da pesquisa, 2016.

No método *online*, o usuário pode ainda representar o circuito térmico do dissipador ou do semiconductor em regime transitório. Para tanto, basta que o usuário inclua a curva de impedância térmica transitória do componente, fornecida em catálogo, em arquivo “.txt”. Com base nesta curva, a ferramenta desenvolvida calcula automaticamente os parâmetros de um circuito térmico transitório de até quarta ordem do tipo *Foster* (VOLKE; HORNKAMP, 2012).

Para exemplificar este recurso, a curva de impedância transitória obtida no catálogo do transistor do módulo FF75R12T4 (*Infineon*), a curva ajustada e os parâmetros calculados para o circuito *Foster* de quatro estágios são apresentados na Figura 4.6.

Figura 4.6 – Exemplo de ajuste dos parâmetros do circuito térmico de regime transitório do tipo *Foster*, a partir da curva de impedância térmica transitória $Z_{th(jc)}$ do dispositivo semiconductor.



Fonte: Dados da pesquisa, 2016.

4.1.1.2 Método *offline*

Esta seção detalha a ferramenta com o método *offline*, implementada em *script* do MATLAB e aqui denotada por *PerdasOffline*. O fluxograma do *PerdasOffline* é apresentado na Figura 4.7. Algumas das telas desta ferramenta, em parte das fases do fluxograma, são exibidas na Figura 4.8.

Inicialmente, o usuário deve selecionar a pasta com a biblioteca dos módulos de potência (como na Figura 4.8(a)), onde se localizam os arquivos com as curvas salvas pelo programa *GetPoints*. A primeira aba do *PerdasOffline* fica então habilitada e os campos do painel “Topologia e módulo” são atualizados com as topologias e módulos armazenados na biblioteca indicada, como se nota na Figura 4.8(b). O usuário pode optar por topologias de dois níveis, NPC1 e NPC2.

Para adicionar um novo módulo à biblioteca, basta que o usuário clique sobre a opção “Adicionar novo módulo”. Na janela que se abre, o usuário informa o nome do módulo e uma nova subpasta naquela biblioteca é adicionada, na pasta referente à topologia correta. Todas as curvas que devem ser acrescentadas na subpasta deste novo módulo constam no painel “Seleção de curvas”. Neste painel, as curvas de energia de *turn-on*, *turn-off* e de recuperação reversa em função das correntes e do resistor de *gate*, bem como as curvas de “tensão \times corrente” no transistor e no diodo, podem ser acessadas. O botão com ícone de pasta, também neste painel, permite ao usuário incluir o arquivo “.txt” com a curva indicada no menu à esquerda. No caso de módulos existentes, com arquivos já previamente definidos, este botão permite substituir os arquivos atuais.

Figura 4.7 – Fluxograma da ferramenta *PerdasOffline*, que implementa o método de cálculo de perdas *offline*.

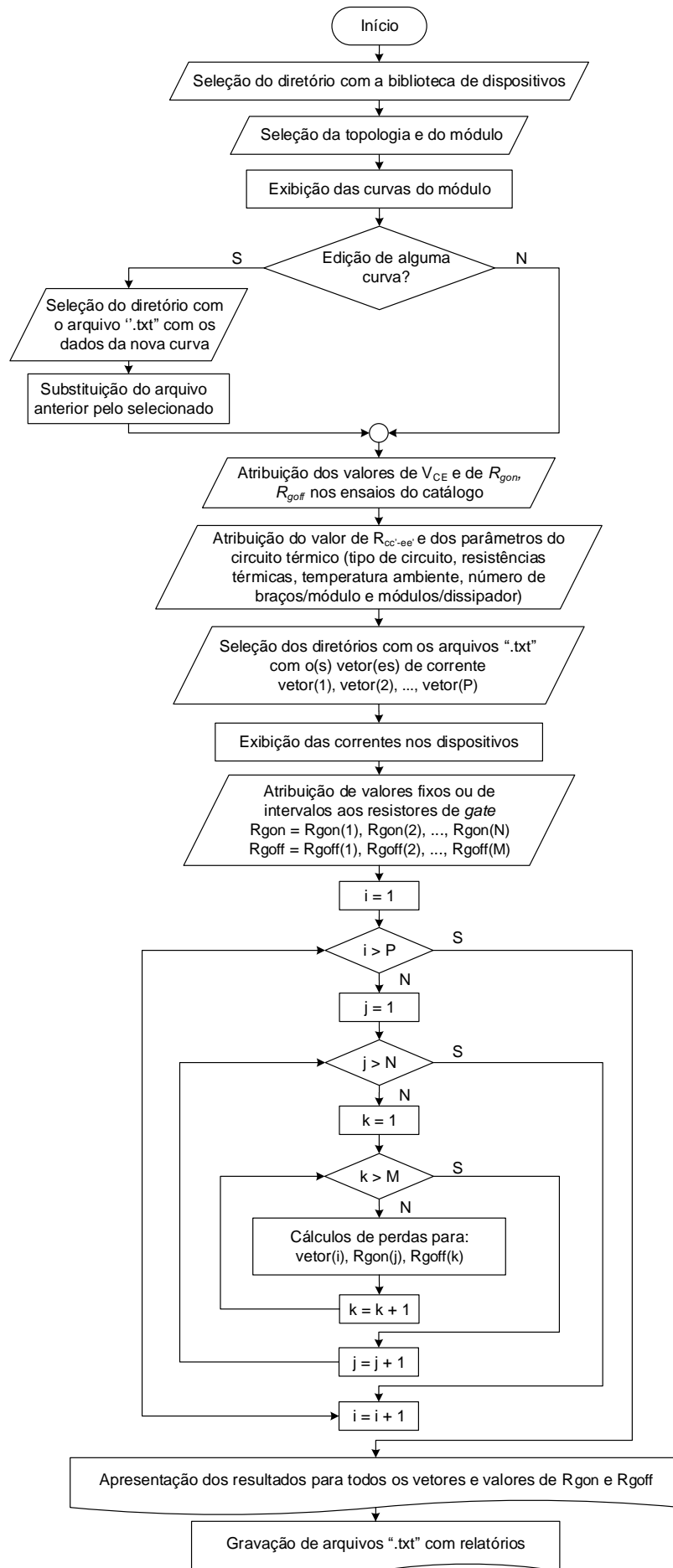
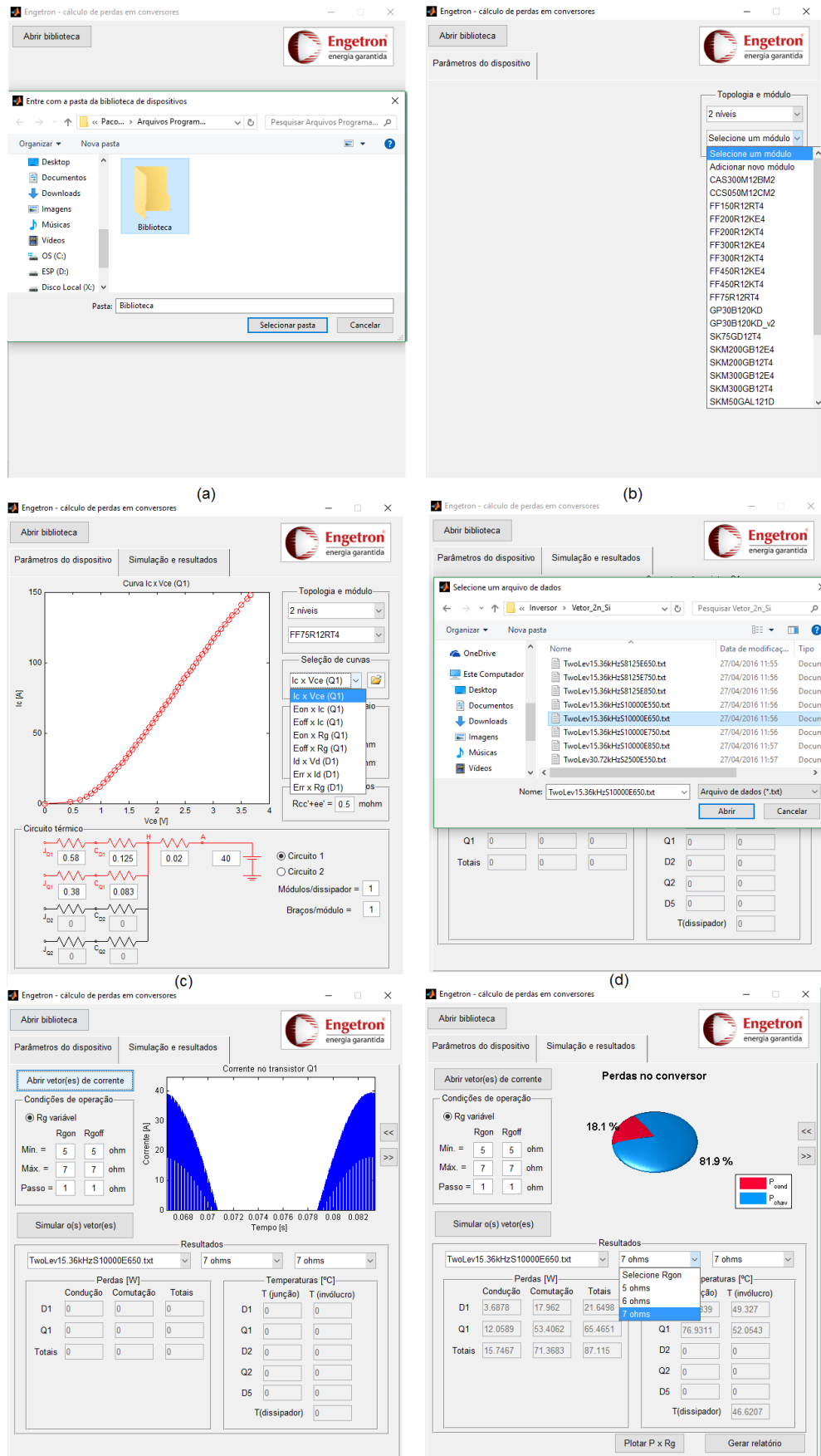


Figura 4.8 – Telas da ferramenta *PerdasOffline*, em parte das fases do fluxograma da Figura 4.7.

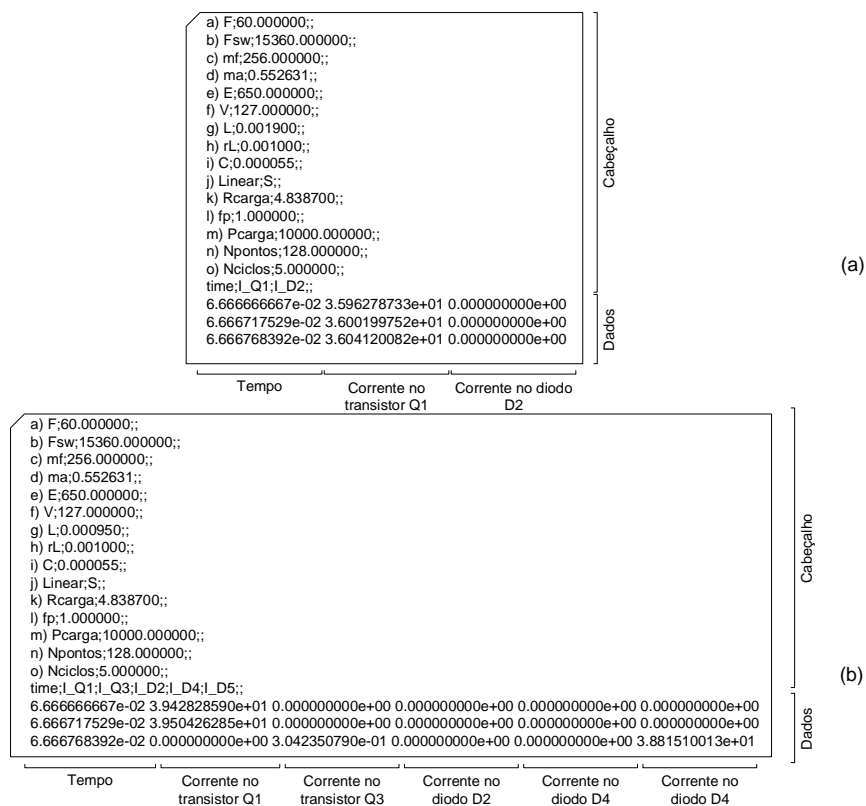


(a) seleção da pasta com a biblioteca de módulos de potência; (b) seleção da topologia e do módulo; (c) visualização e edição de curvas; (d) seleção do arquivo com o vetor de corrente; (e) visualização das formas de onda; (f) visualização dos valores calculados e dos gráficos. Fonte: Dados da pesquisa, 2016.

Quando o usuário opta por um dos módulos, todas as curvas da sua subpasta são carregadas, mas somente aquela selecionada pelo usuário no painel “Seleção de curvas” é exibida no gráfico (Figura 4.8(c)). Os campos com as “Condições de ensaio” devem ser editados para os valores de tensão V_{CE} e das resistências de *gate* de *turn-on* (R_{gon}) e de *turn-off* (R_{goff}) nos ensaios do *datasheet* do fabricante. A resistência $R_{cc'+ee'}$ também deve ser informada, caso conste no catálogo. Os detalhes do painel “Circuito térmico” já foram abordados na seção 4.1.1.1.

Ao fim da edição da primeira aba, o usuário deve selecionar a segunda, de “Simulação e resultados”. O programa então solicita a importação dos arquivos “.txt” com “o(s) vetor(es) de corrente(s)”. Estes arquivos, com os formatos indicados na Figura 4.9, armazenam os valores instantâneos das correntes ao longo de um ciclo completo de 60 Hz, em metade dos dispositivos de um braço do módulo – já suficiente para estas análises, em razão da simetria ao longo de um braço. A convenção de nomes das chaves, na Figura 4.9, segue a das Figuras 3.1 e 3.3. Os arquivos com os vetores de corrente também incluem um cabeçalho com os parâmetros da simulação em que estes vetores foram obtidos. Múltiplos vetores, em condições de operação variadas, podem ser adicionados.

Figura 4.9 – Formato dos vetores de corrente que devem ser importados em arquivos “.txt” no programa *PerdasOffline*, para as três topologias.



<pre> a) F:60.000000;; b) Fsw:15360.000000;; c) mf:256.000000;; d) ma:0.552631;; e) E:650.000000;; f) V:127.000000;; g) L:0.000950;; h) rL:0.001000;; i) C:0.000055;; j) Linear:S;; k) Rcarga:4.838700;; l) fp:1.000000;; m) Pcarga:10000.000000;; n) Npontos:128.000000;; o) Nciclos:5.000000;; time:L_Q1:L_D4:L_T2:L_T3;; 6.666666667e-02 3.954377096e+01 0.000000000e+00 -3.249600493e-03 0.000000000e+00 6.666717529e-02 3.961995535e+01 0.000000000e+00 -3.249599732e-03 0.000000000e+00 6.666768392e-02 0.000000000e+00 -0.000000000e+00 3.893632913e+01 -3.893632913e+01 </pre>					Cabeçalho	
Tempo	Corrente no transistor Q1	Corrente no diodo D4	Corrente na chave S2	Corrente na chave S3	Dados	(c)

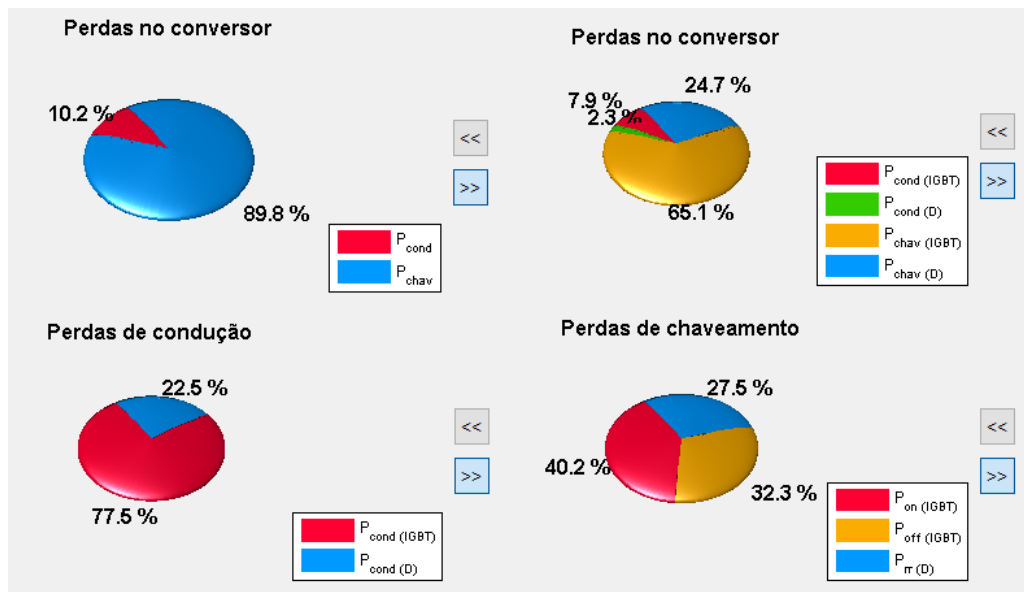
Topologias: (a) dois níveis, (b) NPC1, (c) NPC2.

Fonte: Dados da pesquisa, 2016.

No painel “Condições de operação”, podem-se definir valores fixos ou, ainda, intervalos em que os resistores R_{gon} e R_{goff} variam, caso se pretenda avaliar o efeito da excursão dos valores destas resistências nas perdas. Na sequência, o usuário deve “simular o(s) vetor(es)”. O programa então processa os vetores selecionados e calcula as perdas para cada vetor e valor de R_{gon} e de R_{goff} , conforme o fluxograma da Figura 4.7. Como se nota neste fluxograma, se um número P de vetores foi incluído e foram definidos N valores de R_{gon} e M de R_{goff} , o programa só finaliza os cálculos e disponibiliza os resultados quando todas as $P \cdot N \cdot M$ combinações destes argumentos forem avaliadas. Ao fim da execução dos cálculos, os resultados são apresentados em tela. Os menus do painel “Resultados” permitem selecionar o vetor de corrente e os valores de R_{gon} e de R_{goff} em que se pretendem avaliar as perdas. Os valores de perda de chaveamento e de condução em cada dispositivo, as perdas totais em metade dos dispositivos de um braço, bem como as temperaturas de junção, de encapsulamento e de dissipador, são exibidos nos campos da interface. Gráficos com as porcentagens de cada perda são também retornados na interface, de modo a orientar as ações de “otimização” do projeto quanto ao rendimento, como já foi discutido na fase de proposição dos requisitos básicos do programa. Os gráficos com estas estatísticas, gerados pelo *PerdasOffline*, constam na Figura 4.10.

Se o usuário optou pela análise de uma faixa de valores de R_{gon} e de R_{goff} , um botão (“Plotar $P \times R_g$ ”) permite plotar a curva de perdas de chaveamento e totais em função destes valores. Do mesmo modo, se várias potências de carga P_{out} foram contempladas nos vetores, um gráfico destas perdas em função de P_{out} é também apresentado se o usuário clicar sobre o botão “Plotar $P \times P_{out}$ ”. Analogamente, se múltiplas frequências de chaveamento foram avaliadas, o botão “Plotar $P \times f_{sw}$ ” resulta no gráfico de perdas em função da frequência de chaveamento.

Por fim, se o usuário clicar sobre o botão “Gerar relatório”, um número $P \cdot N \cdot M$ de arquivos de relatório em “.txt”, para cada análise de perda executada, é salvo. Estes relatórios contêm todas as informações da interface (com as perdas detalhadas em cada dispositivo), os valores das resistências de *gate*, o diretório do arquivo com os vetores de corrente analisados

Figura 4.10 – Gráficos com as estatísticas de perdas nos conversores, exibidos na interface do *PerdasOffline*

Os gráficos são apresentados no *PerdasOffline* em sequência e comutados a partir das setas para direita e para a esquerda.

Fonte: Dados da pesquisa, 2016.

e, ainda, uma réplica do cabeçalho deste arquivo. A partir deste relatório em “.txt” e do vetor de corrente, uma ferramenta em *Excel*, que os interpreta, gera um relatório em formato legível ao usuário, com gráficos e tabelas. Esta ferramenta, implementada em linguagem VBA (*Visual Basic for Applications*), é descrita no Apêndice A. Este Apêndice também apresenta exemplos dos relatórios em “.txt” gerados pelo programa.

Cabe ainda explicitar como as equações de cálculos de perdas, abordadas na seção 2.2.1, foram implementadas no programa *PerdasOffline*. O algoritmo 1, em linguagem genérica, demonstra a metodologia adotada nos *scripts* para estimar a potência dissipada em um par “transistor + diodo”. A versão implementada se baseia em versões de *scripts* anteriores, já adotadas pelo *Grupo de Eletrônica de Potência da UFMG*. Esse algoritmo genérico se aplica à qualquer topologia, desde que alguns parâmetros sejam particularizados para cada caso. Por exemplo, as tensões reversas máximas de cada chave das topologias de dois níveis, NPC1 e NPC2, indicadas nas Figuras 3.1 e 3.3, devem ser consideradas nestas análises.

Os nomes atribuídos a uma parte das variáveis de entrada do algoritmo 1 são enumerados na Tabela 4.1. Outras variáveis de entrada são referidas pela notação já adotada neste texto e, por esta razão, são omitidas nesta tabela.

Tabela 4.1 – Notação adotada no algoritmo 1 para as variáveis de entrada.

Notação	Variável
F	frequência do sinal modulante do conversor
i_Q, i_D	corrente do transistor e no diodo
N_{amost}	número total de amostras dos vetores de corrente
$i_{(I_d \times V_d)}, v_{(I_d \times V_d)}$	dados de corrente e de tensão capturados da curva $I_d \times V_d$ do diodo
$i_{(I_q \times V_q)}, v_{(I_q \times V_q)}$	dados de corrente e de tensão capturados da curva $I_q \times V_q$ do transistor
$i_{(Err \times I_d)}, E_{(Err \times I_d)}$	dados de corrente e de energia de recuperação reversa capturados da curva $E_{rr} \times I_d$ do diodo
$i_{(Eon \times I_q)}, E_{(Eon \times I_q)}$	dados de corrente e de energia de <i>turn-on</i> capturados da curva $E_{on} \times I_q$ do transistor
$i_{(Eoff \times I_q)}, E_{(Eoff \times I_q)}$	dados de corrente e de energia de <i>turn-off</i> capturados da curva $E_{off} \times I_q$ do transistor
$R_{(Err \times R_g)}, E_{(Err \times R_g)}$	dados de resistência de <i>gate</i> e de energia de recuperação reversa capturados da curva $E_{rr} \times R_g$ do diodo
$R_{(Eon \times R_g)}, E_{(Eon \times R_g)}$	dados de resistência de <i>gate</i> e de energia de <i>turn-on</i> capturados da curva $E_{on} \times R_g$ do transistor
$R_{(Eoff \times R_g)}, E_{(Eoff \times R_g)}$	dados de resistência de <i>gate</i> e de energia de <i>turn-off</i> capturados da curva $E_{off} \times R_g$ do transistor

Como se nota neste algoritmo, a função *interp1* foi adotada para interpolar linearmente entre os pontos salvos nos arquivos “.txt” com as curvas dos dispositivos, acessados na biblioteca. Apenas as curvas relativas à temperatura máxima de junção (normalmente de $150^\circ C$) são consideradas. No caso em que a corrente em análise supera o valor máximo informado nas curvas, esta função efetua uma extrapolação linear, habilitada com o argumento “extrap”. No contexto de UPSs, em que o fator de crista da corrente – dado pela razão entre o valor de pico e o valor eficaz da forma de onda – pode atingir valores elevados, esta operação de extrapolação pode ser conveniente. De fato, segundo [Rasmussen \(2016\)](#), cargas do tipo computadores pessoais e *hubs*, comumente alimentadas por UPSs, podem exibir fator de crista de até 3. Esta extrapolação, todavia, não deve avaliar o módulo de potência em uma condição que exceda os limites de operação segura recomendados pelo fabricante.

Por fim, vale assinalar que a ferramenta *PerdasOffline* já subsidia a empresa proponente deste trabalho nas rotinas de projeto de UPSs. Um ganho desta ferramenta, em comparação com outras já tradicionalmente adotadas por esta empresa, decorre da facilidade de caracterização teórica dos módulos de potência. As soluções anteriores dependiam, por exemplo, de ajustes de funções sobre as curvas dos catálogos (*fitting*). Uma ou mais funções polinomiais ou exponenciais, definidas para regiões distintas da curva, deveriam ser derivadas. Este esforço inicial onerava mais tempo ao usuário e ainda tornava as análises menos exatas, em virtude dos desvios entre as funções ajustadas e as curvas informadas em catálogo.

Na ferramenta proposta, em contraposição, a concordância entre estas curvas e os dados capturados depende apenas do número de pontos capturados. Outros ganhos introduzidos pelo *PerdasOffline* provêm da facilidade de automatização das análises térmicas, de organização e de

Algoritmo 1: CÁLCULO OFFLINE DE PERDAS EM UM PAR “TRANSISTOR + DIODO”

Entrada: parâmetros da simulação e dados do catálogo do módulo de potência
Saída: P_{totais}

```

1 início
2    $index = 1, E_{cond(Q)} = E_{cond(D)} = E_{off} = E_{on} = 0$ 
3   se  $R_{g(on)} \neq R_{g(ref)}$  então
4      $E_{Rg(ref)} = \text{interp1}(R_{(Eon \times Rg)}, E_{(Eon \times Rg)}, R_{g(ref)}, \text{'linear'})$ 
5      $E_{Rg(on)} = \text{interp1}(R_{(Eon \times Rg)}, E_{(Eon \times Rg)}, R_{g(on)}, \text{'linear'})$ 
6      $k_{on} = E_{Rg(on)} / E_{Rg(ref)}$ 
7      $E_{Rg(ref)} = \text{interp1}(R_{(Err \times Rg)}, E_{(Err \times Rg)}, R_{g(ref)}, \text{'linear'})$ 
8      $E_{Rg(on)} = \text{interp1}(R_{(Err \times Rg)}, E_{(Err \times Rg)}, R_{g(on)}, \text{'linear'})$ 
9      $k_{rr} = E_{Rg(on)} / E_{Rg(ref)}$ 
10    senão
11       $k_{on} = k_{rr} = 1$ 
12    fim
13  fim
14  se  $R_{g(off)} \neq R_{g(ref)}$  então
15     $E_{Rg(ref)} = \text{interp1}(R_{(Eoff \times Rg)}, E_{(Eoff \times Rg)}, R_{g(ref)}, \text{'linear'})$ 
16     $E_{Rg(off)} = \text{interp1}(R_{(Eoff \times Rg)}, E_{(Eoff \times Rg)}, R_{g(off)}, \text{'linear'})$ 
17     $k_{off} = E_{Rg(off)} / E_{Rg(ref)}$ 
18    senão
19       $k_{off} = 1$ 
20    fim
21  fim
22  enquanto  $index \neq N_{amost}$  faça
23     $v_Q(index) = \text{interp1}(i_{(Iq \times Vq)}, v_{(Iq \times Vq)}, i_Q(index), \text{'linear'}, \text{'extrap'})$ 
24     $v_D(index) = \text{interp1}(i_{(Id \times Vd)}, v_{(Id \times Vd)}, i_D(index), \text{'linear'}, \text{'extrap'})$ 
25     $E_{cond(Q)} = E_{cond(Q)} + T_s \cdot [v_Q(index) \cdot i_Q(index) + R_{cc'-ee'} \cdot i_Q(index)^2]$ 
26     $E_{cond(D)} = E_{cond(D)} + T_s \cdot [v_D(index) \cdot i_D(index) + R_{cc'-ee'} \cdot i_D(index)^2]$ 
27    se  $(i_Q(index) = 0) \mathbf{E} (i_Q(index - 1) \neq 0)$  então
28       $E_{off} = E_{off} + \text{interp1}(i_{(Eoff \times Iq)}, E_{(Eoff \times Iq)}, i_Q(index - 1), \text{'linear'}, \text{'extrap'})$ 
29      senão se  $(i_Q(index) \neq 0) \mathbf{E} (i_Q(index - 1) = 0)$  então
30         $E_{on} = E_{on} + \text{interp1}(i_{(Eon \times Iq)}, E_{(Eon \times Iq)}, i_Q(index), \text{'linear'}, \text{'extrap'})$ 
31      fim
32    fim
33    se  $(i_D(index) = 0) \mathbf{E} (i_D(index - 1) \neq 0)$  então
34       $E_{rr} = E_{rr} + \text{interp1}(i_{(Err \times Id)}, E_{(Err \times Id)}, i_D(index - 1), \text{'linear'}, \text{'extrap'})$ 
35    fim
36     $index = index + 1$ 
37  fim
38   $P_{cond(Q)} = E_{cond(Q)} \cdot F$ 
39   $P_{cond(D)} = E_{cond(D)} \cdot F$ 
40   $P_{chav(Q)} = (E_{off} \cdot k_{off} + E_{on} \cdot k_{on}) \cdot F \cdot (V_{cc} / V_{cc(ref)})$ 
41   $P_{chav(D)} = E_{rr} \cdot F \cdot k_{rr} \cdot (V_{cc} / V_{cc(ref)})$ 
42   $P_{totais} = P_{cond(Q)} + P_{cond(D)} + P_{chav(Q)} + P_{chav(D)}$ 
43 fim
44 retorna  $P_{totais}$ 

```

acesso aos dados – com a proposição de uma biblioteca com todos os módulos já registrados – e ainda, de comparação de desempenho de vários módulos. A maior parte dos requisitos básicos enumerados na fase de concepção desta ferramenta, descritos no início da seção 4.1, foi, portanto, atendida. Todavia, a dificuldade de generalizar os cálculos para qualquer topologia se figura como uma desvantagem desta ferramenta. De fato, para que as perdas totais em qualquer topologia pudessem ser avaliadas, as correntes de cada par “transistor + diodo” deveriam ser armazenadas em vetores de corrente e o programa deveria processar as perdas em cada par individualmente, como em uma topologia de dois níveis. O cálculo só é direto, portanto, para as topologias trifásicas de dois níveis, NPC1 e NPC2 e para variações monofásicas destas topologias (como a ponte completa ou meia ponte). A ferramenta implementada com o método *online*, detalhada na seção a seguir, torna esta generalização mais simples.

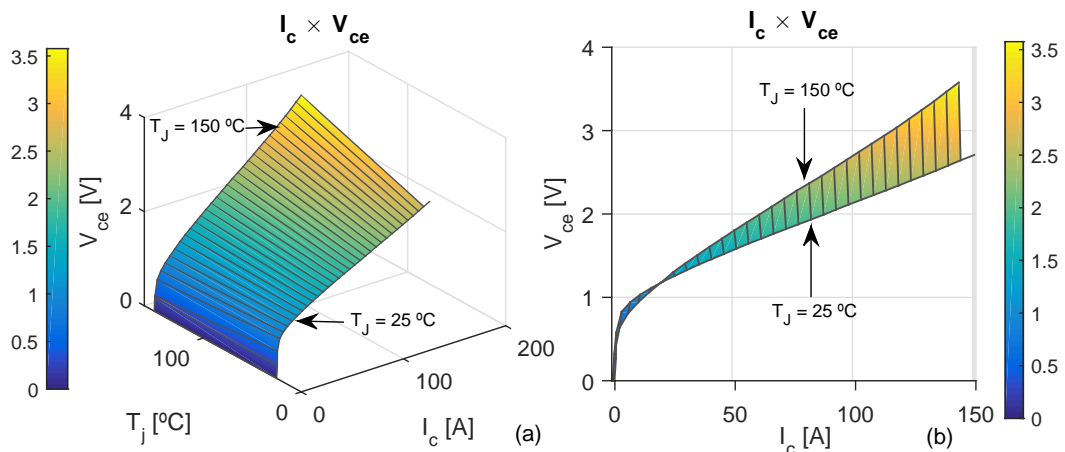
4.1.1.3 Método *online*

O método *online*, em linhas gerais, implementa o algoritmo detalhado na seção 4.1.1.2 em ambiente *Simulink*. As equações de perdas nos semicondutores, todavia, incluem a dependência com a temperatura de junção, desprezada naquele algoritmo. Assim, em substituição à função *interp1*, a interpolação entre os pontos das curvas do catálogo considera ainda uma terceira variável, associada à temperatura de junção do componente. Para tanto, vale-se da função *2-D Lookup Table*, disponível na biblioteca do *Simulink*. Seja, portanto, a característica “tensão V_{CE} × corrente I_c ” de um dos IGBTs do módulo FF75R12RT4, para duas temperaturas de junção T_j ($25^\circ C$ e $150^\circ C$), para $V_{GE} = 15 V$, dada na Figura 4.11(b). Se a tensão V_{CE} for explicitada como uma função de duas variáveis, *i.e.*, $V_{CE} = f(I_c, T_j)$, os pontos que descrevem estas curvas podem ser representados em um gráfico tridimensional com coordenadas (I_c, T_j, V_{CE}) . Se o lugar geométrico dos pontos à mesma corrente $I_c = k$ for uma reta que une os pontos com esta corrente k nas curvas a $25^\circ C$ e $150^\circ C$, a superfície indicada na Figura 4.11(a) passa a conter as curvas com temperaturas de junção intermediárias. Assim, as curvas associadas a T_j arbitrárias podem ser interpoladas ao longo deste plano. Esta metodologia, grosso modo, é a adotada pela função *2-D Lookup Table*. Na prática, interpolações lineares nas duas direções (bilineares) são implementadas por esta função.

Para exemplificar a efetividade desta técnica de interpolação, compara-se, na Figura 4.12, a curva estimada para o transistor do módulo FF75R12RT4, à temperatura de junção T_j de $125^\circ C$, com a informada no catálogo do fabricante para esta temperatura. As entradas da função *2-D Lookup Table* são apenas as características a $25^\circ C$ e a $150^\circ C$, também indicadas na Figura 4.12. Como se infere desse resultado, a interpolação linear a $125^\circ C$ retorna uma curva suficientemente próxima da característica real do componente, com erros menores do que 1%. Esta estimativa, a menos deste erro máximo, reproduz corretamente a trajetória dos pontos ao longo de toda curva, inclusive para correntes menores.

Sendo assim, esta técnica de interpolação é adotada no método *online* para aproximar

Figura 4.11 – Característica “tensão × corrente” do módulo FF75R12RT4.



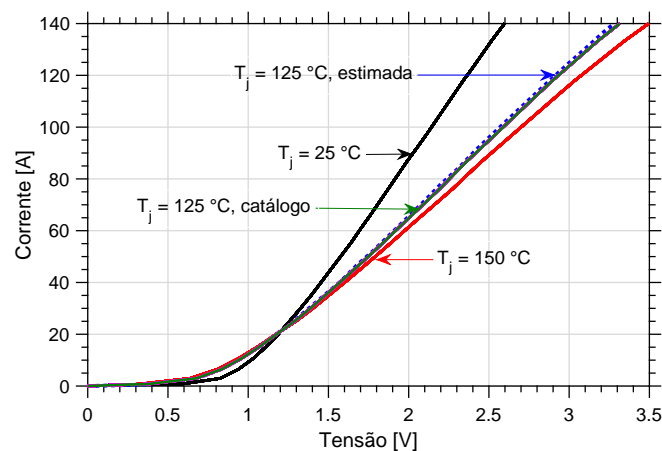
(a) Interpolação bilinear, implementada pela função *2-D Lookup Table*.

(b) Curvas informadas no catálogo do módulo, para $T_j = 25^\circ\text{C}$ e $T_j = 150^\circ\text{C}$.

Fonte: Dados da pesquisa, 2016.

as características dos dispositivos em temperaturas de junção intermediárias, com curvas não-informadas em catálogo. O mesmo procedimento, portanto, é aplicado para as curvas de energia de *turn-on* e de *turn-off* no transistor em função da corrente, de energia de recuperação reversa no diodo em função da corrente e para as curvas de “tensão × corrente” dos diodos e dos transistores. No caso em que o fabricante não informa as curvas a 25°C e a 150°C , opta-se por outros pares de temperatura de junção, se possível. Se apenas a curva para a temperatura máxima é disponibilizada, supõe-se que esta característica é constante para todas as temperaturas. Esta premissa corresponde, todavia, àquela assumida no método *offline* e só é considerada, pois, quando as curvas com outras temperaturas são omitidas no catálogo.

Figura 4.12 – Avaliação da técnica de interpolação via função *2-D Lookup Table* para o módulo FF75R12RT4.



Nota: As curvas são indicadas por setas de mesma cor.

Fonte: Dados da pesquisa, 2016.

Como já foi abordado na seção 4.1.1.1, a temperatura de junção é estimada com base no modelo térmico e nas perdas totais de cada componente. Como o cálculo destas perdas depende

da temperatura de junção e assim reciprocamente, esta análise deve ser iterativa. O algoritmo 2, implementado em *Simulink*, demonstra esta técnica iterativa (*online*) para um par “transistor + diodo”. A notação adotada neste algoritmo equivale à do algoritmo 1, com variáveis declaradas na Tabela 4.1.

Algoritmo 2: CÁLCULO ONLINE DE PERDAS EM UM PAR “TRANSISTOR + DIODO”

Entrada: parâmetros da simulação e dados do catálogo do módulo de potência

Saída: P_{totais}

```

1 início
2   fimSimulacao = 0, t = 0,  $T_{j(Q)} = T_{j(Q)} = T_{amb}$ 
3    $E_{cond(Q)} = E_{cond(D)} = E_{off} = E_{on} = E_{rr} = 0$ 
4   enquanto fimSimulacao = 0 faça
5     se reset = 0 então
6        $v_Q(t) = 2DLookupTable(i_{(I_Q \times V_Q)}, v_{(I_Q \times V_Q)}, i_Q(t), T_{j(Q)})$ 
7        $v_D(t) = 2DLookupTable(i_{(I_D \times V_D)}, v_{(I_D \times V_D)}, i_D(t), T_{j(D)})$ 
8        $E_{cond(Q)} = E_{cond(Q)} + T_s \cdot [v_Q(t) \cdot i_Q(t) + R_{cc'-ee'} \cdot i_Q(t)^2]$ 
9        $E_{cond(D)} = E_{cond(D)} + T_s \cdot [v_D(t) \cdot i_D(t) + R_{cc'-ee'} \cdot i_D(t)^2]$ 
10      se ( $i_Q(t) = 0$ ) E ( $i_Q(t - T_s) \neq 0$ ) então
11         $E_{off} = E_{off} + 2DLookupTable(i_{(E_{off} \times I_Q)}, E_{(E_{off} \times I_Q)}, i_Q(t - T_s), T_{j(Q)})$ 
12      senão se ( $i_Q(t) \neq 0$ ) E ( $i_Q(t - T_s) = 0$ ) então
13         $E_{on} = E_{on} + 2DLookupTable(i_{(E_{on} \times I_Q)}, E_{(E_{on} \times I_Q)}, i_Q(t), T_{j(Q)})$ 
14      fim
15    fim
16    se ( $i_D(t) = 0$ ) E ( $i_D(t - T_s) \neq 0$ ) então
17       $E_{rr} = E_{rr} + 2DLookupTable(i_{(E_{rr} \times I_D)}, E_{(E_{rr} \times I_D)}, i_D(t), T_{j(D)})$ 
18    fim
19    t = t +  $T_s$ 
20    senão se reset = 1 então
21       $P_{cond(Q)} = E_{cond(Q)} \cdot F$ 
22       $P_{cond(D)} = E_{cond(D)} \cdot F$ 
23       $P_{chav(Q)} = (E_{off} \cdot k_{off} + E_{on} \cdot k_{on}) \cdot F \cdot (V_{cc}/V_{cc(ref)})$ 
24       $P_{chav(D)} = E_{rr} \cdot F \cdot k_{rr} \cdot (V_{cc}/V_{cc(ref)})$ 
25       $P_{totais} = P_{cond(Q)} + P_{cond(D)} + P_{chav(Q)} + P_{chav(D)}$ 
26       $[T_{j(Q)}, T_{j(D)}] = modeloTermico(P_{cond(Q)} + P_{chav(Q)}, P_{cond(D)} + P_{chav(D)})$ 
27       $E_{cond(Q)} = E_{cond(D)} = E_{on} = E_{off} = E_{rr} = 0$ 
28    fim
29  fim
30 fim
31 fim
32 retorna  $P_{totais}$ 

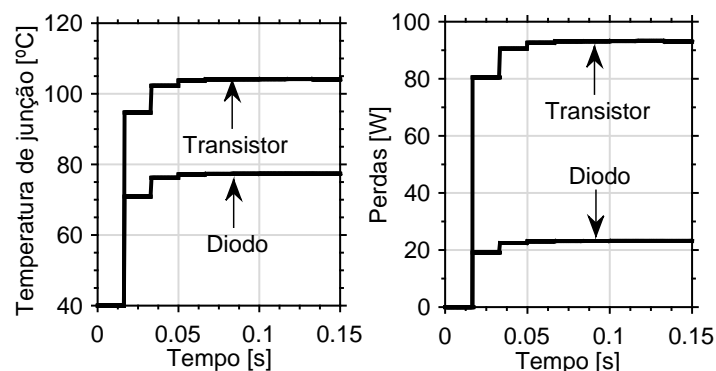
```

Como se infere do algoritmo 2, assumindo temperaturas de junção no diodo $T_{j(D)}$ e no transistor $T_{j(Q)}$ inicialmente iguais à temperatura ambiente T_{amb} , as perdas são estimadas. Como já foi discutido, a função de interpolação *2D Lookup Table* (denotada por “2DLookupTable”) é

adotada para avaliar as características dos dispositivos à cada T_j . O resultado da estimativa de perdas é uma nova entrada do modelo térmico (função “modeloTermico” no algoritmo 2), que reprocessa as temperaturas de junção nesta condição. As perdas são novamente estimadas para estas temperaturas de junção e assim sucessivamente. Essa sequência de cálculo, implementada em tempo de simulação, segue até que a simulação se encerre. Para que o modelo térmico não seja simulado a cada passo de simulação T_s , elevando o custo computacional, as temperaturas são reavaliadas apenas quando o valor médio das perdas é atualizado – *i.e.*, a cada ciclo de corrente do conversor. Um sinal de *reset*, sincronizado com esta corrente, produz um impulso unitário a cada passagem por zero e dispara a execução do modelo térmico. A cada impulso neste sinal, as somas acumuladas de energia são atribuídas a zero.

As formas de onda da Figura 4.13 demonstram a convergência dos valores de perdas totais no componente e de temperatura de junção, depois de algumas iterações do algoritmo 2, para um conversor trifásico de 20 kW , em topologia dois níveis, frequência de chaveamento de 12 kHz , tensão de barramento de 650 V e com módulos FF75R12RT4.

Figura 4.13 – Evolução das perdas e da temperatura de junção em um conversor arbitrário no método *online*.

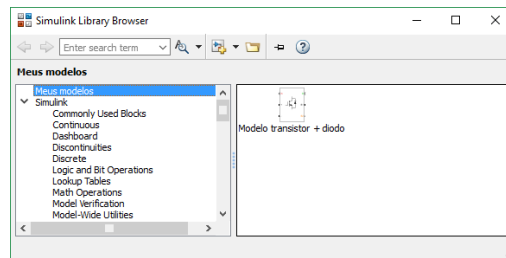


Fonte: Dados da pesquisa, 2016.

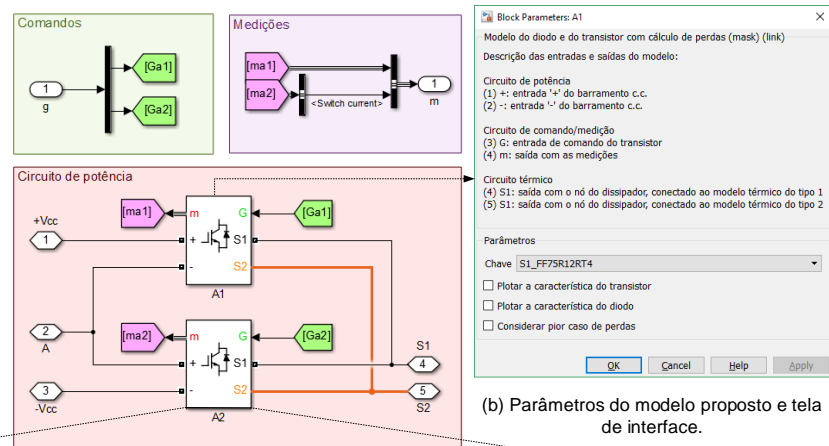
Para que o cálculo das perdas e das temperaturas pudesse ser generalizado para *qualquer* topologia de conversor, opta-se pelo encapsulamento do algoritmo 2 como parte do modelo do par “transistor + diodo em antiparalelo”. As saídas deste modelo são as perdas em cada componente e o nó de dissipador – como já foi discutido na seção 4.1.1.1. Assim, estes modelos, em blocos de uma biblioteca, podem ser arranjados convenientemente para compor o circuito da topologia pretendida. O circuito térmico também pode ser facilmente conectado, conforme o número de módulos no mesmo dissipador ou no mesmo encapsulamento.

A Figura 4.14 apresenta os modelos propostos no *software Simulink* para uma topologia de dois níveis. O bloco com o modelo do par “transistor + diodo em antiparalelo” é incluído à biblioteca padrão do *Simulink*, para facilitar o acesso.

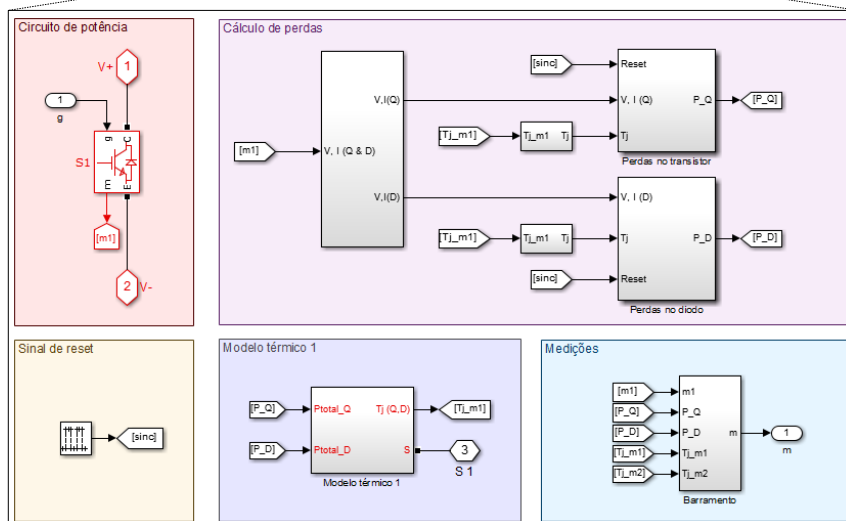
Figura 4.14 – Modelo do par “transistor + diodo em antiparalelo”, encapsulado em biblioteca do *Simulink*, como parte do método *online*.



(a) Biblioteca padrão do *Simulink*, com o modelo proposto.



(b) Parâmetros do modelo proposto e tela de interface.



(c) Blocos internos ao modelo proposto.

Fonte: Dados da pesquisa, 2016.

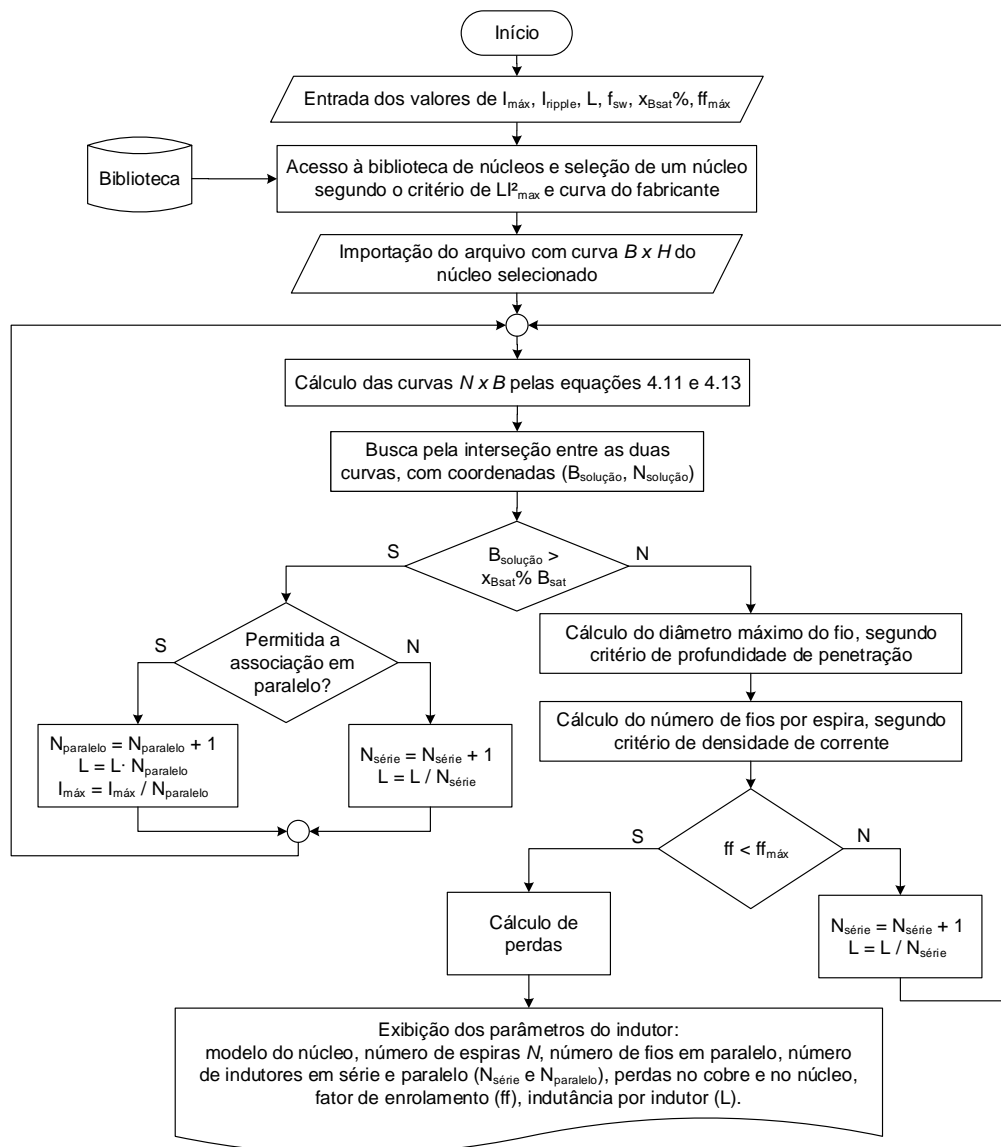
4.1.2 Rotinas para o cálculo de perdas nos indutores

Como já foi abordado na seção 2.2, a caracterização da UPS de dupla conversão quanto ao rendimento, como resultado das simplificações adotadas neste trabalho, se baseia nas estimativas das perdas nos semicondutores e nos indutores dos filtros de entrada e de saída. A tensão do barramento c.c. V_{DC} , a frequência de chaveamento f_{sw} e o *ripple* máximo de corrente na rede elétrica e na carga definem critérios de projeto destes indutores, como se discute nas subseções

3.3.1 e 3.3.2. Sendo assim, na fase de projeto de uma UPS com potência nominal P_{out} , os indutores de filtro devem ser dimensionados para que atendam ao critério de *ripple* para cada par (V_{DC}, f_{sw}) , pelo menos para a condição de carga nominal. Isso implica, portanto, que o projeto físico destes indutores (*i.e.*, o número de espiras, número de condutores, etc.) deve variar para cada tripla $(V_{DC}, f_{sw}, P_{out})$ avaliada nas rotinas de projeto. Com base nos parâmetros físicos do indutor, as perdas nos filtros podem ser então estimadas. Esse tipo de análise permite avaliar, por exemplo, se o aumento da frequência de chaveamento, que contribui para a redução dos elementos passivos do filtro, pode elevar proibitivamente as perdas nos indutores.

Para o projeto físico dos indutores, implementa-se uma ferramenta que adota os procedimentos enumerados a seguir, sintetizados no diagrama da Figura 4.15.

Figura 4.15 – Fluxograma com a sequência de procedimentos para o projeto dos indutores dos filtros de entrada e de saída.



Fonte: Dados da pesquisa, 2016.

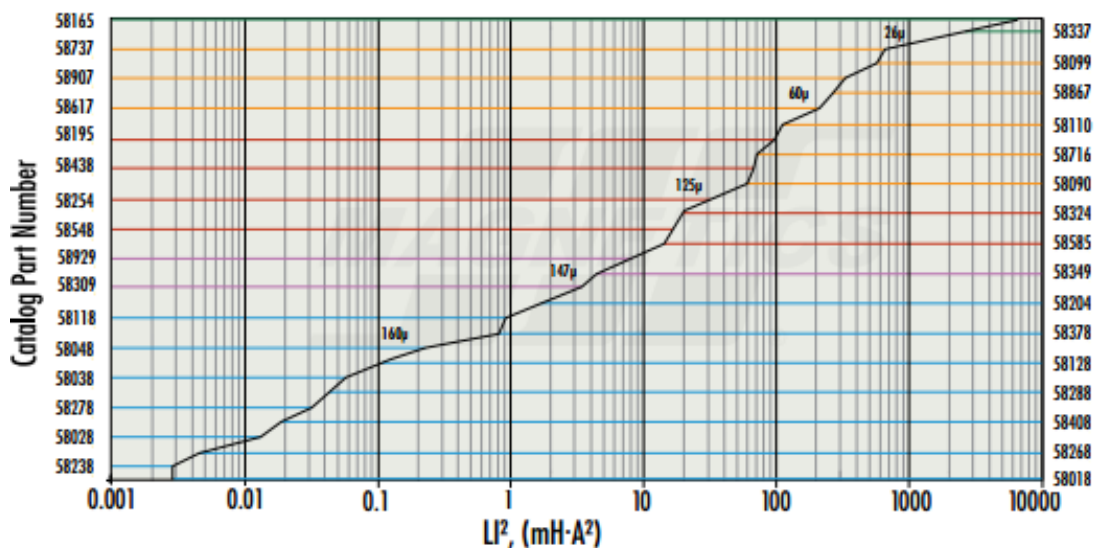
(i) *Seleção do material do núcleo*

Inicialmente, deve-se selecionar um material para o núcleo que atenda ao critério de energia máxima armazenada no indutor. Esta energia máxima (E_{max}) pode ser estimada a partir da equação 4.9, em que L e I_{max} denotam a indutância e a corrente máxima no indutor:

$$E_{max} = \frac{LI_{max}^2}{2}. \quad (4.9)$$

Neste trabalho, apenas os núcleos toroidais de pó de ferro da família *High Flux* do fabricante *Magnetics*, que permitem o armazenamento de energias elevadas, são considerados. A curva que orienta a seleção de núcleos desta família, disponibilizada pelo fabricante, é apresentada, como exemplo, na Figura 4.16. Para cada energia calculada, a ferramenta implementada para o projeto de indutores localiza, nesta curva, o primeiro núcleo (com modelo indicado nos eixos) que provê aquela energia, bem como a permeabilidade relativa associada (informada ao longo da curva).

Figura 4.16 – Curva para seleção de núcleos da família *High Flux* do fabricante *Magnetics*.



Fonte: [Magnetics \(2006\)](#).

(ii) *Cálculo do número de espiras*

Para o cálculo do número de espiras, propõe-se uma adaptação das metodologias adotadas por [Soares \(2012\)](#) e por [Magnetics \(2006\)](#). Seja uma bobina de N espiras, por onde circula uma corrente I . Sendo Φ o fluxo magnético que a envolve, a indutância L , em condições magnetostáticas, resulta, por definição, da razão ([EDMINISTER, 2006](#)):

$$L = \frac{N\Phi}{I}. \quad (4.10)$$

Para um núcleo toroidal de área efetiva A_e , a densidade de fluxo magnético B resulta da razão entre Φ e A_e . Sendo assim, quando a corrente assume o valor máximo I_{max} , vem,

diretamente da equação 4.10:

$$N = \frac{LI_{max}}{B_{max}A_e}. \quad (4.11)$$

Por outro lado, da equação para a lei de Ampère em um contorno fechado ao longo da bobina e da suposição de que o fluxo está confinado no interior dela, tem-se, se l_e constitui o comprimento efetivo desse contorno (EDMINISTER, 2006):

$$\oint \mathbf{H} \cdot d\mathbf{l} = NI \quad \therefore \quad H \approx \frac{NI}{l_e}, \quad (4.12)$$

em que \mathbf{H} se refere ao vetor de campo magnético e $d\mathbf{l}$, ao vetor infinitesimal de comprimento ao longo do contorno. Como a intensidade de campo magnético H provém da razão entre a densidade de fluxo magnético e a permeabilidade do material μ , a equação (4.12) pode ser explicitada em termos de B e o número de espiras N fica, na condição de corrente máxima:

$$B \approx \frac{\mu NI}{l_e} \quad \therefore \quad N \approx \frac{B_{max}l_e}{\mu I_{max}} \quad (4.13)$$

Como o núcleo já foi previamente selecionado, a área e o comprimento efetivos (A_e e l_e) são constantes obtidas do catálogo do fabricante. Já a permeabilidade μ pode ser derivada, para cada intensidade de campo magnético H , a partir da característica $B \times H$, também informada pelo fabricante. Assim, se B_{max} for atribuído ao vetor $B_{max} = [0, \dots, 2] T$, definem-se curvas de $N \times B$ a partir das equações (4.11) e (4.13). A interseção entre as duas curvas retorna, portanto, as coordenadas do ponto ($B_{solucao}, N_{solucao}$), com a solução para o número de espiras e para a densidade de fluxo máxima. Considera-se, aqui, que a solução para B_{max} não deve exceder 70% da densidade de fluxo que leva o núcleo à saturação. Caso este critério não seja atendido, associam-se indutores em série ou em paralelo, como indica a Figura 4.15. Cabe salientar que a substituição de B_{max} da equação (4.11) em (4.13) resulta em uma terceira equação para o número de espiras, comumente adotada no projeto e sugerida por *Magnetics* (2006):

$$N = \sqrt{\frac{L}{A_L}}, \quad (4.14)$$

em que A_L é uma constante referida na literatura por *indutância específica* e é dada por $A_L = \mu A_e / l_e$. Todavia, o cálculo do número de espiras pela equação (4.14) se baseia em um método iterativo que considera a variação de μ com a intensidade de campo H , a cada iteração. Como a convergência deste método para a indutância pretendida se mostra mais difícil, a metodologia anterior é adotada neste trabalho, como alternativa.

(iii) *Cálculo do diâmetro máximo do condutor e do número de fios em paralelo*

O diâmetro máximo do condutor deve ser definido para que o efeito pelicular possa ser negligenciado para harmônicos de corrente em torno da frequência de chaveamento.

Sendo assim, o diâmetro do condutor não deve exceder o dobro da profundidade de penetração δ do cobre à esta frequência, dada pela equação (2.27).

Neste trabalho, assume-se que o condutor deve ser o primeiro, dentre os disponíveis comercialmente, com bitola inferior ao diâmetro calculado. Se a bitola deste condutor é d , para que o critério de máxima densidade de corrente j_{max} seja atendido, pode ser necessário associar n_{cond} em paralelo, de acordo com a equação:

$$n_{cond} = \left\lceil \frac{4I_{max}}{\pi j_{max} d^2} \right\rceil. \quad (4.15)$$

Nos projetos de indutor deste trabalho, assume-se, arbitrariamente, que j_{max} seja de $3A/mm^2$.

(iv) *Testes de consistência*

Por fim, deve-se avaliar a factibilidade do projeto proposto. O fator de utilização ff (ou *fill factor*), dado pela razão entre a área ocupada pelos condutores A_{cond} e a área da janela A_w , não deve exceder o valor máximo factível para núcleos toroidais. Apesar de o próprio fabricante indicar o valor de 40 % como ff de referência, este trabalho o limita em 30 %. Caso este valor não seja atingido, opta-se pela associação de indutores em série, como indica o diagrama da Figura 4.15, até que o projeto se torne factível.

(v) *Cálculo das perdas e da elevação de temperatura*

Para o cálculo de perdas nos indutores, implementam-se as equações enumeradas na seção 2.2.2, com os parâmetros de saída dos procedimentos anteriores. Para que as perdas no cobre sejam estimadas, consideram-se apenas as perdas joulicas associadas à resistência do enrolamento R_{ac} na frequência fundamental F . Esta resistência R_{ac} é estimada pela equação:

$$R_{ac} = \frac{4N \cdot \rho \cdot MLT}{\pi d^2 n_{cond}}. \quad (4.16)$$

em que ρ consiste na resistividade do cobre e MLT denota o comprimento médio do enrolamento, informado pelo fabricante para cada fator de utilização ff . Assim, as parcelas de perdas atribuídas às componentes harmônicas de corrente de alta frequência – sujeitas aos efeitos pelicular e proximidade – são negligenciadas nesta análise, para fins de simplificação.

O *script* em MATLAB disponibilizado por Sullivan, Venkatachalam e Czogalla (2016) é adotado para os cálculos de perda no núcleo via método *iGSE*, descrito na seção 2.2.2.

Com base nas perdas calculadas, a elevação de temperatura ΔT no indutor é estimada. A equação aproximada, recomendada por Magnetics (2006), é considerada neste cálculo:

$$\Delta T = \left(\frac{P_{ind}}{S_{total}} \right)^{0,833}, \quad (4.17)$$

em que P_{ind} e S_{total} designam as perdas totais em mW e a área da superfície do indutor já enrolado em cm^2 , respectivamente. A área da superfície total é aproximada por aquela informada pelo fabricante para o fator de utilização ff de 40 %. A elevação máxima de temperatura é arbitrada, neste trabalho, em cerca de $90\text{ }^\circ\text{C}$ ¹.

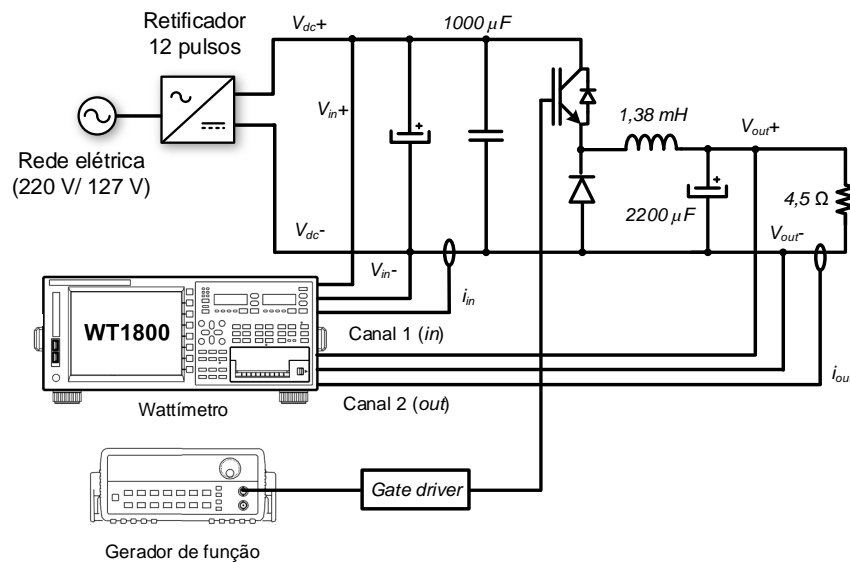
4.2 Protótipos experimentais para medição de perdas

Nesta seção, descrevem-se os protótipos experimentais desenvolvidos para que as estimativas teóricas de perdas nos conversores pudessem ser validadas.

4.2.1 Protótipo para medição via wattímetro

Inicialmente, avaliam-se os desvios entre as estimativas teóricas de potência dissipada e as medições elétricas em um conversor. Para tanto, as perdas em uma montagem simples de um conversor *buck* de $5,5\text{ kW}$, com o módulo de potência SKM50GB123D (Semikron), são medidas via wattímetro digital WT1800 (Yokogawa). O diagrama esquemático com as pontas de prova do wattímetro indicadas e a montagem experimental seguem nas Figuras 4.17 e 4.18.

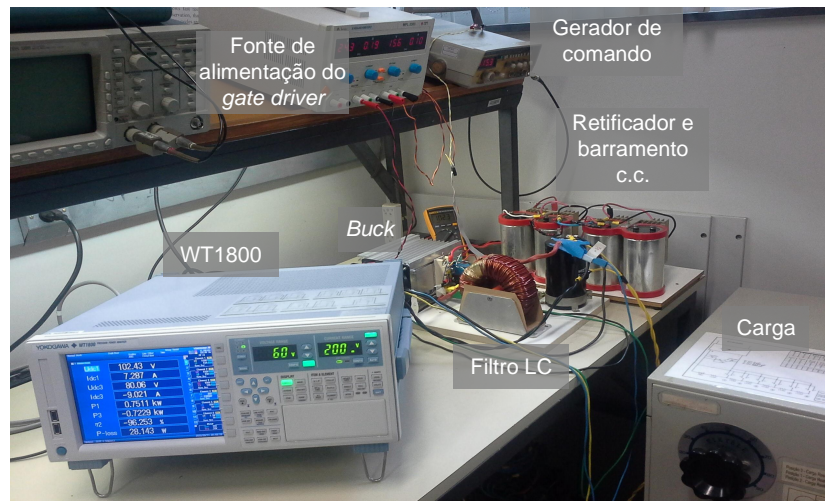
Figura 4.17 – Protótipo experimental desenvolvido para a medição de perdas via wattímetro.



Fonte: Dados da pesquisa, 2016.

¹ A temperatura máxima do indutor não deve exceder o limite térmico do núcleo – de $200\text{ }^\circ\text{C}$ para a família *High Flux* – e dos isolantes, suposto aqui em $140\text{ }^\circ\text{C}$. Assim, para que haja uma folga nesta especificação, admitem-se elevações de até $90\text{ }^\circ\text{C}$ para a temperatura ambiente em $40\text{ }^\circ\text{C}$. Supõe-se que esta folga compensa o uso de uma estimativa de área da superfície associada a um fator de utilização maior do que aquele obtido nos projetos, de no máximo 30 %.

Figura 4.18 – Protótipo experimental desenvolvido para a medição de perdas via wattímetro.



Fonte: Dados da pesquisa, 2016.

Um capacitor de filme plástico de $1000 \mu F$ é adicionado ao circuito em paralelo com o barramento c.c., para que a distorção harmônica da corrente de entrada, medida em um dos canais do wattímetro, seja mitigada. Pela mesma razão, as pontas de prova do canal de saída são instaladas na saída do filtro LC ($L = 1,38 mH$, $C = 2200 \mu F$). Nesta montagem, as diferenças entre as leituras de potência nos dois canais do wattímetro são comparadas com as estimativas de perdas globais no conversor – no indutor e nos semicondutores, para várias condições de carga. As perdas nos capacitores de filtro são negligenciadas nestas estimativas.

O conversor *buck* é alimentado por um retificador em configuração de doze pulsos, com entradas c.a. em $220 V$ e $127 V$, derivadas do secundário em Δ e do terciário em Y de um transformador trifásico.

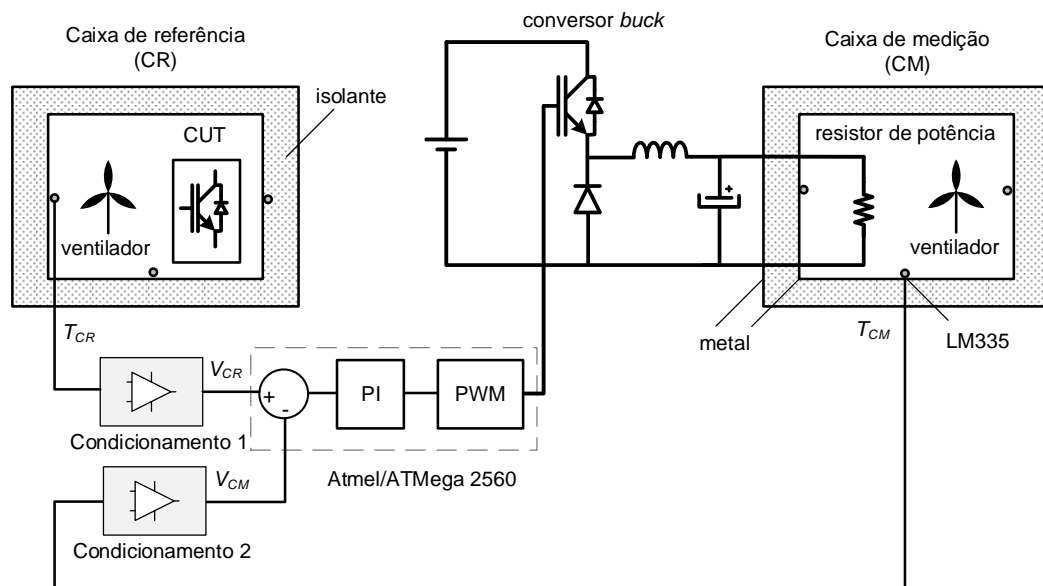
4.2.2 Protótipo de calorímetro indireto série

Este protótipo adapta aquele proposto por [Itoh e Nigorikawa \(2012\)](#), que se baseia no princípio calorimétrico e na comparação entre as perdas do conversor em teste (CUT) e de um resistor de potência. Grosso modo, o conversor e um resistor são isolados em dois subsistemas fechados e, assim, passam a aquecer o ar do ambiente. Em regime permanente, na condição em que há equivalência nas temperaturas ambiente nestes dois subsistemas, admite-se também a equivalência entre a potência dissipada por estas duas fontes de calor (conversor e resistor). Sendo assim, se a tensão neste resistor for controlada para que se atinja esta condição de equivalência de temperaturas em regime estacionário, as perdas no CUT podem ser medidas diretamente, a partir da leitura da potência no resistor. A demonstração deste princípio, com base no modelo físico do sistema, é apresentada por [Itoh e Nigorikawa \(2012\)](#) e, portanto, é omitida neste texto.

Na Figura 4.19 consta o diagrama esquemático da montagem experimental desta pesquisa. Como se infere desta Figura, um controlador de temperatura do tipo proporcional-integral (PI)

opera com o *duty-cycle* de um conversor *buck* (externo às caixas) para que as temperaturas finais nos dois subsistemas sejam iguais.

Figura 4.19 – Diagrama esquemático do protótipo experimental desenvolvido para a medição de perdas via calorímetro indireto série.



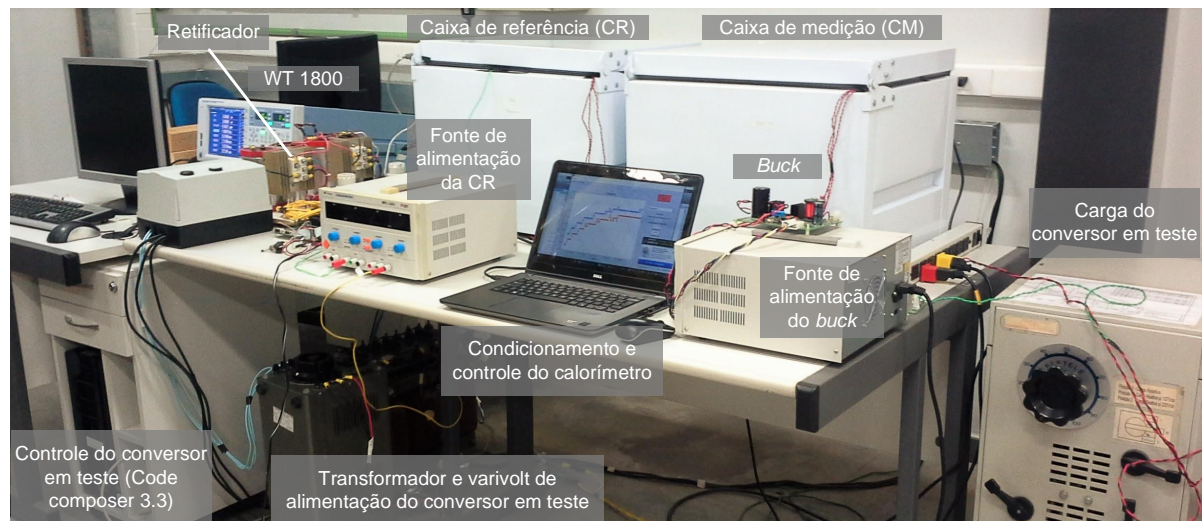
Fonte: Dados da pesquisa, 2016.

Esta montagem é preferida em relação a outras alternativas documentadas na literatura, revisadas na seção 2.3.2, em razão da simplicidade e do baixo custo e, ainda, por dispensar a necessidade de caracterização física de um fluido para quantificar a potência dissipada pelo conversor. Ademais, o efeito da perda de calor pelas paredes – que incide diretamente sobre a exatidão da medição em algumas variações típicas de calorímetro – pode ser desprezado neste protótipo, se assumida a premissa de que as caixas são iguais, bem como as condições ambientais externas. Da mesma forma, fontes de erro sistemáticas na medição de temperatura, por exemplo, podem ser facilmente compensadas com a calibração dos sensores por comparação. Outras vantagens desta variação de calorímetro já foram discutidas na seção 2.3.2.4.

Já a Figura 4.20 apresenta a montagem experimental desenvolvida no laboratório do Grupo de Eletrônica de Potência. O wattímetro *WT1800* foi adicionado à montagem apenas para fins de calibração das leituras de potência.

Para fins de simplificação do texto, a descrição de cada uma das partes do protótipo, bem como as fases que antecedem o ensaio de medição de perdas, são enumeradas nas subseções a seguir. Na convenção adotada neste texto, as caixas com o conversor em teste e com o resistor são denotadas por *caixa de referência (CR)* e *caixa de medição (CM)*, nesta ordem.

Figura 4.20 – Protótipo experimental desenvolvido para a medição de perdas.



Fonte: Dados da pesquisa, 2016.

4.2.2.1 Projeto mecânico do protótipo

No protótipo desenvolvido, o conversor em teste e o resistor de potência são introduzidos em caixas metálicas de 45 L, isoladas e fechadas. Estas caixas, comuns em lojas especializadas em refrigeração, são revestidas de aço inoxidável e isoladas com espuma de poliuretano injetável. A opção por caixas com paredes em estrutura “sanduíche” (metal + isolante + metal) já foi fundamentada na seção 2.3.2.3. O resistor de potência em uso no protótipo, com fio enrolado em cerâmica, suporta até cerca de 90 W, sem incandescer. Deste modo, com este único resistor, conversores de até 1 kW e com rendimento superior a 90 % podem ser ensaiados. O conversor em teste é um inversor do tipo “ponte H” (ou ponte completa) monofásica e integra chaves discretas de silício (de IGBT e diodo), de modelo IRGP30B120KD (*International Rectifier*).

Adicionam-se nas duas caixas ventiladores de 24 W/220 V, para que a distribuição de temperaturas em CR e CM seja mais uniforme. Pela mesma razão, opta-se por estas caixas com revestimento metálico – diferentemente do trabalho de Itoh e Nigorikawa (2012), com caixas de isopor. Já a preferência por caixas isoladas se atribui à necessidade de que a temperatura interna não seja sensível a variações no meio externo.

Por outro lado, como os ventiladores são do mesmo modelo, supõe-se aqui que a diferença entre as perdas em ambos leva a um desvio desprezível entre as temperaturas de CR e de CM. Esta hipótese é avaliada em um ensaio experimental em que apenas os dois ventiladores são ligados nas duas caixas. De fato, como resultado deste ensaio, a diferença entre as temperaturas de CR e de CM não supera 0,3°C na condição de regime permanente. Como este desvio é da ordem da incerteza associada à medição de temperatura (calculada na seção 4.2.2.4), aquela hipótese fica, portanto, validada. Do mesmo modo, presume-se que as perdas para o ambiente sejam equivalentes em CR e CM.

A disposição dos elementos dentro da caixa deve contribuir para que o fluxo de ar uniformize a temperatura interna. Assim, opta-se pela orientação do resistor e do ventilador ao longo do comprimento da caixa.

Resta ainda definir como os sensores de temperatura serão alocados na caixa. O número de sensores em cada caixa foi limitado a três, em razão de restrições no circuito de condicionamento, detalhadas a seguir. A média destes três sensores deve retornar uma boa estimativa das médias pontuais de temperatura no interior da caixa. Sendo assim, os sensores devem ser posicionados em planos horizontais distintos, para que o gradiente de temperatura na direção vertical seja bem caracterizado. Os sensores são instalados em conectores de material isolante, nas duas faces com maior superfície e naquela mais próxima do ventilador. Os cabos que partem dos sensores são trançados, passam pelos furos na parte inferior da caixa e se conectam ao circuito de condicionamento externo.

Para que a temperatura interna não se torne proibitiva para o conversor, outras opções de tampa para as caixas são também testadas. O uso de chapas metálicas com um padrão matricial de furos para este fim é avaliado como alternativa à tampa original (que também se constitui de material isolante revestida em aço). Alguns ensaios são conduzidos para que se atinja um número “ideal” de furos para que a temperatura interna seja substancialmente reduzida. Prevê-se que o fluxo de ar pelos furos seja constante ao longo da chapa, já que a temperatura na superfície metálica tende a ser uniforme.

4.2.2.2 Seleção dos sensores e dimensionamento dos componentes do circuito de condicionamento

A seleção dos sensores de temperatura deve se basear na análise da faixa de temperaturas de operação, da susceptibilidade destes sensores a ruídos e da complexidade dos circuitos de condicionamento de sinais. Como o controle se orienta apenas pela diferença entre as leituras de temperatura, a classe de exatidão dos sensores, em tese, não se torna um critério de seleção obrigatório. Basta, pois, que os erros sistemáticos dos sensores especificados sejam corrigidos via calibração por comparação. Para fins de monitoramento das temperaturas absolutas (e não daquela diferença), são adicionados sensores auxiliares baseados em termopares do tipo K, com leituras interpretadas pelo termômetro digital *Minipa MT-600*².

Neste trabalho, quatro modelos de sensores foram avaliados, a saber, o sensor digital DS18B20 e os sensores analógicos LM35, LM335 e Pt100. Estes sensores analógicos foram preferidos por exibirem resposta linear e pela simplicidade dos circuitos de condicionamento. Já

² Cabe comentar que as leituras do termômetro digital não foram consideradas no controle de temperatura em razão da dificuldade de comunicação, em tempo real, entre o termômetro e o microcontrolador em uso. Por outro lado, o condicionamento dos sinais do termopar, diretamente, se torna mais complexo do que nas outras alternativas de sensores. Assim, o termômetro só é empregado para que o usuário monitore, durante a execução dos ensaios, as temperaturas nas caixas. Este monitoramento é mais crítico em CR, em que a temperatura ambiente pode se tornar proibitiva para o conversor em teste.

o sensor digital foi testado em razão da facilidade de implementação do protocolo *One-Wire*, adotado para codificação das leituras e da presumida “imunidade” a ruídos de chaveamento. Nenhum desses sensores, todavia, retornava leituras coerentes quando o conversor em teste era chaveado a dezenas de kHz em potências de carga maiores do que 500 W . Nesta condição, um *offset* era sobreposto à leitura dos sinais dos sensores analógicos e interrupções consecutivas e aleatórias na comunicação com o sensor digital (indicadas por um *flag* de -127°C) eram observadas. Este *offset*, traduzido como um desvio de até 6°C (no caso do circuito com o LM335), era anulado no instante em que o conversor em teste era desligado. Mesmo com o circuito de condicionamento em placas independentes, sem aparente conexão física com o conversor, o problema persistia. Disso decorre a hipótese de que a interferência entre os dois circuitos talvez fosse *irradiada*, não *conduzida*. Inúmeras tentativas, sem sucesso, foram então propostas, *e.g.*: (i) a blindagem dos cabos com os sinais dos sensores; (ii) a minimização dos *loops* de corrente que resultavam da interrupção do circuito para adição de amperímetros; (iii) a exclusão destes amperímetros do circuito; (iv) o rearranjo das montagens e (v) o encurtamento de cabos de potência e de sinais com alta frequência. Mesmo nos circuitos com sensores do tipo *Pt100*, que se baseiam em medições de resistência, esta interferência persistia. Ora a medição se tornava suscetível aos ruídos de chaveamento do conversor em teste, ora aos do conversor *buck*. Como os *offsets* na medição não eram determinísticos nem tampouco passíveis de correção via calibração, uma tentativa de execução dos ensaios com os sensores digitais foi efetuada, a partir do descarte de leituras espúrias. Todavia, como por vezes estas leituras perduravam por longos intervalos, o controle de temperatura ficava sujeito a atrasos aleatórios, como resultado. Estes atrasos inviabilizavam os ensaios com o conversor em teste.

Provavelmente, estes problemas de compatibilidade eletromagnética decorrem de adaptações no conversor em teste, adotadas para que o filtro e o *gate driver* fossem dissociados do circuito e, assim, pudessem ser montados externamente a CR. Estas adaptações, normalmente “contra-indicadas”, tendem a aumentar o comprimento dos cabos de potência e dos cabos que se conectam ao *gate* dos transistores. Uma alternativa óbvia seria a de remontar o conversor completo no interior de CR. Esta opção se torna inviável na caixa em uso (de volume reduzido) e não serviria ao objetivo de avaliar os resultados teóricos de perdas somente nos semicondutores. Por ora, em razão destas dificuldades, opta-se apenas por validar o sistema de medição com resistores de potência, nas duas caixas. Em princípio, como a análise independe da fonte de perdas, o ensaio com resistores já basta para esta validação.

Nestes ensaios, prefere-se o uso dos sensores do modelo LM335. Esses sensores, que operam na faixa de -40°C a 100°C , retornam a média das leituras quando associados em série. Assim, um único circuito de condicionamento e uma única porta do conversor *A/D* já são suficientes para a leitura de um conjunto de sensores. Como cada sensor da associação contribui com 10 mV/K , a alimentação em -15 V impõe um número máximo, com folga, de três sensores em série.

Os sensores de tensão e de corrente são definidos com base na exatidão pretendida para a medição. Para que a tensão no resistor pudesse ser mensurada, prefere-se o uso de divisores de tensão com resistores de 1 % de tolerância. Para a leitura de corrente no resistor, especifica-se o sensor de efeito *Hall* LA 55-P (LEM), com erros inferiores a 1 %. As leituras dos sinais destes sensores com o conversor *A/D* em uso podem ser calibradas com o *wattímetro* *Yogokawa WT1800*, que para tensões e correntes c.c. retorna erros de 0,05 % da leitura, somados a uma parcela de 0,1 % da faixa de operação.

O circuito de condicionamento foi dimensionado para que mapeie as tensões associadas a temperaturas de 15° C a 100° C (−8,64 V e −11,19 V) para tensões no intervalo de 0 V a 3,0 V, legíveis para os conversores *A/D* em uso. Do mesmo modo, os valores de tensão e de corrente medidos no resistor também devem ser convertidos para esta faixa. Para tanto, vale-se da ferramenta desenvolvida para o dimensionamento destes circuitos, apresentada no Apêndice B. Esta ferramenta calcula os resistores para cada tipo de circuito selecionado pelo usuário, a partir das faixas de excursão da tensão de entrada e de saída. Associações em série e paralelo são também sugeridas para que os resistores calculados sejam compostos.

4.2.2.3 Seleção do microcontrolador e da interface com o usuário

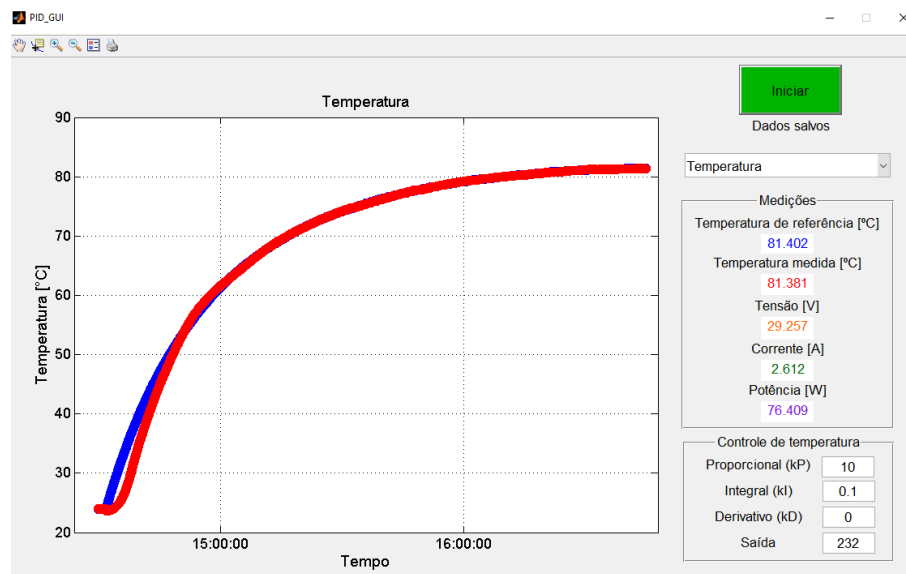
Como o controle da temperatura opera sobre uma planta inerentemente lenta, o microcontrolador que o implementa não necessariamente deve prover frequências de amostragens elevadas. Sendo assim, opta-se pelo microcontrolador *Atmel ATmega 2560/V*, disponível na plataforma *Arduino Mega 2560*, com frequência de *clock* da CPU de 16 MHz, 16 canais de conversão *A/D* de resolução de 10 bits e 12 portas PWM de 16 bits. Este processador pode ser programado diretamente pelo *software* MATLAB, que oferece suporte a funções de aquisição de dados, de ajuste do modulador PWM, de leitura/escrita de portas digitais e entre outros. Com os dados acessíveis ao MATLAB, funções de gravação em arquivo, de processamento de sinais, de interface gráfica com o usuário e de exibição de gráficos são facilmente implementadas com recursos nativos do próprio MATLAB. Como o ensaio depende do acompanhamento da dinâmica de aquecimento e a condição de parada ocorre quando da equivalência entre as temperaturas em CR e CM, torna-se imperativa a apresentação de um gráfico com as temperaturas instantâneas. Assim, o usuário pode, por exemplo, avaliar a dinâmica imposta pelo controlador projetado sem que seja necessário completar o teste – que pode perdurar por até 4h. As funções nativas do MATLAB permitem, com facilidade, a apresentação deste gráfico.

Cabe salientar que outros microcontroladores, como o *DSP TMS320F28027 Piccolo* e o *Atmel SAM3X8E ARM Cortex-M3 CPU* (disponível na plataforma *Arduino Due*), também foram testados para esta aplicação. Estas outras opções, todavia, não ofereciam suporte para funções do MATLAB e a implementação de ferramentas de interface e de gravação em arquivo se mostrava mais complexa. Por ora, o *Atmel ATmega 2560/V* foi, portanto, adotado.

Há, todavia, limitações no modelo do microcontrolador selecionado, como por exemplo, a

impossibilidade de se impor qualquer frequência de portadora na modulação PWM. Em face dos valores de frequência disponíveis, ora extremamente elevados, ora baixos, prefere-se o valor de $7,8\text{ kHz}$. Como o filtro de saída do conversor *buck* em uso compõe-se de um indutor de $560\ \mu\text{H}$ e de um capacitor de $470\ \mu\text{F}$, a frequência de corte vale cerca de $300\ \text{Hz}$ e as componentes espectrais àquela frequência de chaveamento já são suficientemente atenuadas. Assim, aquela limitação não constitui um entrave para o uso do microcontrolador *Atmel ATmega 2560/V*. A Figura 4.21 apresenta a tela de interface implementada. Diretamente nesta tela, o usuário pode ajustar os parâmetros do controlador de temperatura. Os gráficos com os valores instantâneos das temperaturas em CR e CM e da tensão, corrente e potência no resistor também constam na tela de interface, bem como os valores numéricos destas grandezas, em *displays*. Esta ferramenta, a partir de comandos em MATLAB, recebe dados dos conversores *A/D* do microcontrolador e define, mediante a ação de controle pretendida, a tensão de referência do PWM (com portadora do tipo dente-de-serra). Para fins de filtragem dos dados, uma média móvel a cada n amostras (fixada pelo usuário a cada execução) é implementada pelo controlador. Nos ensaios conduzidos com resistores em CR e CM, o valor de n foi atribuído a 5 e a frequência de amostragem, a $1\ \text{Hz}$.

Figura 4.21 – Tela de interface gráfica com o usuário implementada para execução dos ensaios no calorímetro.



Fonte: Dados da pesquisa, 2016.

4.2.2.4 Calibração dos sensores de temperatura por comparação

Para fins de calibração dos sensores por comparação, opta-se por dispor os dois conjuntos de sensores LM335 na mesma caixa, lado a lado, e, assim, medir o perfil de temperaturas durante um ensaio de aquecimento. Se os sensores originalmente da caixa CR forem arbitrados como “referência” de calibração, a leitura do conjunto de sensores da caixa CM (y) deve ser ajustada para a temperatura média daquele conjunto de sensores (x). Os resultados da comparação entre os dois conjuntos são apresentados na Figura 4.22. A reta $y = ax + b$ que minimiza o erro quadrático médio entre esta função e as amostras é ajustada, segundo a metodologia sugerida

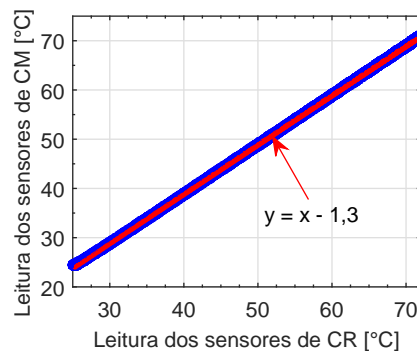
por Braga (2012). Assim, a leitura da temperatura média no conjunto de sensores de CM (y) é corrigida a partir da equação (4.18) e a incerteza associada é estimada com base no desvio padrão σ entre o valor corrigido e a temperatura de referência (DOEBELIN, 1990), calculado por (4.19):

$$x = \frac{y - b}{a}, \quad (4.18)$$

$$\sigma = \sqrt{\frac{1}{N} \sum_{k=1}^N \left(\frac{y(k) - b}{a} - x(k) \right)^2}, \quad (4.19)$$

em que N constitui o número de leituras comparadas. Segundo Doebelin (1990), assumindo uma distribuição Gaussiana perfeita em torno da reta ajustada, a incerteza u do valor corrigido pode ser aproximada por 3σ .

Figura 4.22 – Resultados da calibração por comparação das leituras de temperatura média dos dois conjuntos de sensores LM335, originalmente nas caixas CR e CM.



Fonte: Dados da pesquisa, 2016.

Assim, como resultado deste ensaio de calibração, vem:

$$x = (y + 1.3 \pm u)^\circ C, \quad (4.20)$$

$$u \approx 3\sigma \approx 0,3^\circ C, \quad (4.21)$$

O ensaio de aquecimento é então replicado, considerando a correção na leitura do conjunto de sensores de CM indicada nesta calibração – implementada no código do microcontrolador. O desvio entre as leituras finais dos dois conjuntos de sensores não supera, de fato, a incerteza absoluta de $0,3^\circ C$. Supõe-se, neste trabalho, que esta incerteza não leva a erros maiores do que 5% na leitura das perdas sobre o conversor, na faixa de perdas em análise³. Sendo assim, os sensores especificados de fato servem à esta aplicação. Esta hipótese é atestada nos ensaios experimentais do capítulo 5.

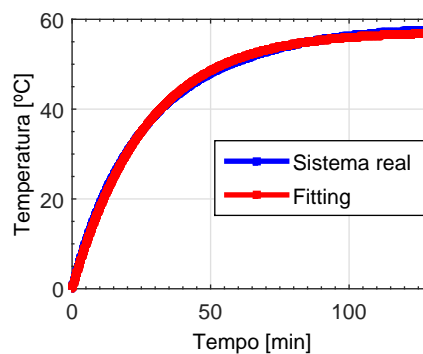
³ Para que o erro máximo na medição de perdas fosse estimado, a potência associada à elevação de $0,3^\circ C$ na temperatura interna das caixas é avaliada. Como esta potência não excede $1,0 W$, o erro pode ser menor do que 5% se as perdas forem superiores a $20 W$.

4.2.2.5 Projeto do controlador de temperatura

No protótipo desenvolvido, o objetivo do controlador de temperatura deve ser, grosso modo, o de reproduzir a dinâmica de aquecimento de CR em CM. Para que os ganhos dos controladores sejam estimados, portanto, este perfil de aquecimento deve ser levantado experimentalmente. A evolução da elevação de temperatura (*i.e.*, da diferença entre a temperatura interna de CR e a ambiente), em resposta a um degrau de 75 W, obtida via medições, consta na Figura 4.23. Para que um modelo de uma função de primeira ordem seja derivado, procede-se a um ajuste (*fitting*) nesta resposta por uma função do tipo $f(t) = T_{\infty}(1 - e^{-t/\tau})$. A função ajustada também é representada na Figura 4.23. Com base neste *fitting*, a constante de tempo (τ), bem como o ganho da função de transferência do sistema (T_{∞}), podem ser calculados. Assim, vem, se H_{CR} consiste na função de transferência que modela o aquecimento em CR (incluindo a dinâmica do próprio sensor):

$$H_{CR} = \frac{T_{\infty}}{\tau s + 1} \approx \frac{57}{1594s + 1}. \quad (4.22)$$

Figura 4.23 – Variação da temperatura em CR em resposta ao degrau de potência, obtida experimentalmente e ajuste pela função $f(t) = 57(1 - e^{-t/1594})$.



Fonte: Dados da pesquisa, 2016.

Se o controlador de temperatura reproduzir esta dinâmica em CM, haverá, em decorrência, um rastreamento da temperatura de CR, inclusive em regime transitório. Para tanto, como sugere Itoh e Nigorikawa (2012), os ganhos devem ser projetados para que a constante de tempo do controlador PI, em malha fechada, se aproxime de $\tau = 1594$ s. Este critério orienta a sintonia inicial dos ganhos proporcional (k_p) e integral (k_i), que devem atender à relação aproximada:

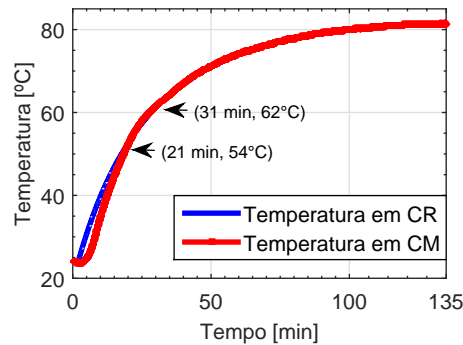
$$(1 + k_p)/k_i \approx \tau \approx 1594 \text{ s}. \quad (4.23)$$

Os ganhos $k_p = 10$ e $k_i = 0,007$ são então testados no protótipo. Nesta condição, todavia, a dinâmica em CM é mais lenta do que em CR. Como a análise anterior se baseia em simplificações do modelo do sistema em malha fechada, já se previa a necessidade de reajustes experimentais. Com o ganho k_p fixo, o ganho k_i é elevado e a resposta no sistema real é avaliada. O controle só não deve levar a sobre-elevações na resposta, já que o único recurso para resfriamento é o de redução da tensão de alimentação do resistor. Para $k_i = 0,1$, a resposta em CM segue o perfil

de aquecimento em CR – a menos de um intervalo que corresponde a uma constante de tempo τ , aproximadamente – e não há sobre-elevações. Estas dinâmicas são apresentadas na Figura 4.24. Assim, os ganhos do controlador de temperatura são atribuídos àqueles valores, repetidos a seguir:

$$k_p = 10, \quad k_i = 0, 1. \quad (4.24)$$

Figura 4.24 – Dinâmicas de aquecimento na condição em que os ganhos do controlador PI são atribuídos a $k_p = 10$ e $k_i = 0, 1$.



Fonte: Dados da pesquisa, 2016.

4.2.2.6 Calibração de potência

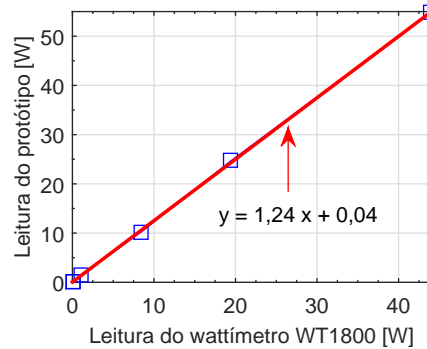
Por fim, calibram-se as leituras de potência do protótipo e do wattímetro *Yokogawa WT 1800*, suposto, aqui, como um padrão exato (*i.e.*, sem erros). Para tanto, estas leituras são comparadas e, como na seção 4.2.2.4, uma reta de calibração é ajustada entre as amostras. Novamente, o desvio padrão σ e, assim, a incerteza (arbitrada em 3σ), são estimados com base na equação (4.19). A partir dos coeficientes da reta de calibração, se aplica a correção indicada na equação (4.18) sobre as leituras do protótipo. O resultado desta calibração segue na Figura 4.25. Neste ensaio, o wattímetro e os circuitos projetados no protótipo para a leitura de potência (com divisores de tensão e com um sensor de efeito *Hall*) medem a potência dissipada por um resistor, alimentado em tensão contínua e regulada. Cada uma das leituras resultam da média de cinco leituras parciais. Como resultado desta calibração, tem-se, se x e y denotam as leituras do wattímetro e do protótipo, nesta ordem:

$$x = \left(\frac{y - 0,04}{1,24} \pm u \right) W, \quad (4.25)$$

$$u \approx 3\sigma \approx 0,7 W. \quad (4.26)$$

O erro de ganho na leitura do protótipo se atribui, sobretudo, à inexatidão do valor da resistência de medição da saída do sensor de efeito *Hall*, com tolerância de 10%. A correção de ganho e de *offset* nesta leitura, apontada neste ensaio de calibração, também é implementada no código do microcontrolador em uso.

Figura 4.25 – Resultado da calibração em potência do protótipo.



Fonte: Dados da pesquisa, 2016.

4.3 Conclusões do capítulo

Neste capítulo foram detalhadas as ferramentas implementadas para o cálculo de perdas globais na UPS de dupla conversão e os protótipos desenvolvidos para a medição destas perdas.

Estas ferramentas estimam as perdas nos semicondutores, via métodos *offline* e *online* e a potência dissipada nos indutores de filtro. O método *offline* reproduz o “pior caso” de operação dos dispositivos semicondutores e assume, nos cálculos de perdas, que a temperatura de junção equivale à máxima admissível. Já o método *online* avalia as perdas no componente para a temperatura de junção retornada pelo modelo térmico equivalente. Sendo assim, enquanto a abordagem *offline* pode subsidiar as rotinas de projeto de conversores, a *online* é indicada para as análises pós-projeto.

Já as montagens experimentais visam à medição de perdas em conversores via wattímetro digital e via calorímetro indireto série. Os detalhes dos protótipos foram detalhados neste capítulo. Os resultados experimentais destas montagens, bem como os resultados teóricos deste trabalho, são apresentados no capítulo a seguir.

5 RESULTADOS

Neste capítulo, discutem-se os resultados desta pesquisa. Inicialmente, na seção 5.1, os resultados da comparação do desempenho teórico das topologias trifásicas em estudo (dois níveis, NPC1 e NPC2) são apresentados para projetos de UPS de dupla conversão com várias especificações de tensão do barramento c.c., frequência de chaveamento e potência nominal. A viabilidade dos dispositivos de SiC em UPSs de dupla conversão é avaliada na sequência. Os resultados da comparação entre as estimativas dos métodos *online* e *offline* encerram as análises teóricas deste trabalho. Por fim, na seção 5.2, os resultados experimentais preliminares dos ensaios de medições de perdas via wattímetro e via protótipo de calorímetro indireto série são reportados.

5.1 Resultados de simulação

Nesta seção, constam as estimativas de potência dissipada nos estágios inversor e retificador das UPSs de dupla conversão, bem como nos filtros LC e LCL. Estas estimativas resultam de simulações temporais dos conversores no *software* MATLAB/Simulink. O controle do retificador e do inversor, nestas simulações, implementa os diagramas já documentados na seção 3.2.1 e 3.2.2. As perdas nos semicondutores e nos indutores de filtro são calculadas a partir das ferramentas também desenvolvidas naquele *software*, descritas na seção 4.1.1.2. O rendimento total da UPS é então estimado, com base na hipótese de que estas perdas dominam nas UPSs, como já foi discutido na seção 2.2.

5.1.1 Comparação das perdas no estágio retificador

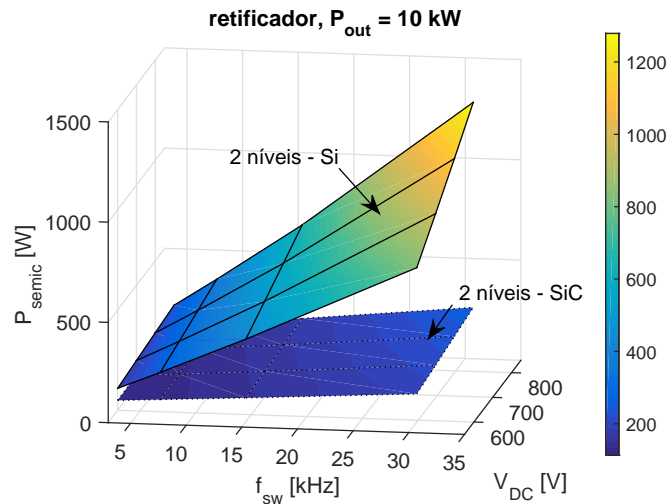
Inicialmente, comparam-se as perdas dos módulos enumerados na Tabela 3.1 no estágio retificador (inicialmente, sem o filtro LCL). A metodologia *offline* é adotada para que as perdas sejam estimadas, como se sugere nas abordagens de *projeto*. Com base nesta metodologia e na ferramenta já descrita na seção 4.1.1.2, avalia-se a potência dissipada naquele estágio para todos os projetos de UPS de dupla conversão em análise neste trabalho, com especificações detalhadas na Tabela 3.2.

Para fins de simplificação do texto, são apresentados nesta subseção apenas os resultados de perdas no retificador de UPSs: (i) com potência nominal de 10 kW , (ii) com frequência de chaveamento de $3,84\text{ kHz}$ e (iii) com tensão de barramento de 550 V . Assume-se a operação da UPS em carga nominal, em todos estes casos, com fator de potência unitário na entrada. As estimativas de perdas supõem ainda a comutação dos transistores com os valores de resistores de *gate* $R_{g(on)}$ e $R_{g(off)}$ indicados nos ensaios dos fabricantes. As resistências série parasitas,

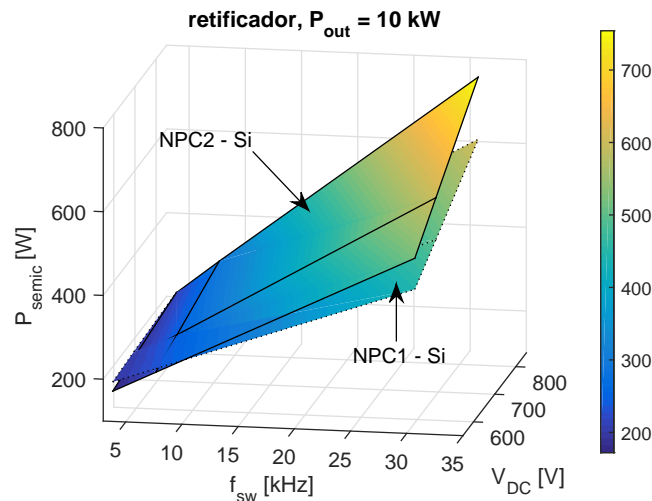
denotadas em catálogo por $R_{cc'-ee'}$ no caso de IGBTs, são incluídas no cálculo de perdas ou atribuídas a zero, quando não informadas¹.

As perdas totais nos dispositivos semicondutores, para as UPSs com potência nominal de 10 kW em topologias de dois e de três níveis, para as tensões de barramento c.c. V_{DC} e frequências de chaveamento f_{sw} da Tabela 3.2, constam nos gráficos da Figura 5.1.

Figura 5.1 – Perdas nos semicondutores P_{semic} do retificador trifásico em função da tensão do barramento V_{DC} e da frequência de chaveamento f_{sw} , para as UPSs com potência nominal P_{out} de 10 kW.



(a) Retificador em topologia $2n$, com módulos à base de silício (*FF75R12RT4*) e de carbeto de silício (*CCS050M12CM2*).



(b) Retificador em topologia NPC1 e NPC2, com os módulos *F3L75R07W2E3* e *F3L150R12W2H3B11*, respectivamente.

Fonte: Dados da pesquisa, 2016.

Como se infere destes gráficos, o retificador de dois níveis ($2n$) de SiC exibe as menores perdas dentre os módulos em estudo à potência de 10 kW, para qualquer combinação (f_{sw} , V_{DC}). Para a tensão V_{DC} em 850 V, as perdas no retificador $2n$ à base de SiC, à frequência de

¹ No caso em que o fabricante não informa o valor de $R_{cc'-ee'}$, supõe-se que esta resistência já é incluída na característica “I x V” dos dispositivos, como é prática, por exemplo, do fabricante *Semikron* (WINTRICH et al., 2015).

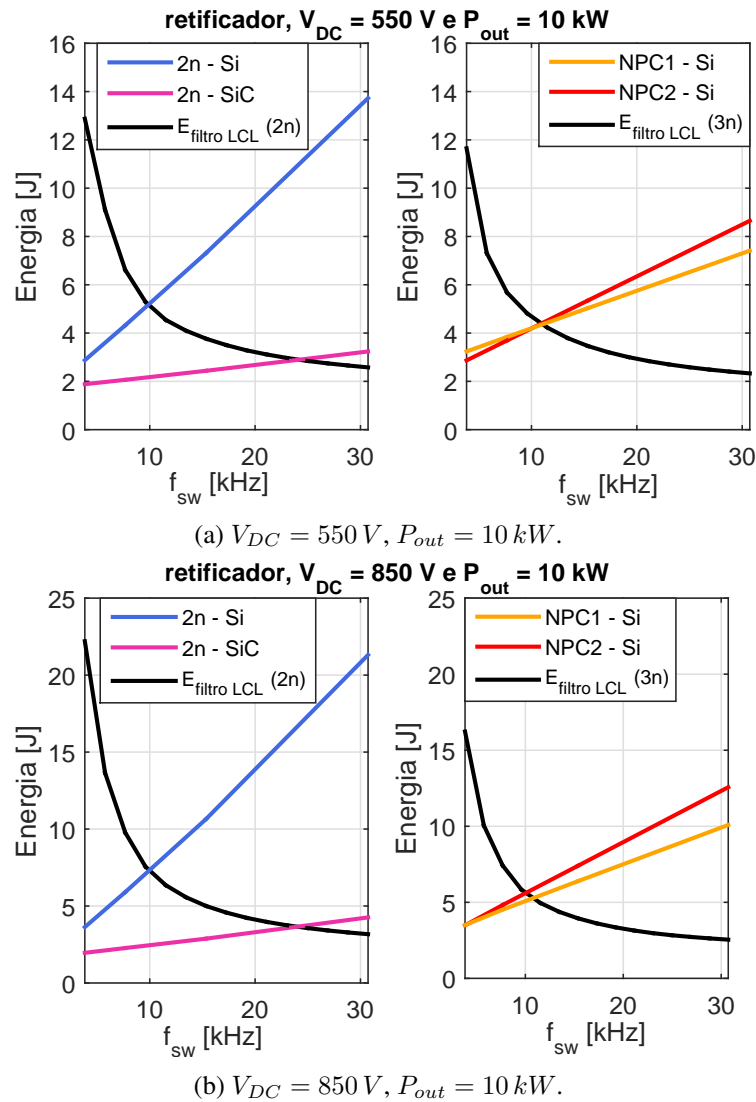
chaveamento de $30,72\text{ kHz}$, se tornam apenas 18% maiores do que naquele de mesma topologia com componentes de Si à frequência oito vezes menor ($3,84\text{ kHz}$). Se para retificadores de 10 kW àquela tensão V_{DC} e à frequência de $30,72\text{ kHz}$ as perdas nos semicondutores de SiC forem normalizadas em 1 p.u. , as perdas nos retificadores de dois níveis, NPC1 e NPC2 à base de Si valem 5 p.u. , $2,4\text{ p.u.}$ e 3 p.u. , nesta ordem. A redução das perdas nos módulos de SiC se atribui, em especial, às menores perdas de chaveamento nestes dispositivos. De fato, os diodos de SiC não dissipam, para efeitos práticos, energia no processo de recuperação reversa. Como resultado, a energia E_{on} despendida no processo de *turn-on* dos transistores é menor – até 10 vezes menor, como no caso da comparação entre os valores de E_{on} dos módulos *CCS050M12CM2* e *FF75R12RT4*. A energia de *turn-off* E_{off} dos transistores de SiC também é menor – novamente cerca de 10 vezes menor, como se depreende da comparação entre os valores nominais daqueles dois módulos. As perdas de condução, para este cenário em particular, são da mesma ordem nos retificadores de Si ou de SiC.

É provável, entretanto, que o módulo de SiC esteja sobredimensionado para os conversores em estudo. Segundo os estudos do fabricante CREE (DAS, 2013), o módulo de SiC pode substituir até um módulo de Si com corrente nominal três vezes maior. Todavia, o modelo com corrente inferior da família de módulos de SiC (*CCS020M12CM2*) leva à violação do limite térmico na junção para a UPS com o pior cenário (com f_{sw} , V_{DC} e P_{out} máximas). Por outro lado, o aumento da potência nominal dos projetos de UPS propostos também incide naquela violação para os módulos à base de silício. Ademais, a opção por outros módulos de Si com correntes superiores torna complexa a padronização das especificações dos componentes nas várias topologias ($2n$, NPC1, NPC2). Sendo assim, em virtude destas dificuldades, opta-se por prosseguir as análises com o módulo *CCS050M12CM2*.

Dentre as topologias três níveis ($3n$), as perdas do arranjo NPC2 superam as do NPC1 em todos os projetos de UPS de 10 kW , com exceção daqueles com valores de f_{sw} e V_{DC} menores, em que há uma inversão neste padrão. Para que esta inversão seja explicitada, os gráficos da Figura 5.2 indicam apenas as UPSs de 10 kW com V_{DC} de 550 V e de 850 V . Nestes gráficos, a energia E_{dissip} dissipada nos semicondutores é contraposta ainda com a energia E_{filtro} armazenada no filtro LCL de entrada da UPS. Como a energia armazenada no filtro é uma figura de mérito do volume e dos custos dos indutores e dos capacitores, uma meta no projeto de UPSs pode ser a de minimizar a soma de E_{filtro} e E_{dissip} . De fato, o aumento de E_{dissip} não só incide na redução de rendimento do conversor, como também eleva os custos e a complexidade do sistema de refrigeração (dissipador e ventilador). Sendo assim, a frequência de chaveamento “ótima”, sob este critério, fica definida pela interseção entre as curvas de E_{dissip} e E_{filtro} , para cada topologia².

² As funções que definem a dependência de E_{dissip} e E_{filtro} em relação à frequência de chaveamento x são do tipo $f_1(x) = ax$ e $f_2(x) = b/x$, nesta ordem. Sendo assim, o mínimo de $f_3(x) = f_1(x) + f_2(x)$ ocorre na abscissa que anula a derivada primeira de $f_3(x)$, i.e., $x = \sqrt{(b/a)}$. Como esta é a abscissa do ponto de interseção entre as curvas, a frequência de chaveamento “ótima” recai, de fato, sobre este ponto.

Figura 5.2 – Energia dissipada nos semicondutores do retificador trifásico e armazenada no filtro LCL de entrada em função da frequência de chaveamento f_{sw} , para as UPSs de potência nominal P_{out} de 10 kW em topologias de dois níveis (2n) e de três níveis (3n).



Nota: Retificador 2n com módulos de silício (FF75R12RT4) e de carbeto de silício (CCS050M12CM2) e em arranjo NPC1 e NPC2, com os módulos F3L75R07W2E3 e F3L150R12W2H3B11.

Fonte: Dados da pesquisa, 2016.

Nos gráficos da Figura 5.2, nota-se que aquela inversão de desempenho entre as topologias NPC1 e NPC2 ocorre para V_{DC} de 550 V, na frequência de chaveamento aproximada em 10 kHz. Para UPSs com esta tensão de barramento c.c., portanto, o retificador em arranjo NPC2 se torna mais viável apenas para conversores com valores de f_{sw} menores do que 10 kHz. Para a tensão V_{DC} de 850 V, todavia, o retificador em NPC2 é menos viável para toda a faixa de frequências avaliada. Disso decorre a hipótese de que a topologia NPC2 só supera o desempenho da NPC1 para os cenários em que as perdas de condução são relevantes, comparativamente às de chaveamento.

Quanto aos valores de energia nos filtros, nota-se na Figura 5.2 que apesar da redução do

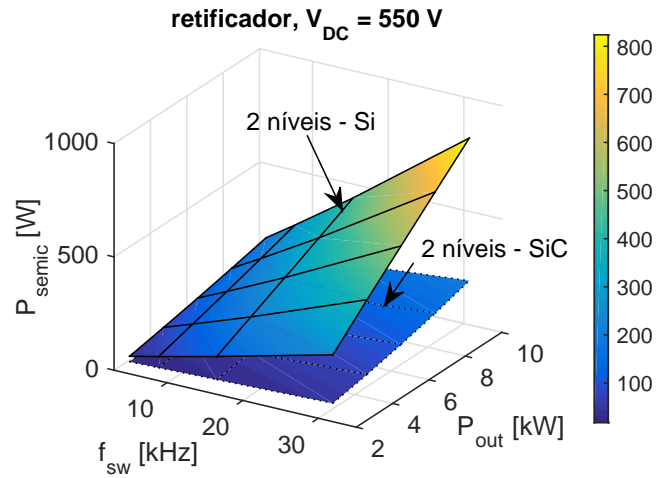
ripple de tensão nas topologias $3n$, as energias nos filtros podem ser comparáveis nos arranjos $2n$ e $3n$. Isso se deve aos critérios de dimensionamento dos filtros adotados neste trabalho, que impõem indutâncias totais equivalentes nestes dois arranjos para que a especificação de rigidez dinâmica mínima seja atendida. Ademais, o capacitor do filtro, independentemente da topologia, é fixado numa fração fixa da capacitância base do sistema, para fins de redução da indutância total. Estes critérios, portanto, justificam os resultados obtidos para as energias armazenadas nos filtros LCL dos conversores $2n$ e $3n$.

Ainda com base nos gráficos da Figura 5.2, infere-se que enquanto a frequência de chaveamento “ótima” – quanto ao critério de minimização da soma de E_{dissip} e E_{filtro} – é da ordem de 10 kHz nos retificadores à base de Si, no conversor de SiC esta frequência atinge cerca de 25 kHz . Como a operação à esta frequência mitiga o ruído audível, o uso de dispositivos de SiC também introduz, pois, este ganho.

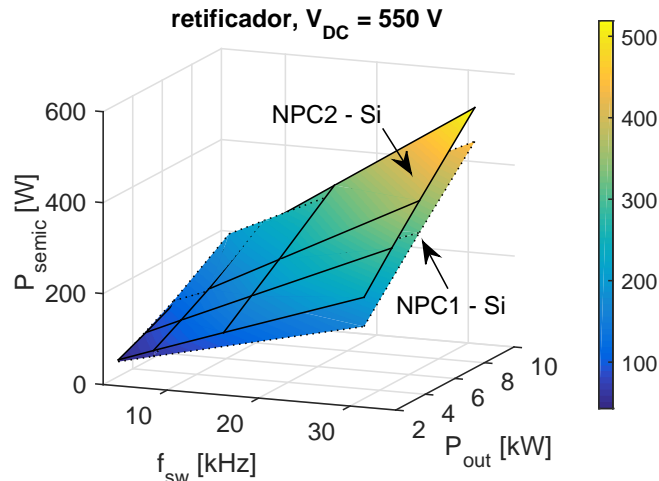
Na sequência, comparam-se, nos gráficos da Figura 5.3, as perdas nos semicondutores para as UPSs com V_{DC} de 550 V . Novamente, os resultados para as topologias $2n$ e $3n$ são apresentados. Esta nova comparação pretende avaliar em que faixa de operação a topologia NPC2 supera a NPC1 e as topologias $3n$ se mostram mais viáveis do que as $2n$.

Também para as UPSs com V_{DC} de 550 V , analisadas na Figura 5.3, o desempenho dos módulos de SiC suplanta o de todos os outros módulos, em toda a faixa de valores de f_{sw} e de potências nominais P_{out} . Apenas para P_{out} e f_{sw} menores o uso do módulo de SiC não se justifica, por prover ganhos menores em rendimento. Para potências de $2,5\text{ kW}$, frequência de chaveamento de $3,84\text{ kHz}$ e V_{DC} em 550 V , a normalização das perdas do módulo de SiC em 1 pu leva, proporcionalmente, perdas de $2,3\text{ p.u.}$, $2,4\text{ p.u.}$ e $2,6\text{ p.u.}$ nos módulos à base de silício em arranjo $2n$, NPC1 e NPC2, respectivamente. Ademais, para esta tensão de barramento c.c. e esta frequência de chaveamento, as perdas nas topologias $2n$ são menores do que nas $3n$, em toda a faixa de potências nominais P_{out} . Sendo assim, também se infere deste resultado que as topologias $3n$ só introduzem ganhos em aplicações em que as perdas de chaveamento sejam mais relevantes.

Figura 5.3 – Perdas nos semicondutores P_{semic} do retificador trifásico em função da potência nominal P_{out} e da frequência de chaveamento f_{sw} , para as UPSs com tensão no barramento c.c. V_{DC} de 550 V.



(a) Retificador em topologia $2n$, com módulos à base de silício (*FF75R12RT4*) e de carbeto de silício (*CCS050M12CM2*).

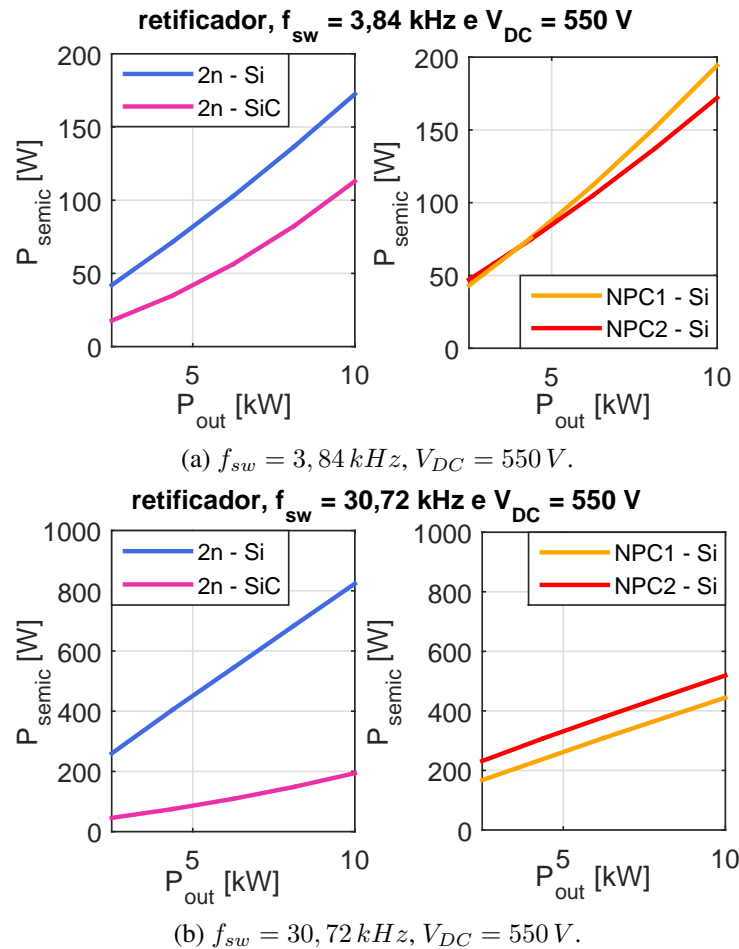


(b) Retificador em topologia NPC1 e NPC2, com os módulos *F3L75R07W2E3* e *F3L150R12W2H3B11*, respectivamente.

Fonte: Dados da pesquisa, 2016.

Como no caso da comparação entre UPSs de mesma potência nominal, a inspeção das perdas em UPSs de mesma tensão V_{DC} , indicadas na Figura 5.3, também revela uma inversão de desempenho entre as topologias NPC1 e NPC2. Para que as condições que penalizam estas topologias sejam avaliadas, os gráficos da Figura 5.4 apresentam apenas as perdas nos semicondutores das UPSs de V_{DC} de 550 V com frequências de chaveamento de 3,84 kHz e 30,72 kHz.

Figura 5.4 – Perdas nos semicondutores P_{semic} do retificador trifásico em função da potência de saída P_{out} , para as UPSs com tensão no barramento c.c. V_{DC} de 550 V.



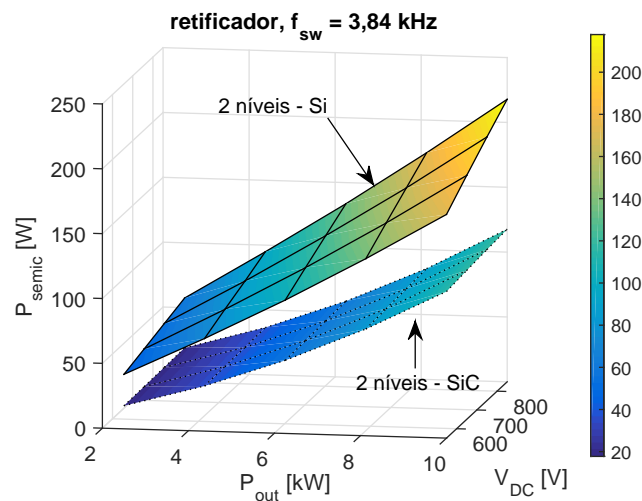
Nota: Retificador $2n$ com módulos de silício (*FF75R12RT4*) e de carbeto de silício (*CCS050M12CM2*) e em arranjo NPC1 e NPC2, com os módulos *F3L75R07W2E3* e *F3L150R12W2H3B11*.

Fonte: Dados da pesquisa, 2016.

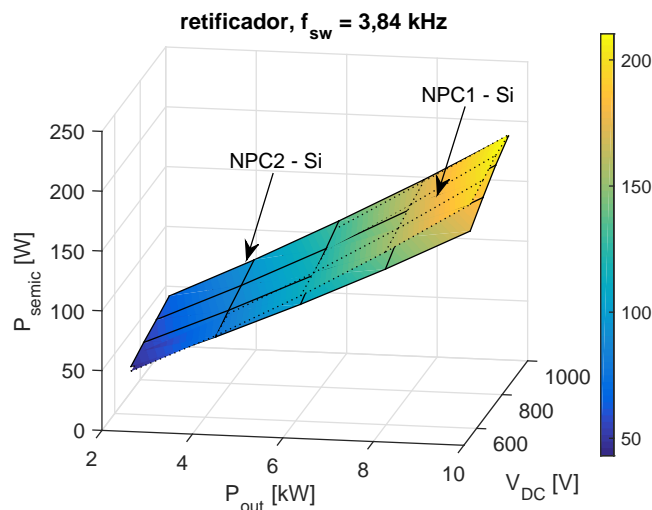
Para os retificadores com frequência de chaveamento de $3,84 \text{ kHz}$, com perdas totais dadas na Figura 5.4(a), a topologia NPC2 exhibe perdas menores do que a NPC1 apenas para potências maiores do que $4,5 \text{ kW}$. Para as UPSs com f_{sw} de $30,72 \text{ kHz}$, todavia, o arranjo NPC2 leva a perdas 14% maiores, como indica a Figura 5.4(b). Estes resultados, portanto, atestam a hipótese de que o desempenho das topologias NPC1 e NPC2 depende da proporção entre as perdas de chaveamento e de condução do conversor. Os gráficos da Figura 5.4 também evidenciam que esta proporção define ainda as faixas em que as topologias de Si $3n$ dissipam potências menores do que as de $2n$, também de Si.

Por fim, a comparação entre projetos de UPS à frequência de chaveamento de $3,84 \text{ kHz}$ também demonstra a validade destas hipóteses. Prevê-se que os retificadores das UPSs com esta frequência f_{sw} exibam as menores perdas por comutação, dentre os projetos em análise. Os resultados das estimativas de perdas nos semicondutores para estas UPSs constam na Figura 5.5.

Figura 5.5 – Perdas nos semicondutores P_{semic} do retificador trifásico em função da potência de saída P_{out} e da tensão do barramento V_{DC} , para as UPSs com frequência de chaveamento f_{sw} de 3,84 kHz.



(a) Retificador em topologia $2n$, com módulos à base de silício (*FF75R12RT4*) e de carbeto de silício (*CCS050M12CM2*).



(b) Retificador em topologia NPC1 e NPC2, com os módulos *F3L75R07W2E3* e *F3L150R12W2H3B11*, respectivamente.

Fonte: Dados da pesquisa, 2016.

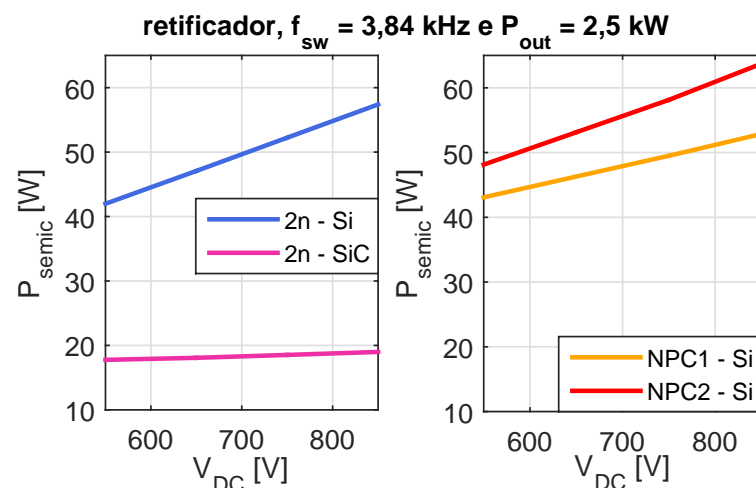
Como se deduz dos resultados da Figura 5.5, a topologia NPC2 só incorre em perdas menores do que a NPC1 quando a potência nominal é maior do que 4,5 kW – resultado já indicado na Figura 5.4, para a tensão V_{DC} em 550 V. Para os casos da Figura 5.5, as perdas associadas aos retificadores $2n$ e $3n$ à base de Si são comparáveis.

Os gráficos da Figura 5.6 particularizam a análise das UPSs com frequência de chaveamento de 3,84 kHz para os casos com potências mínima (2,5 kW) e máxima (10 kW). Para este primeiro grupo de UPSs, os módulos $2n$ exibem menores perdas e a topologia NPC1 supera o desempenho da NPC2, para qualquer tensão V_{DC} . Já naquele segundo grupo, em oposição, as perdas da NPC1 suplantam as da NPC2 e o arranjo $2n$ de silício só é mais viável do que os $3n$ para tensões V_{DC} menores do que 750 V. O ganho em rendimento que o NPC2 provê, neste

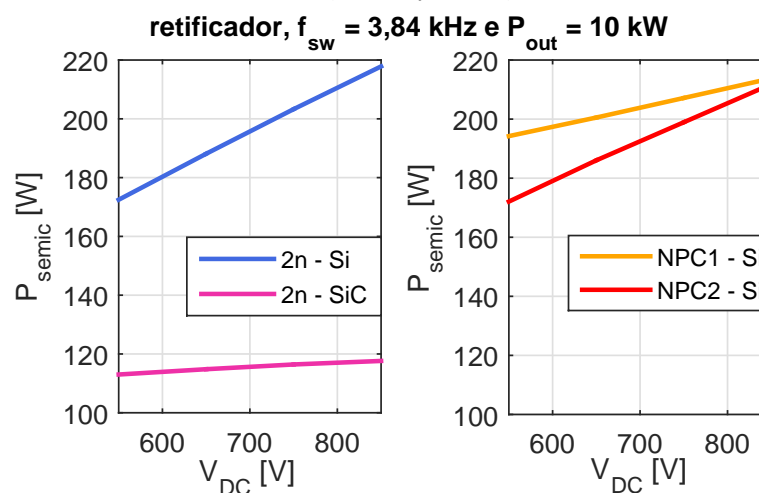
segundo grupo, se torna menor à medida que a tensão do barramento c.c. se eleva, como indica o gráfico da Figura 5.6(b).

Em suma, portanto, o desempenho dos módulos de silício em topologias $2n$ e NPC2 varia com o nível de tensão V_{DC} . Ora, como as perdas de condução são quase invariáveis com esta tensão, conclui-se, mais uma vez, que o aumento percentual das perdas de chaveamento tende a penalizar as topologias $2n$ e NPC2. Este aumento, por outro lado, privilegia a seleção pelo módulo de SiC e pelo arranjo NPC1. Ainda para as UPSs com tensões V_{DC} de 550 V e frequências de chaveamento de 3,84 kHz, entretanto, os módulos de SiC dissipam potências inferiores.

Figura 5.6 – Perdas nos semicondutores P_{semic} do retificador trifásico em função da tensão do barramento V_{DC} , para as UPSs com frequência de chaveamento f_{sw} de 3,84 kHz.



(a) $P_{out} = 2,5$ kW, $f_{sw} = 3,84$ kHz.



(b) $P_{out} = 10$ kW, $f_{sw} = 3,84$ kHz.

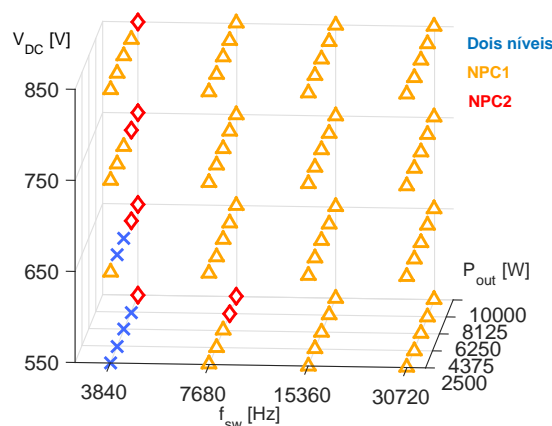
Nota: Retificador $2n$ com módulos de silício (FF75R12RT4) e de carbeto de silício (CCS050M12CM2) e em arranjo NPC1 e NPC2, com os módulos F3L75R07W2E3 e F3L150R12W2H3B11.

Fonte: Dados da pesquisa, 2016.

O gráfico da Figura 5.7 condensa os resultados da comparação entre os módulos com

componentes de silício em topologias de dois níveis, NPC1 e NPC2. Neste gráfico, são indicadas as topologias que levam a menores perdas no retificador de cada um dos oitenta projetos de UPSs de dupla conversão em estudo, representados como na Figura 3.5. Assim, como já se infere das análises anteriores, a topologia NPC1 só não suplanta as outras topologias em alguns dos cenários com as duas menores frequências de chaveamento. O arranjo NPC2 domina apenas em alguns projetos com estas frequências e potências nominais maiores ou iguais a 8,125 kW. Já o $2n$ se revela viável à f_{sw} de 3,84 kHz para a maioria dos casos com tensões V_{DC} menores do que 700 V e potência nominal menor do que 8,125 kW.

Figura 5.7 – Representação gráfica das UPSs simuladas, com a indicação das topologias com módulos de silício com menores perdas no estágio retificador.



Nota: As topologias de dois níveis, NPC1 e NPC2 são representadas por marcadores com a convenção de cor da legenda.

Fonte: Dados da pesquisa, 2016.

Para avaliar os cenários em que cada uma das topologias exibe o melhor desempenho, constam, na Tabela 5.1, as perdas de condução e de chaveamento totais no estágio retificador de três projetos de UPS. Em cada um deles, uma topologia distinta, destacada na tabela, exibe as menores perdas.

Como atestam os dados da Tabela 5.1, as perdas de condução são menores na topologia $2n$, em virtude do menor número de chaves em série. Pela mesma razão, as perdas de condução no arranjo NPC2 são inferiores às do NPC1. Como também já se previa, as perdas de chaveamento são menores no NPC1, em que as chaves comutam de estado apenas com a metade da tensão do barramento c.c. V_{DC} e máximas na topologia $2n$, em que estas bloqueiam a tensão V_{DC} plena.

Mesmo nos cenários em que a topologia NPC1 não suplanta as demais (cenários 1 e 2), o ganho que advém da seleção por outros arranjos atinge no máximo 10%. Por outro lado, no caso em que o NPC1 introduz as menores perdas (cenário 3), as perdas nos módulos $2n$ e NPC2 são 111% e 25% maiores, nesta ordem.

Ademais, os dados da Tabela 5.1 demonstram a hipótese de que o arranjo NPC1 exibe o melhor desempenho apenas nos cenários em que dominam as perdas de chaveamento. No cenário em que estas perdas se tornam maiores do que 70% (cenário 3), o rendimento do estágio

retificador em NPC1 supera o dos demais. Em outras palavras, nos casos em que as perdas de condução somam no mínimo 30 % das totais (cenários 1 e 2), as topologias $2n$ e NPC2 se tornam mais viáveis. Entretanto, as proporções que favorecem cada uma destas topologias, nos cenários em análise, não devem ser assumidas como critério de seleção em outras condições de operação.

Tabela 5.1 – Comparação das potências dissipadas nos módulos à base de silício em três cenários, para o modo de operação como retificador.

Cenário 1 – $f_{sw} = 3,84 \text{ kHz}$, $V_{DC} = 550 \text{ V}$, $P_{out} = 2,5 \text{ kW}$				
Módulo	Tipo	Perdas de condução	Perdas de chaveamento	Perdas totais
FF75R12RT4	2 níveis/ Si	13,8 W/33,0 %	28,2 W/67,0 %	42,0 W (1,00 p.u.)
F3L75R07W2E3B11	NPC1/ Si	26,1 W/60,4 %	17,0 W/39,6 %	43,1 W (1,03 p.u.)
F3L150R12W2H3B11	NPC2/ Si	20,6 W/43,7 %	26,5 W/56,3 %	47,1 W (1,12 p.u.)
Cenário 2 – $f_{sw} = 3,84 \text{ kHz}$, $V_{DC} = 850 \text{ V}$, $P_{out} = 10 \text{ kW}$				
Módulo	Tipo	Perdas de condução	Perdas de chaveamento	Perdas totais
FF75R12RT4	2 níveis/ Si	91,1 W/41,8 %	126,7 W/58,2 %	217,8 W (1,04 p.u.)
F3L75R07W2E3B11	NPC1/ Si	159,1 W/75,6 %	51,2 W/24,4 %	210,3 W (1,01 p.u.)
F3L150R12W2H3B11	NPC2/ Si	132,9 W/63,5 %	76,3 W/36,5 %	209,2 W (1,00 p.u.)
Cenário 3 – $f_{sw} = 30,72 \text{ kHz}$, $V_{DC} = 850 \text{ V}$, $P_{out} = 10 \text{ kW}$				
Módulo	Tipo	Perdas de condução	Perdas de chaveamento	Perdas totais
FF75R12RT4	2 níveis/ Si	110,3 W/8,7 %	1168,5 W/91,3 %	1278,8 W (2,11 p.u.)
F3L75R07W2E3B11	NPC1/ Si	163,7 W/27,1 %	441,5 W/72,9 %	605,2 W (1,00 p.u.)
F3L150R12W2H3B11	NPC2/ Si	135,8 W/18,0 %	618,3 W/82,0 %	754,1 W (1,25 p.u.)

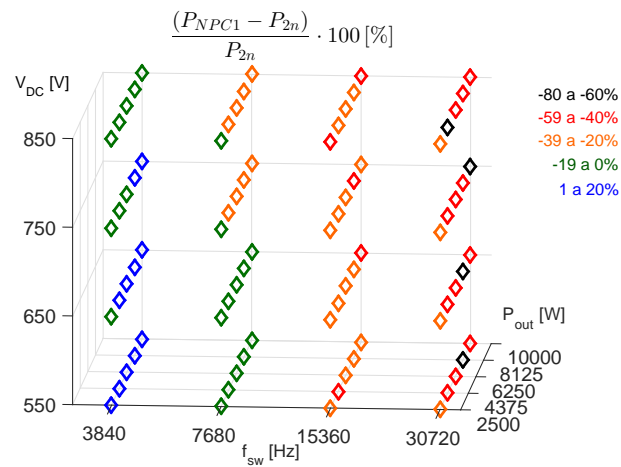
Nota: As perdas na topologia com melhor desempenho, destacadas em verde, são normalizadas em 1 p.u..

Para quantificar o ganho associado à topologia NPC1 em todos os cenários, as Figuras 5.8 e 5.9 indicam a diferença entre as perdas neste módulo e naqueles em arranjo $2n$ e NPC2, também à base de silício. Assim, se a opção pelo NPC1 levar a uma redução (aumento) das perdas, aquela diferença é representada com sinal negativo (positivo). Por exemplo, se a potência dissipada no módulo $2n$ de silício vale 1,0 p.u. e a do NPC1, 0,8 p.u., o gráfico da Figura 5.8 indica, para esta condição, a diferença de -20% . O mesmo se aplica à comparação entre o NPC1 e o NPC2, dada na Figura 5.9.

Os resultados da Figura 5.8 demonstram que a redução na potência dissipada no estágio retificador, introduzida pela substituição da topologia $2n$ pela NPC1, é maior do que 20 % na maior parte dos casos. Esta redução pode atingir até 70 %, em alguns dos projetos com frequência de chaveamento de 30,72 kHz e potências nominais de 8,125 kW e 10 kW.

Por outro lado, a redução das perdas que decorre da substituição do arranjo NPC2 pelo NPC1 é maior do que 15 % na maior parte dos cenários. Esta redução é de até 50 %, em alguns dos casos com frequências de chaveamento de 30,72 kHz.

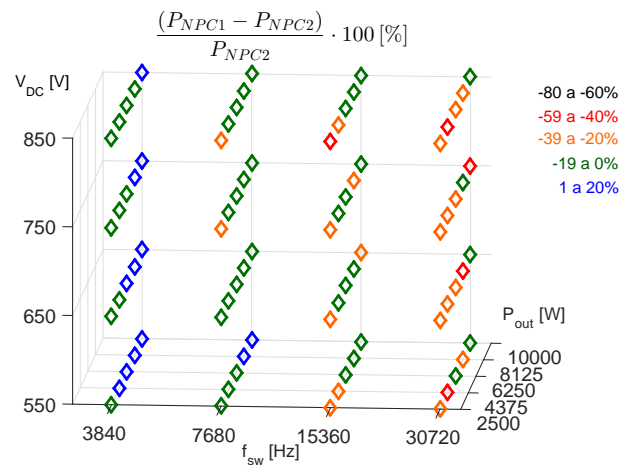
Figura 5.8 – Diferença percentual entre as perdas no retificador em topologias NPC1 e 2n, com módulos à base de silício.



Nota: A diferença percentual $(P_{NPC1} - P_{2n})/P_{2n}$ é representada segundo a convenção da legenda.

Fonte: Dados da pesquisa, 2016.

Figura 5.9 – Diferença percentual entre as perdas no retificador em topologias NPC1 e NPC2, com módulos à base de silício.



Nota: A diferença percentual $(P_{NPC1} - P_{NPC2})/P_{NPC2}$ é representada segundo a convenção da legenda.

Fonte: Dados da pesquisa, 2016.

Os ganhos que resultam da seleção da topologia NPC1, todavia, podem ser menores para outras especificações de UPS. Portanto, as análises aqui conduzidas devem ser repetidas para cada especificação, já que não há regras fixas que definam a viabilidade de cada topologia. A ferramenta implementada neste trabalho para o cálculo de perdas, contudo, pode reduzir o esforço do projetista nestas análises.

A comparação entre o desempenho dos módulos à base de silício e de carbeto de silício, aqui omitida, é apresentada na seção 5.1.5.

5.1.2 Comparação das perdas no estágio inversor

Nesta seção, repetem-se as análises da seção anterior para o estágio inversor da UPS de dupla conversão, sem o filtro LC. Assim, as perdas neste estágio para cada um dos módulos enumerados na Tabela 3.1 são comparadas, para cada projeto de UPS com especificações dadas na Tabela 3.2. As suposições quanto aos valores dos resistores de *gate* e das resistências parasitas dos módulos, já discutidas na seção 5.1.1, são também presumidas aqui. A carga, com potência nominal, é suposta resistiva pura (*i.e.*, com fator de potência unitário)³ em todos os cenários.

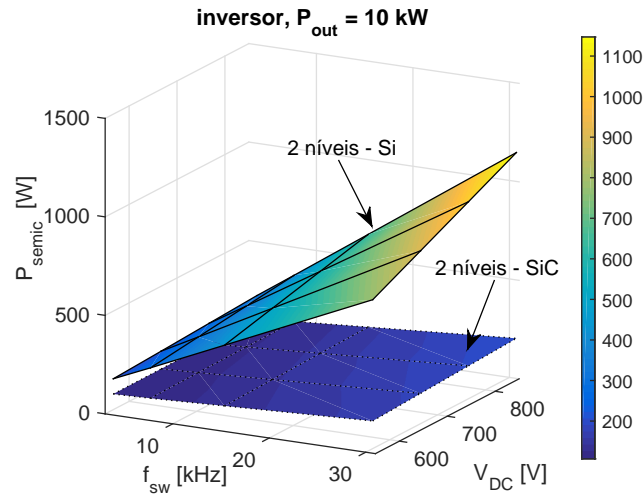
A comparação das potências dissipadas no estágio inversor das UPSs de potência nominal P_{out} de 10 kW consta na Figura 5.10, para as topologias de dois níveis ($2n$), NPC1 e NPC2. Como se infere dos resultados desta figura, as perdas no inversor $2n$ de carbeto de silício são inferiores às das outras variações, para qualquer especificação de frequência de chaveamento f_{sw} e tensão de barramento c.c. V_{DC} . Para aquela potência nominal, o aumento de oito vezes na frequência de chaveamento f_{sw} no inversor $2n$ de SiC leva a perdas ainda 11 % menores do que no inversor $2n$ de Si.

Deste modo, para a operação como inversor, se a potência dissipada no inversor à base de SiC for normalizada em 1,0 p.u. na condição em que f_{sw} , V_{DC} e P_{out} valem 30,72 kHz, 850 V e 10 kW, as perdas nos inversores $2n$, NPC1 e NPC2 com módulos de silício atingem 5,6 p.u., 2,3 p.u. e 4,8 p.u., nesta ordem. Sendo assim, em comparação com os resultados para o retificador – em que aqueles valores eram de 5 p.u., 2,4 p.u. e 3 p.u. respectivamente, nota-se que o ganho introduzido pelo módulo de SiC é ainda maior no estágio inversor.

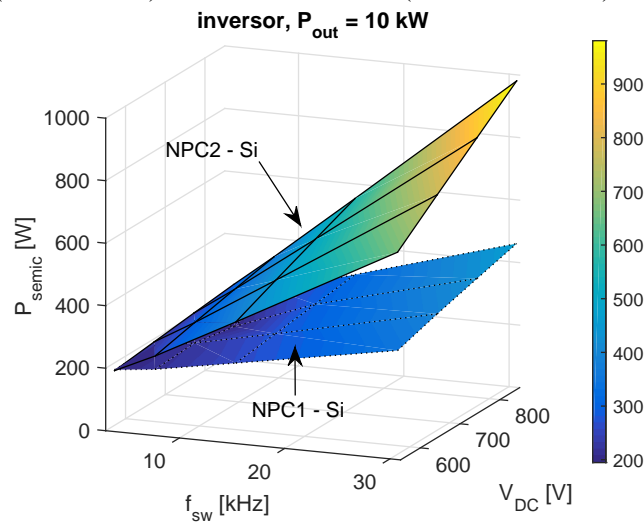
Cabe reiterar que é provável que o módulo de SiC *CCS050M12CM2* esteja sobredimensionado para os projetos de UPSs em análise. As dificuldades que advêm da especificação de módulos à base de SiC com corrente nominal inferior ou ainda, do aumento da potência destes projetos de UPSs (aliada à substituição dos módulos de Si por outros com capacidade de corrente maior), já foram relatadas na seção anterior. Em razão destas dificuldades, opta-se por conduzir as análises comparativas deste trabalho com o módulo *CCS050M12CM2*, como já foi comentado na seção anterior.

³ Cenários com fatores de potência atrasados e adiantados foram também simulados. As diferenças entre o caso com carga resistiva e com cargas com potência reativa de no máximo 60% da aparente não excedem 15%. Sendo assim, supõe-se que a opção por fatores de potência não-unitários não altere substancialmente os resultados da comparação de UPSs conduzida neste trabalho.

Figura 5.10 – Perdas nos semicondutores P_{semic} do inversor trifásico em função da frequência de chaveamento f_{sw} e da tensão de barramento V_{DC} , para as UPSs com potência de saída P_{out} de 10 kW.



(a) Inversor em topologia $2n$, com módulos à base de silício (FF75R12RT4) e de carbeto de silício (CCS050M12CM2).

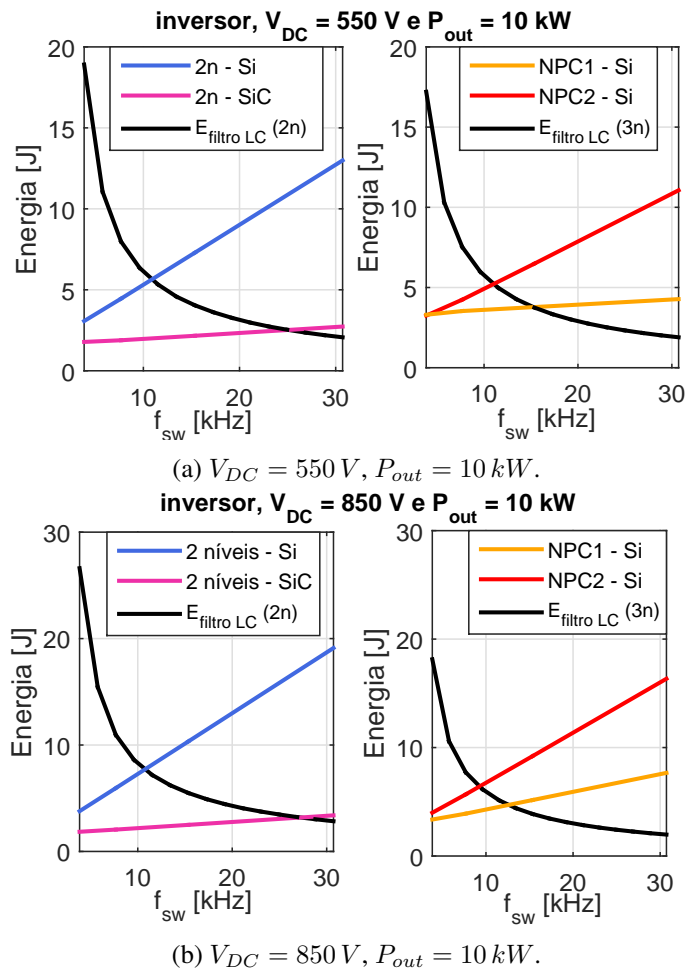


(b) Inversor em topologia NPC1 e NPC2, com os módulos F3L75R07W2E3 e F3L150R12W2H3B11, respectivamente.

Fonte: Dados da pesquisa, 2016.

Na Figura 5.11, particulariza-se a comparação da Figura 5.10 para os projetos de UPSs com tensões V_{DC} de 550 V e 850 V. Para estes casos, a energia dissipada nos semicondutores E_{dissip} é contraposta, como na seção anterior, com a energia armazenada E_{filtro} nos componentes passivos do filtro LC de saída do inversor. A frequência de chaveamento que otimiza o compromisso entre o volume/custo dos elementos do filtro e o rendimento do conversor recai, grosso modo, no ponto de interseção entre as curvas de E_{dissip} e E_{filtro} . Esta hipótese já foi justificada na seção anterior.

Figura 5.11 – Energia dissipada nos semicondutores do inversor trifásico e armazenada no filtro LC de saída em função da frequência de chaveamento f_{sw} , para as UPSs com potência nominal de 10 kW.



Nota: Inversor 2n com módulos de silício (FF75R12RT4) e de carbeto de silício (CCS050M12CM2) e em arranjo NPC1 e NPC2, com os módulos F3L75R07W2E3 e F3L150R12W2H3B11.

Fonte: Dados da pesquisa, 2016.

Como se infere da Figura 5.11, enquanto esta frequência “ótima” é de cerca de 10 kHz para as topologias de silício 2n e NPC2, para a NPC1 e para a 2n à base de SiC estas frequências atingem cerca de 13 kHz e 25 kHz, nesta ordem. Mais uma vez, portanto, a opção pelo módulo de SiC pode permitir a operação a uma frequência de chaveamento que otimiza o compromisso entre volume do filtro e rendimento do conversor e ainda atenua substancialmente o ruído audível.

Cabe ainda uma comparação entre as energias armazenadas nos filtros LC das topologias 2n e 3n. Na fase de dimensionamento do filtro LC, abordada na seção 3.3.2, impõem-se restrições na frequência de corte e, assim, no produto LC . Deste modo, as topologias 3n tendem a definir especificações de indutâncias L duas vezes menores e capacitâncias C duas vezes maiores do que no arranjo 2n. Como resultado, as energias armazenadas no capacitor E_C e no indutor E_L seguem aquelas proporções, aproximadamente. Sendo assim, as topologias 3n levam a energias E_{filtro} menores nos cenários em que o critério de ripple de corrente determina um valor de

E_L muito superior à E_C . A Tabela 5.2 compara estas energias, obtidas via simulação, para três cenários. As proporções de cada parcela de energia no valor total também são indicadas nesta tabela.

Tabela 5.2 – Comparação das topologias de dois níveis e de três níveis quanto à energia armazenada no filtro.

Cenário 1 – $f_{sw} = 3,84 \text{ kHz}$, $V_{DC} = 550 \text{ V}$, $P_{out} = 10 \text{ kW}$			
Topologia	Energia no indutor	Energia no capacitor	Energia total no filtro
2 níveis	14,0 J/74,0 %	4,9 J/26 %	18,9 J (1,0 p.u.)
3 níveis	7,8 J/45,3 %	9,4 J/54,7 %	17,2 J (0,9 p.u.)
Cenário 2 – $f_{sw} = 3,84 \text{ kHz}$, $V_{DC} = 850 \text{ V}$, $P_{out} = 10 \text{ kW}$			
Topologia	Energia no indutor	Energia no capacitor	Energia total no filtro
2 níveis	23,3 J/87,4 %	3,4 J/12,6 %	26,7 J (1,0 p.u.)
3 níveis	11,8 J/65,2 %	6,3 J/34,8 %	18,1 J (0,7 p.u.)
Cenário 3 – $f_{sw} = 30,72 \text{ kHz}$, $V_{DC} = 850 \text{ V}$, $P_{out} = 10 \text{ kW}$			
Topologia	Energia no indutor	Energia no capacitor	Energia total no filtro
2 níveis	2,5 J/87,0 %	0,4 J/13,0 %	2,9 J (1,0 p.u.)
3 níveis	1,3 J/64,2 %	0,7 J/35,8 %	2,0 J (0,7 p.u.)

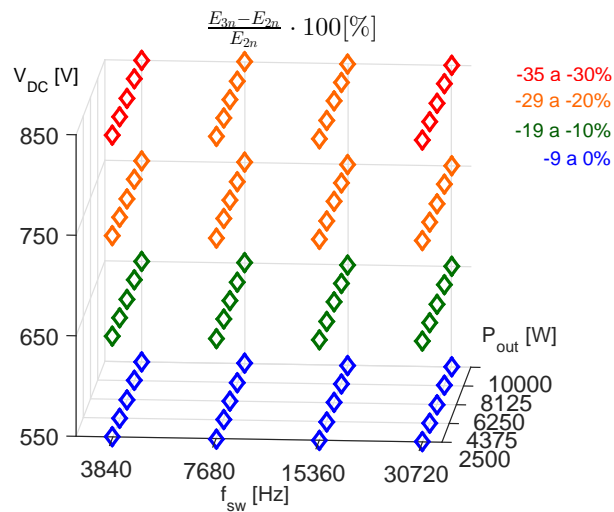
Nota: A energia armazenada no filtro na topologia $2n$ é normalizada em 1 p.u. e as energias no capacitor e no indutor são também informadas em valores percentuais da energia total do filtro.

No primeiro cenário da Tabela 5.2, com o projeto de UPS com potência de 10 kW e com tensão V_{DC} e frequência f_{sw} mínimas (550 V e 3,84 kHz), a energia total do filtro calculada para as topologias $3n$ é apenas 10 % menor do que nas $2n$. Com o aumento da tensão do barramento c.c. para o valor máximo (de 850 V), aquela diferença de energias passa a ser de 30 % (cenário 2). Se a frequência de chaveamento for elevada para 30,72 kHz, neste último cenário, esta diferença se mantém em 30 % (cenário 3). Assim, de modo geral, o aumento da fração de energia armazenada no indutor tende a favorecer a topologia $3n$, sob este critério.

A Figura 5.12 ilustra as faixas em que situam estas diferenças de energia armazenada nos filtros das topologias $2n$ (E_{2n}) e $3n$ (E_{3n}), para cada projeto de UPS em estudo. Nesta figura, nota-se que a energia do filtro E_{3n} é até 35 % menor do que E_{2n} , para as UPSs analisadas. Apenas para os projetos com tensão menor ou igual a 650 V esta diferença é menor do que 20 %.

De qualquer modo, como uma decisão de projeto pode ser a de minimizar a indutância do filtro para fins de redução do custo, as topologias $3n$ podem ser preferidas em relação às $2n$, mesmo no caso em que as energias totais do filtro sejam da mesma ordem. Em todos os projetos, a energia no indutor dos filtros das topologias $2n$ é reduzida em 50 %, em comparação com as $2n$, como também se nota por inspeção dos dados da Tabela 5.2.

Figura 5.12 – Comparação entre as energias armazenadas nos filtros das topologias de dois níveis (E_{2n}) e três níveis (E_{3n}).



Nota: A diferença percentual $(E_{3n} - E_{2n})/E_{2n}$ é representada segundo a convenção da legenda.

Fonte: Dados da pesquisa, 2016.

Novamente, prevê-se que o desempenho quanto ao rendimento de cada um dos módulos em estudo dependa da proporção entre as perdas de condução e de chaveamento. Como esta proporção varia em cada um dos modos de operação do conversor (inversor ou retificador), as análises já conduzidas na seção anterior devem ser repetidas aqui. Para fins de simplificação do texto, apenas os resultados da comparação de UPSs com frequência de chaveamento f_{sw} de $3,84\text{ kHz}$ são apresentados nesta seção. Na Figura 5.13 constam as perdas nos semicondutores no estágio inversor das UPSs com esta frequência f_{sw} , para várias especificações de tensão do barramento c.c. V_{DC} e potência nominal P_{out} .

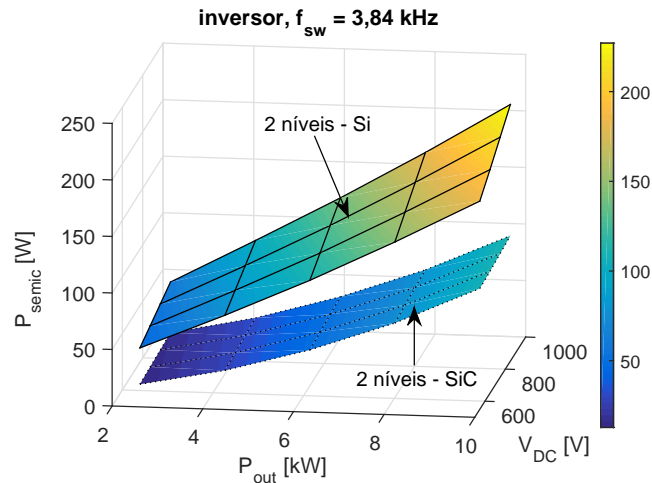
Como no caso da operação como retificador, as perdas nos módulos de silício no inversor $2n$ e $3n$ são comparáveis para os projetos com frequência f_{sw} de $3,84\text{ kHz}$. O módulo de SiC, mais uma vez, suplanta o desempenho de todos os outros módulos, para qualquer especificação de P_{out} e V_{DC} . Todavia, o ganho associado à seleção destes módulos se torna menor com a redução da tensão do barramento e da potência nominal, como se induz dos resultados da Figura 5.13.

Se a potência dissipada no componente de SiC for atribuída a 1 p.u. para a UPS com tensão V_{DC} de 550 V , P_{out} de $2,5\text{ kW}$ e f_{sw} de $3,84\text{ kHz}$, as perdas nos módulos de silício nos inversores $2n$, NPC1 e NPC2 valem $3,5\text{ p.u.}$, $2,9\text{ p.u.}$ e $4,0\text{ p.u.}$, nesta ordem. No estágio retificador, estas perdas eram de $2,3\text{ p.u.}$, $2,4\text{ p.u.}$ e $2,6\text{ p.u.}$, respectivamente, nesta mesma condição. A diferença entre estes valores nos dois modos de operação novamente indica que o ganho de rendimento do módulo de SiC é ainda maior no estágio inversor.

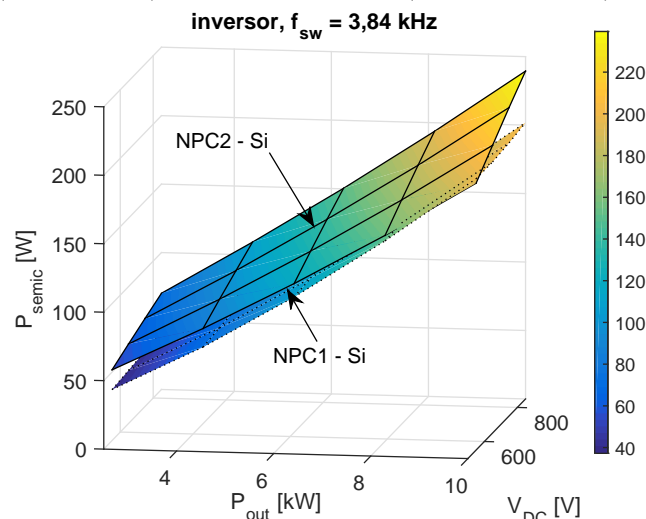
Diferentemente dos resultados para a operação como retificador, todavia, a topologia NPC2, em todos os estágios inversores das UPSs avaliadas, exhibe perdas iguais ou maiores do

que a NPC1. Isso se deve, provavelmente, ao aumento das perdas de chaveamento nos transistores quando da operação como inversor, que penaliza a topologia NPC2 e favorece a NPC1 – já que na NPC2 há chaves que bloqueiam tensões maiores do que na NPC1.

Figura 5.13 – Perdas nos semicondutores P_{semic} do inversor trifásico em função da potência de saída P_{out} e da tensão do barramento V_{DC} , para as UPSs com frequência de chaveamento f_{sw} de 3,84 kHz.



(a) Inversor em topologia $2n$, com módulos à base de silício (*FF75R12RT4*) e de carbeto de silício (*CCS050M12CM2*).

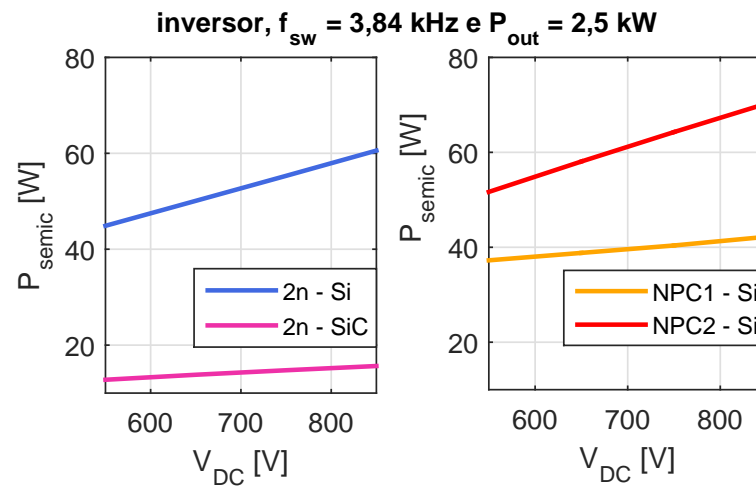


(b) Inversor em topologia NPC1 e NPC2, com os módulos *F3L75R07W2E3* e *F3L150R12W2H3B11*, respectivamente.

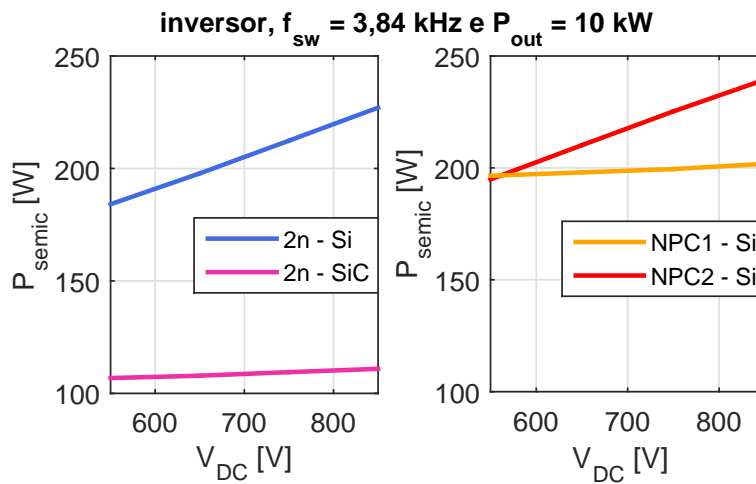
Fonte: Dados da pesquisa, 2016.

A Figura 5.14 individualiza a comparação da Figura 5.13 para as UPSs com potências nominais de 2,5 kW e 10 kW. Neste primeiro grupo de UPSs, a topologia $2n$ supera o desempenho da NPC2, mas não da NPC1. No caso da operação como retificador, o arranjo $2n$ superava aqueles outros dois, para as UPSs deste grupo. Já para as UPSs de 10 kW, as perdas das topologias $3n$ são inferiores à $2n$ de silício para tensões maiores ou iguais a 650 V. No estágio retificador, o desempenho das topologias $3n$ era superior para tensões V_{DC} maiores do que 750 V.

Figura 5.14 – Perdas nos semicondutores P_{semic} do inversor trifásico em função da tensão do barramento c.c. V_{DC} , para as UPSs com frequência de chaveamento f_{sw} de 3,84 kHz.



(a) $P_{out} = 2,5$ kW, $f_{sw} = 3,84$ kHz.



(b) $P_{out} = 10$ kW, $f_{sw} = 3,84$ kHz.

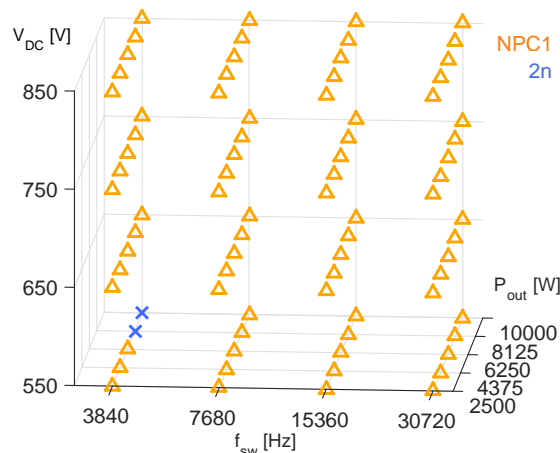
Nota: Inversor 2n com módulos de silício (FF75R12RT4) e de carbetto de silício (CCS050M12CM2) e em arranjo NPC1 e NPC2, com os módulos F3L75R07W2E3 e F3L150R12W2H3B11.

Fonte: Dados da pesquisa, 2016.

A Figura 5.15 sintetiza os resultados da comparação entre os inversores em topologias de dois níveis, NPC1 e NPC2, com componentes de silício. Como na seção anterior, são indicadas as topologias com as menores perdas no estágio inversor para cada um dos oitenta projetos de UPS de dupla conversão em estudo.

Assim, com base nos resultados da Figura 5.15, nota-se que a topologia NPC1 supera o desempenho da NPC2 e da 2n em quase todos os projetos, com exceção daqueles com frequência de chaveamento de 3,84 kHz, potências de 8,125 kW e 10 kW e tensões de 550 V. Sendo assim, a topologia NPC1 se revela ainda mais viável para a operação como inversor, como se infere da comparação entre as Figuras 5.15 e 5.7. Em nenhum dos cenários avaliados, portanto, o inversor do tipo NPC2 exhibe menores perdas.

Figura 5.15 – Representação gráfica das UPSs simuladas, com a indicação das topologias com menores perdas no estágio inversor.



Nota: As topologias de dois níveis, NPC1 e NPC2 são representadas por marcadores com a convenção de cor da legenda.

Fonte: Dados da pesquisa, 2016.

Para fins de comparação entre os modos de operação como inversor e retificador, são apresentadas, na Tabela 5.3, as perdas de condução e de chaveamento naqueles três cenários propostos na seção anterior. Acrescenta-se ainda um quarto cenário, com uma das condições em que o inversor $2n$ à base de silício suplanta o desempenho das variações em NPC1 e NPC2. As frações de perdas de condução e de chaveamento, em referência ao valor total, são também indicadas nos quatro cenários.

A Tabela 5.3 aponta para a viabilidade da topologia NPC1 mesmo em cenários em que as perdas de condução se tornam dominantes. Por exemplo, no cenário 2 as perdas de chaveamento acumulam apenas cerca de 20 % do total e, ainda assim, o inversor em NPC1 exhibe as menores perdas. Neste caso, a redução da potência dissipada por comutação, introduzida pelo arranjo NPC1, compensa o aumento das perdas de condução. Para a operação como inversor, portanto, não há uma correlação clara entre a proporção de cada parcela de perdas e o desempenho das topologias.

Para simplificar a comparação entre os cenários 1, 2 e 3 quando da operação como inversor e retificador, os dados das Tabelas 5.1 e 5.3 são representados nos gráficos das Figuras 5.16 e 5.17. As parcelas atribuídas às perdas de condução e de chaveamento nos transistores e nos diodos são também incluídas nestes gráficos. Os módulos de SiC são também adicionados nesta comparação.

Como se induz da comparação entre as Figuras 5.16 e 5.17 e dos dados da Tabela 5.3, os estágios inversor e retificador dissipam potências aproximadamente equivalentes, com desvios que não superam 30 %. No modo de operação como retificador, as perdas de condução sobre os diodos $P_{cond(D)}$ superam a dos transistores $P_{cond(Q)}$. Ainda neste caso, a potência dissipada na comutação dos diodos $P_{chav(D)}$ é maior que nos transistores $P_{chav(Q)}$ nas topologias $3n$. Apenas

nas topologias $2n$ o valor de $P_{chav(Q)}$ excede $P_{chav(D)}$ no modo retificador. Já no modo inversor, $P_{chav(Q)}$ suplanta, em geral, $P_{chav(D)}$. Em oposição ao retificador, no inversor $P_{cond(Q)}$ supera $P_{cond(D)}$.

Tabela 5.3 – Comparação das potências dissipadas nos módulos à base de silício em quatro cenários, para o modo de operação como inversor.

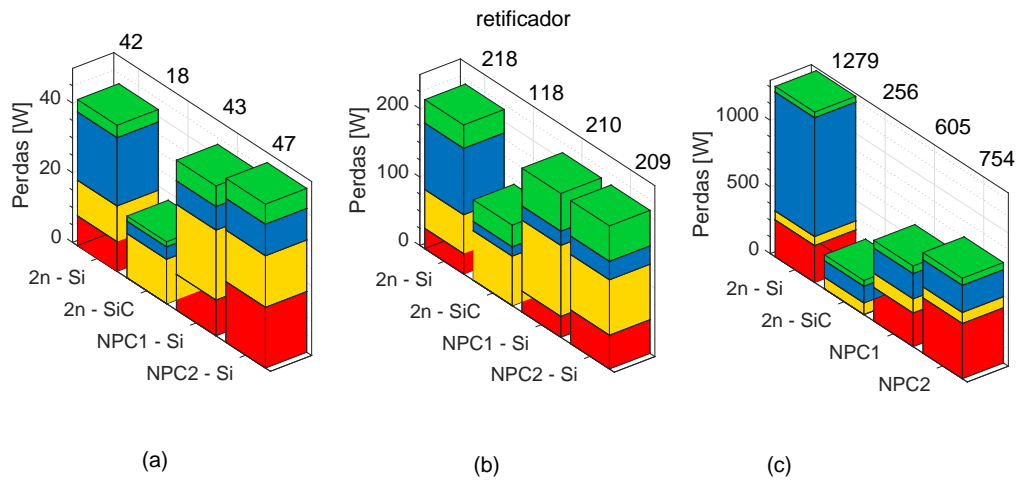
Cenário 1 – $f_{sw} = 3,84 \text{ kHz}$, $V_{DC} = 550 \text{ V}$, $P_{out} = 2,5 \text{ kW}$				
Módulo	Tipo	Perdas de condução	Perdas de chaveamento	Perdas totais
FF75R12RT4	2 níveis/ Si	14,6 W/32,6 %	30,3 W/67,4 %	44,9 W (1,2 p.u.)
F3L75R07W2E3B11	NPC1/ Si	26,5 W/70,9 %	10,8 W/29,1 %	37,3 W (1,0 p.u.)
F3L150R12W2H3B11	NPC2/ Si	20,9 W/41,9 %	29,0 W/58,1 %	49,9 W (1,3 p.u.)
Cenário 2 – $f_{sw} = 3,84 \text{ kHz}$, $V_{DC} = 850 \text{ V}$, $P_{out} = 10 \text{ kW}$				
Módulo	Tipo	Perdas de condução	Perdas de chaveamento	Perdas totais
FF75R12RT4	2 níveis/ Si	94,4 W/41,6 %	132,6 W/58,4 %	227,0 W (1,1 p.u.)
F3L75R07W2E3B11	NPC1/ Si	163,9 W/81,2 %	37,9 W/18,8 %	201,8 W (1,0 p.u.)
F3L150R12W2H3B11	NPC2/ Si	131,1 W/54,7 %	108,4 W/45,3 %	239,5 W (1,2 p.u.)
Cenário 3 – $f_{sw} = 30,72 \text{ kHz}$, $V_{DC} = 850 \text{ V}$, $P_{out} = 10 \text{ kW}$				
Módulo	Tipo	Perdas de condução	Perdas de chaveamento	Perdas totais
FF75R12RT4	2 níveis/ Si	91,5 W/8,0 %	1055,3 W/92,0 %	1146,8 W (2,5 p.u.)
F3L75R07W2E3B11	NPC1/ Si	159,2 W/34,6 %	300,8 W/65,4 %	460,0 W (1,0 p.u.)
F3L150R12W2H3B11	NPC2/ Si	126,3 W/12,9 %	854,3 W/87,1 %	980,6 W (2,1 p.u.)
Cenário 4 – $f_{sw} = 3,84 \text{ kHz}$, $V_{DC} = 550 \text{ V}$, $P_{out} = 10 \text{ kW}$				
Módulo	Tipo	Perdas de condução	Perdas de chaveamento	Perdas totais
FF75R12RT4	2 níveis/ Si	97,2 W/52,8 %	86,9 W/47,2 %	184,1 W (1,0 p.u.)
F3L75R07W2E3B11	NPC1/ Si	173,3 W/87,4 %	24,9 W/12,6 %	198,2 W (1,1 p.u.)
F3L150R12W2H3B11	NPC2/ Si	124,0 W/63,6 %	70,9 W/36,4 %	194,9 W (1,1 p.u.)

Nota: As topologias de melhor desempenho, destacadas em verde, são normalizadas em 1 p.u.

O aumento das perdas nos módulos de SiC na operação como retificador, em comparação com o modo inversor, se atribui à elevação das perdas de condução nos diodos. Já na topologia NPC1 este aumento se deve às maiores perdas de recuperação reversa nos diodos, no modo retificador. Por outro lado, o módulo NPC2 exibe perdas maiores como inversor do que como retificador, como resultado do aumento das perdas de chaveamento nos transistores naquela condição.

Por fim, representa-se a diferença entre a potência dissipada no estágio inversor nas topologias NPC1 e $2n$ com módulos à base de silício. A Figura 5.18 ilustra estas diferenças, para os inversores das 80 UPSs em análise.

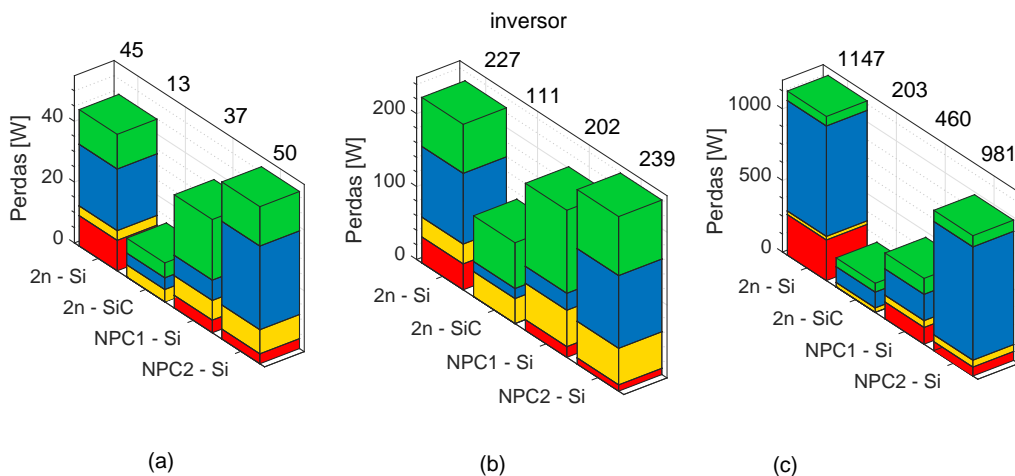
Figura 5.16 – Proporção, na operação como *retificador*, entre as perdas de chaveamento no diodo (indicadas pela cor vermelha), de condução no diodo (amarelo), de chaveamento no transistor (azul) e de condução no transistor (verde).



Cenários: (a) cenário 1; (b) cenário 2; (c) cenário 3.

Fonte: Dados da pesquisa, 2016.

Figura 5.17 – Proporção, na operação como *inversor*, entre as perdas de chaveamento no diodo (indicadas pela cor vermelha), de condução no diodo (amarelo), de chaveamento no transistor (azul) e de condução no transistor (verde).

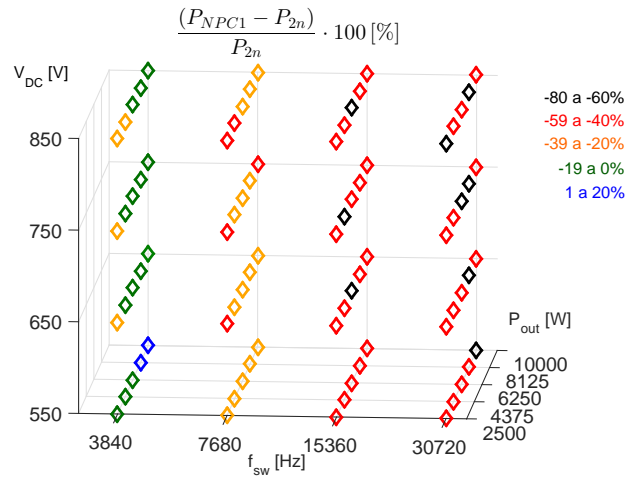


Cenários: (a) cenário 1; (b) cenário 2; (c) cenário 3.

Fonte: Dados da pesquisa, 2016.

Novamente, como na convenção da seção anterior, se as perdas no NPC1 forem menores do que no $2n$, esta diferença é indicada com valor negativo. Sendo assim, como se nota dos dados da Figura 5.18, na maior parte dos cenários, a substituição do arranjo $2n$ pelo NPC1 provê uma redução de 40 % a 60 % na potência dissipada. Esta redução pode atingir até cerca de 70 % nos projetos com as duas maiores frequências de chaveamento. A mesma análise é estendida para a comparação entre as perdas dos inversores em topologias NPC1 e NPC2. A Figura 5.19 apresenta a diferença entre a potência dissipada nos semicondutores dos inversores nestas duas topologias.

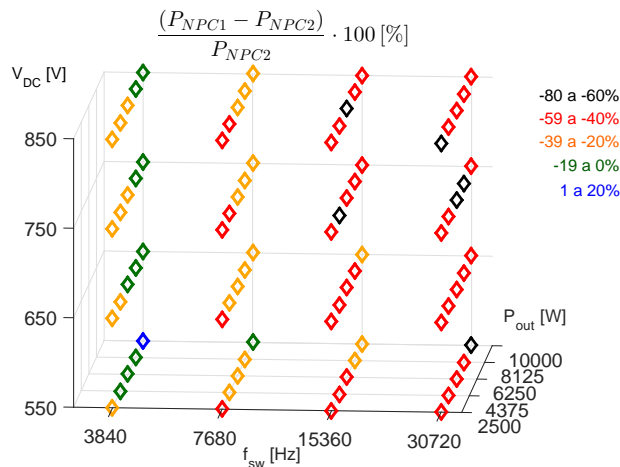
Figura 5.18 – Comparação entre as perdas nas topologias NPC1 e $2n$ na operação como *inversor*, com módulos à base de silício.



Nota: A diferença percentual $(P_{NPC1} - P_{2n})/P_{2n}$ é representada segundo a convenção da legenda.

Fonte: Dados da pesquisa, 2016.

Figura 5.19 – Comparação entre as perdas nas topologias NPC1 e NPC2 na operação como *inversor*, com módulos à base de silício.



Nota: A diferença percentual $(P_{NPC1} - P_{NPC2})/P_{NPC2}$ é representada segundo a convenção da legenda.

Fonte: Dados da pesquisa, 2016.

Outra vez, na maior parte dos casos, a redução da potência dissipada que decorre da substituição do arranjo NPC2 pelo NPC1 é de 40 % a 60 %. A diferença máxima entre as perdas nas duas topologias é de cerca de 70 %, para os projetos com maiores frequências de chaveamento.

Estes resultados demonstram, como na seção precedente, que os inversores com topologia NPC1 dissipam em geral potências menores do que aqueles em arranjo $2n$ e NPC2 com componentes de silício. Todavia, também como naquela seção, o módulo de SiC suplanta todos os outros de silício, em todos os cenários em análise.

Cabe ainda salientar que os resultados desta seção provavelmente não se estendem para outras especificações de UPS. O desempenho de cada projeto deve ser analisado para cada caso, já que não há critérios práticos que delimitem as faixas de operação em que cada topologia se torna viável. As ferramentas propostas neste trabalho para que as perdas sejam estimadas podem, todavia, colaborar na automatização destas análises sucessivas, obrigatórias nas rotinas de projeto.

5.1.3 Perdas nos indutores dos filtros de entrada e de saída

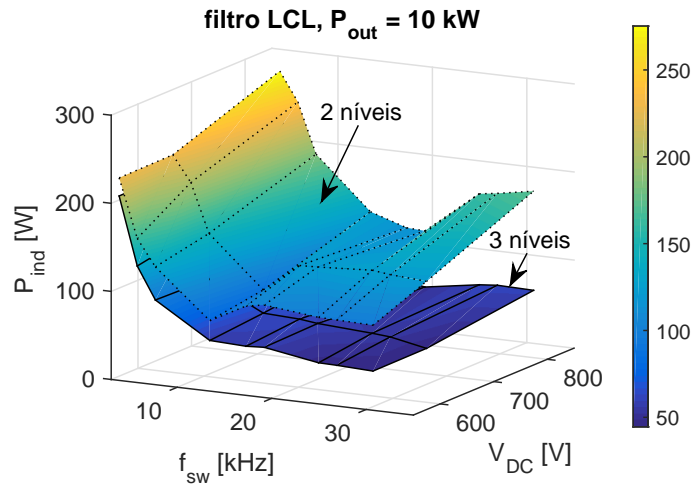
Nesta seção, apresentam-se os resultados das estimativas de potência dissipada nos indutores dos filtros de entrada e de saída da UPS de dupla conversão. Para que as perdas no cobre e no núcleo fossem quantificadas, vale-se das ferramentas já descritas na seção 4.1.2. Os efeitos pelicular e de proximidade são negligenciados nesta análise.

Inicialmente, são estimadas as perdas no filtro LCL de entrada do retificador em topologias de dois e de três níveis. Na Figura 5.20 constam os resultados para as perdas totais nos indutores deste filtro (nas três fases), em função das especificações de frequência de chaveamento f_{sw} e da tensão do barramento c.c. V_{DC} , para as UPSs de potência nominal de 10 kW. Cabe comentar que na fase de dimensionamento destes indutores, seleciona-se o menor núcleo que provê a energia armazenada para cada parâmetro de corrente nominal, de frequência f_{sw} e tensão V_{DC} (conforme a curva da Figura 4.16). Sendo assim, a curva com a potência dissipada no indutor exhibe descontinuidades, como resultado da seleção por núcleos distintos ao longo das faixas de especificações.

Mesmo para a UPS com frequência de chaveamento f_{sw} mínima (3,84 kHz) e com tensão de barramento c.c. V_{DC} máxima (850 V), as perdas nos indutores do filtro LCL não superam 2,7% da potência nominal para as topologias 2n. Para as topologias 3n, este valor máximo é de 2,3%. Na prática, em que f_{sw} e V_{DC} assumem valores de cerca de 15 kHz e 550 V, a potência dissipada nos filtros LCL nas topologias de dois e de três níveis, para a potência nominal em 10 kW, valem aproximadamente 1% e 0,6%, nesta ordem.

Como se nota no gráfico da Figura 5.20, o aumento de f_{sw} tende a reduzir as perdas nos indutores dos filtros LCL, em decorrência do encurtamento dos enrolamentos, por exemplo. Todavia, a partir de um valor crítico, o aumento de f_{sw} pode elevar estas perdas.

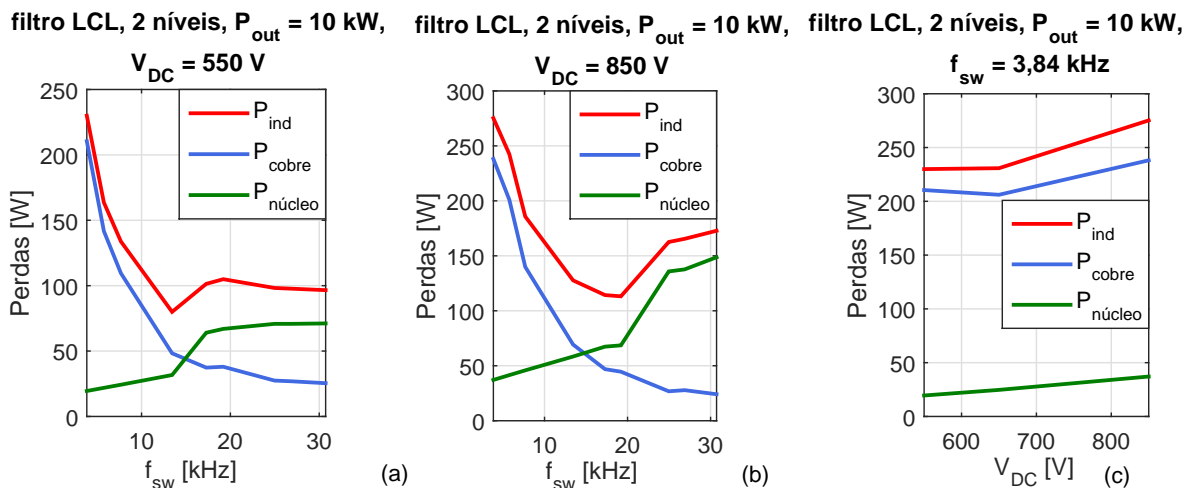
Figura 5.20 – Perdas totais P_{ind} no indutor do filtro LCL de entrada da UPS em função da frequência de chaveamento f_{sw} e da tensão de barramento V_{DC} , para topologias de dois níveis e de três níveis, para a UPS com potência nominal de 10 kW.



Fonte: Dados da pesquisa, 2016.

As Figuras 5.21 e 5.22 representam os resultados de cortes transversais no gráfico da Figura 5.20, em planos com tensões V_{DC} constantes de 550 V e 850 V ou com frequência f_{sw} constante de 3,84 kHz, para as topologias de dois e de três níveis. As parcelas atribuídas às perdas nos enrolamentos (P_{cobre}) e no núcleo ($P_{núcleo}$) são também indicadas, para que a dependência de cada parcela com a frequência f_{sw} e com a tensão V_{DC} seja explicitada.

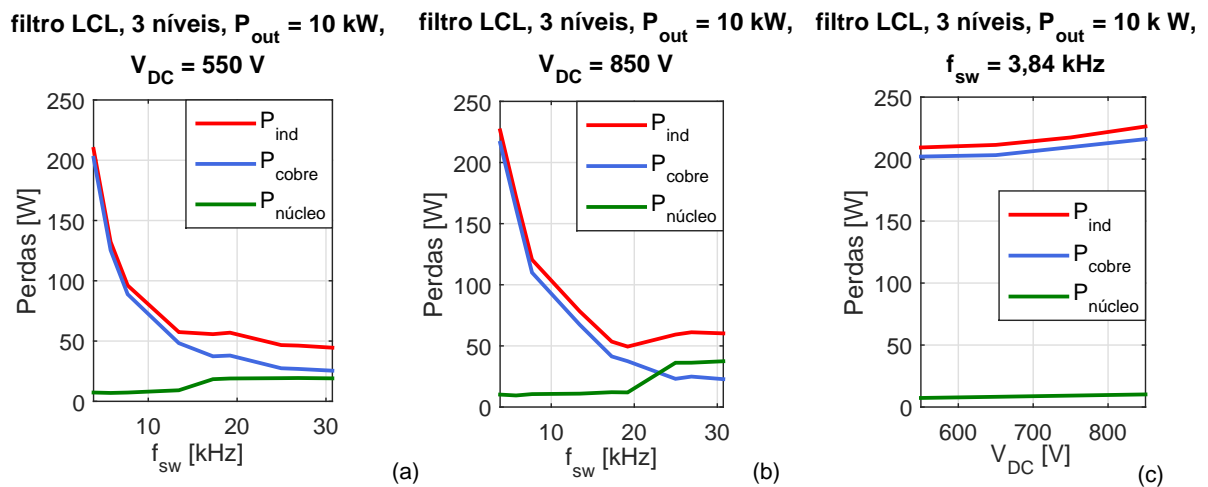
Figura 5.21 – Perdas no enrolamento P_{cobre} , no núcleo $P_{núcleo}$ e totais P_{ind} para os indutores do filtro LCL de entrada de retificadores em topologia de dois níveis.



Perdas: (a) em função da frequência de chaveamento f_{sw} , para a UPS com tensão de barramento c.c. V_{DC} de 550 V e potência nominal P_{out} de 10 kW; (b) em função da frequência de chaveamento f_{sw} , para a UPS com tensão V_{DC} de 850 V e P_{out} de 10 kW; (c) em função da tensão V_{DC} , para a UPS com f_{sw} de 3,84 kHz e P_{out} de 10 kW.

Fonte: Dados da pesquisa, 2016.

Figura 5.22 – Perdas no enrolamento P_{cobre} , no núcleo P_{nucleo} e totais P_{ind} para os indutores do filtro LCL de entrada de retificadores em topologia de três níveis.



Perdas: (a) em função da frequência de chaveamento f_{sw} , para a UPS com tensão de barramento c.c. V_{DC} de 550 V e potência nominal P_{out} de 10 kW; (b) em função da frequência de chaveamento f_{sw} , para a UPS com tensão V_{DC} de 850 V e P_{out} de 10 kW; (c) em função da tensão V_{DC} , para a UPS com f_{sw} de 3,84 kHz e P_{out} de 10 kW.

Fonte: Dados da pesquisa, 2016.

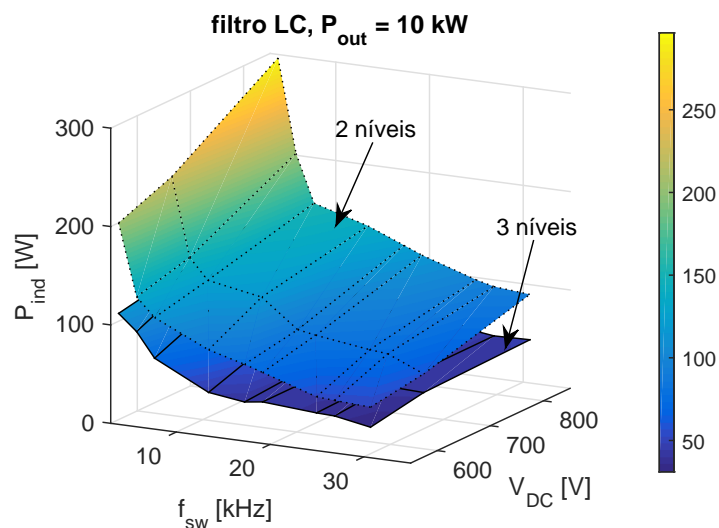
Com base na comparação entre os gráficos das Figuras 5.21 e 5.22, deduz-se que as perdas nos enrolamentos nos filtros LCL das topologias $2n$ e $3n$ são aproximadamente equivalentes, já que as indutâncias totais nestes dois arranjos são fixadas no valor que atende ao critério de rigidez dinâmica mínima. As perdas no núcleo, entretanto, podem ser até quatro vezes menores nos filtros do retificador $3n$. Como o *ripple* de corrente no indutor do lado do conversor nesta topologia é duas vezes menor (para uma indutância de filtro fixa) e a equação de Steinmetz generalizada supõe uma dependência aproximadamente quadrática das perdas no núcleo com a excursão de densidade de fluxo, este resultado já era previsto. Assim, em virtude da redução das perdas no material magnético, as perdas totais dos filtros das topologias $3n$ podem ser até 60% menores do que nas $2n$.

Como já foi mencionado, o aumento da frequência de chaveamento tende a reduzir as perdas nos indutores, como resultado da redução da indutância total e, assim, da resistência total dos enrolamentos. Contudo, esta relação inversa entre o valor de f_{sw} e a potência dissipada no indutor só se sustenta enquanto as perdas nos enrolamentos P_{cobre} forem dominantes. A partir de um valor crítico de f_{sw} , em que as perdas do núcleo P_{nucleo} passam a ser maiores do que P_{cobre} , o aumento de f_{sw} tende a elevar as perdas totais. Este valor crítico é de cerca de 20 kHz para as topologias $2n$ e $3n$, na potência nominal de 10 kW e tensão V_{DC} de 850 V. Para a tensão V_{DC} de 550 V, as perdas P_{cobre} são sempre maiores do que P_{nucleo} para o filtro LCL de retificadores $3n$ na faixa de frequências f_{sw} avaliada. Assim, aquele valor crítico não é observado nesta faixa. Por fim, cabe comentar que quanto maior a tensão V_{DC} , maiores as perdas totais no indutor, também em razão daquele aumento da resistência dos enrolamentos.

A Figura 5.23 indica as perdas totais nos indutores do filtro LC de saída dos inversores

de dois e três níveis, novamente para as UPSs de potência nominal de 10 kW . Como se nota nos resultados desta figura, na UPS com frequência de chaveamento f_{sw} mínima ($3,84\text{ kHz}$) e com tensão de barramento c.c. V_{DC} máxima (850 V), as perdas nos indutores do filtro LCL não superam 3% para as topologias $2n$. Para as topologias $3n$, este valor máximo é de cerca 2% da potência nominal. Em aplicações práticas, em que f_{sw} e V_{DC} assumem valores de cerca de 15 kHz e 550 V , a potência dissipada nos filtros LC nas topologias de dois e de três níveis, para a potência nominal em 10 kW , valem aproximadamente de $0,8\%$ e $0,4\%$ desta potência, nesta ordem. As discontinuidades nas curvas da Figura 5.23 também se devem à seleção de núcleos distintos, ao longo de uma faixa de especificações de frequência f_{sw} e tensão V_{DC} .

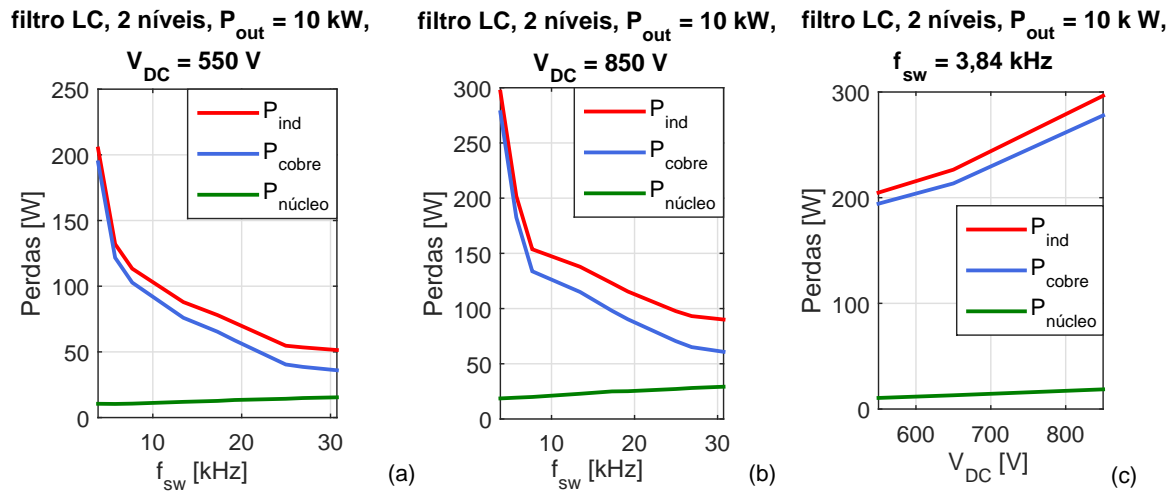
Figura 5.23 – Perdas no indutor P_{ind} do filtro LC de saída da UPS em função da frequência de chaveamento f_{sw} e da tensão de barramento V_{DC} , para topologias de dois níveis e de três níveis, para a UPS com potência nominal de 10 kW .



Fonte: Dados da pesquisa, 2016.

Nas Figuras 5.24 e 5.25, a análise das perdas no indutor do filtro LC é individualizada para as UPSs de tensões V_{DC} de 550 V e 850 V e para a frequência f_{sw} em $3,84\text{ kHz}$. Como se infere dos gráficos destas figuras, a potência dissipada no indutor do filtro de saída de inversores em topologia $2n$ é aproximadamente duas vezes maior do que no caso dos conversores $3n$. De fato, como indicam as equações de dimensionamento destes indutores – equações (3.29) e (3.30), as topologias $2n$ demandam indutâncias de filtro duas vezes maiores do que no arranjo $3n$, para um critério de *ripple* único. Sendo assim, o comprimento dos cabos e, assim, a resistência dos enrolamentos, são aumentados pelo mesmo fator, aproximadamente. Isso justifica, portanto, aquela proporção entre as perdas nos indutores de filtro destas duas topologias.

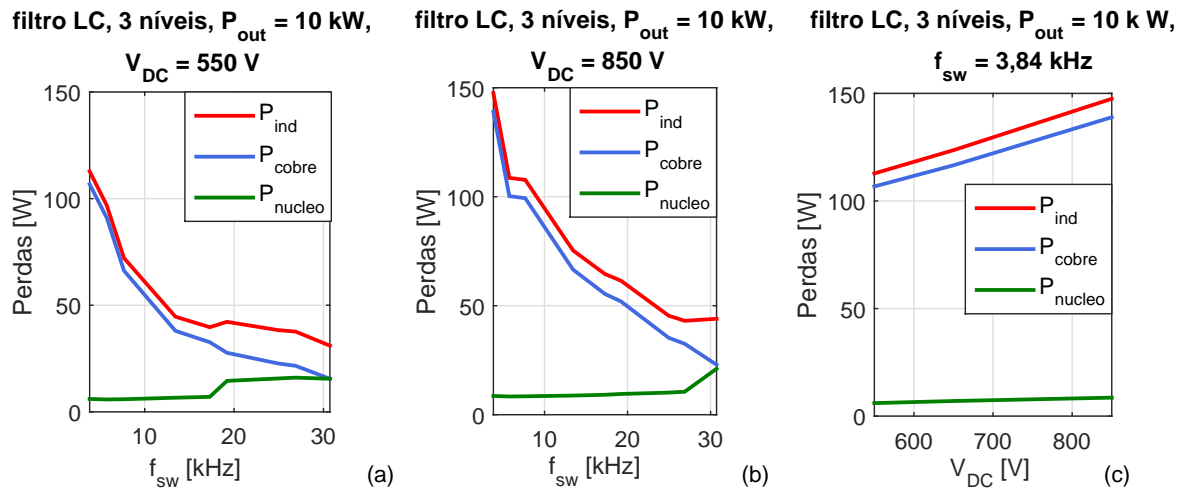
Figura 5.24 – Perdas no enrolamento P_{cobre} , no núcleo $P_{núcleo}$ e totais P_{ind} para os indutores do filtro LC de saída de *inversores* em topologia de *dois* níveis.



Perdas: (a) em função da frequência de chaveamento f_{sw} , para a UPS com tensão de barramento c.c. V_{DC} de 550 V e potência nominal P_{out} de 10 kW; (b) em função da frequência de chaveamento f_{sw} , para a UPS com tensão V_{DC} de 850 V e P_{out} de 10 kW; (c) em função da tensão V_{DC} , para a UPS com f_{sw} de 3,84 kHz e P_{out} de 10 kW.

Fonte: Dados da pesquisa, 2016.

Figura 5.25 – Perdas no enrolamento P_{cobre} , no núcleo $P_{núcleo}$ e totais P_{ind} para os indutores do filtro LC de saída de *inversores* em topologia de *três* níveis.



Perdas: (a) em função da frequência de chaveamento f_{sw} , para a UPS com tensão de barramento c.c. V_{DC} de 550 V e potência nominal P_{out} de 10 kW; (b) em função da frequência de chaveamento f_{sw} , para a UPS com tensão V_{DC} de 850 V e P_{out} de 10 kW; (c) em função da tensão V_{DC} , para a UPS com f_{sw} de 3,84 kHz e P_{out} de 10 kW.

Fonte: Dados da pesquisa, 2016.

Por outro lado, como o *ripple* de corrente é fixado nas topologias $2n$ e $3n$, a excursão de densidade de fluxo é aproximadamente equivalente nos dois casos. Sendo assim, se o mesmo núcleo fosse adotado nos filtros das topologias $2n$ e $3n$, as perdas no material magnético seriam, grosso modo, iguais nestes filtros, para cada especificação de frequência de chaveamento. As diferenças entre $P_{núcleo}$ nestes dois tipos de filtro se devem, portanto, ao uso de núcleos (ou associações) diferentes nos dois casos.

Para os filtros LC dimensionados para a UPS com potência nominal de 10 kW , o aumento da frequência de chaveamento tende a reduzir as perdas totais nos indutores, como se depreende dos gráficos das Figuras 5.24 e 5.25. Isso ocorre porque as perdas nos enrolamentos, dominantes nestes projetos, são reduzidas com aquele aumento. Para este caso em particular, portanto, aquela frequência de chaveamento “crítica”, que levava a uma inversão nesta relação entre f_{sw} e as perdas totais nos projetos de filtro LCL, não é observada ao longo da faixa de frequências em estudo. Já o aumento da tensão do barramento c.c. V_{DC} , para valores de f_{sw} e P_{out} fixos, tende a elevar as perdas, pelas razões já citadas na análise do filtro LCL.

Por fim, cabe a comparação entre as perdas nos indutores dos filtros de entrada e de saída da UPS de dupla conversão. Para tanto, a Tabela 5.4 apresenta os parâmetros de indutores dos filtros LCL e LC dimensionados para dois projetos de UPS, em particular. Por inspeção dos dados desta tabela, nota-se que, em geral, as perdas no núcleo P_{nucleo} do indutor L_1 do filtro LCL superam as dos outros indutores da UPS. Isso se deve ao critério de projeto deste indutor, que admite maior *ripple* de corrente neste componente, para melhor distribuição entre L_1 e L_f . O valor de P_{nucleo} é menor no indutor L_f , que, ao contrário, exhibe menor *ripple*. Já as perdas no enrolamento P_{cobre} são maiores no indutor do filtro LC da topologia $2n$, com maior indutância e, assim, maior resistência série.

Os dados da Tabela 5.4 também demonstram que as topologias $3n$ promovem a redução da potência dissipada nos indutores dos filtros LC e LCL de quase 60 %, em comparação com arranjos de $2n$. Mesmo no caso do filtro LCL, em que as indutâncias foram atribuídas a um valor fixo nas topologias $2n$ e $3n$, aquela redução pode ser atingida. Sendo assim, a seleção por conversores $3n$ não só introduz ganhos sobre o rendimento dos estágios inversor e retificador, como também dos filtros LC e LCL. Para que os ganhos totais de rendimento destes conversores sejam mensurados, a seção a seguir avalia o rendimento global da UPS, com aqueles estágios em cascata.

Tabela 5.4 – Exemplos de projetos de indutores dos filtros de entrada e de saída para duas das 80 UPSs em análise.

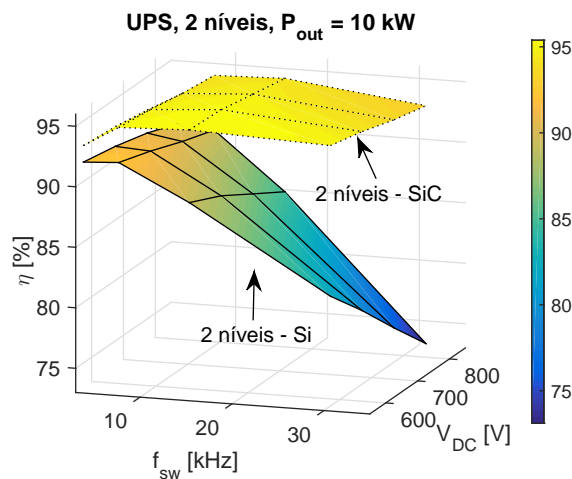
Cenário 1 – $f_{sw} = 15,36 \text{ kHz}$, $V_{DC} = 550 \text{ V}$, $P_{out} = 10 \text{ kW}$				
Parâmetro	Filtro LCL		Filtro LC	
	2 níveis / 3 níveis		2 níveis	3 níveis
	L_i (480 μH)	L_f (250 μH)	L (1,22 mH)	L (600 μH)
Indutância de cada unidade	160 μH	250 μH	600 μH	600 μH
Número de unidades em série	3	1	2	1
Número de espiras (unidade)	30	52	98	98
Número de fios por espira	11	11	11	11
Bitola do fio (AWG)	1,2 mm (17)	1,2 mm (17)	1,2 mm (17)	1,2 mm (17)
Modelo do núcleo	58737	58099	58337	58337
Permeabilidade relativa	60 μ	60 μ	26 μ	26 μ
Resistência do enrolamento (unidade)	4,6 $\text{m}\Omega$	6,7 $\text{m}\Omega$	17 $\text{m}\Omega$	17 $\text{m}\Omega$
Fator de preenchimento	25 %	27 %	27 %	27 %
Volume do núcleo (unidade)	$9,1 \cdot 10^{-5} \text{ m}^3$	$8,7 \cdot 10^{-5} \text{ m}^3$	$2,2 \cdot 10^{-4} \text{ m}^3$	$2,2 \cdot 10^{-4} \text{ m}^3$
Volume do indutor (unidade)	$3,6 \cdot 10^{-4} \text{ m}^3$	$3,4 \cdot 10^{-4} \text{ m}^3$	$8,5 \cdot 10^{-4} \text{ m}^3$	$8,5 \cdot 10^{-4} \text{ m}^3$
Volume total (3 fases)	$3,24 \cdot 10^{-3} \text{ m}^3$	$1,02 \cdot 10^{-3} \text{ m}^3$	$7,2 \cdot 10^{-3} \text{ m}^3$	$3,6 \cdot 10^{-3} \text{ m}^3$
Perda no enrolamento (3 fases)	28 W	14 W	71 W	35 W
Perda no núcleo (3 fases)	60 W (2 níveis)	1 W (2 níveis)	12 W	7 W
	17 W (3 níveis)	1 W (3 níveis)		
Perda total (3 fases)	88 W (2 níveis)	15 W (2 níveis)	83 W	42 W
	45 W (3 níveis)	15 W (3 níveis)		
Cenário 2 – $f_{sw} = 30,72 \text{ kHz}$, $V_{DC} = 550 \text{ V}$, $P_{out} = 10 \text{ kW}$				
Parâmetro	Filtro LCL		Filtro LC	
	2 níveis / 3 níveis		2 níveis	3 níveis
	L_i (240 μH)	L_f (105 μH)	L (602 μH)	L (301 μH)
Indutância de cada unidade	240 μH	35 μH	602 μH	301 μH
Número de unidades em série	1	3	1	1
Número de espiras (unidade)	51	22	98	57
Número de fios por espira	21	21	21	21
Bitola do fio (AWG)	0,87 mm (20)	0,87 mm (20)	0,87 mm (20)	0,87 mm (20)
Modelo do núcleo	58099	58110	58337	58099
Permeabilidade relativa	60 μ	60 μ	26 μ	60 μ
Resistência do enrolamento (unidade)	6,7 $\text{m}\Omega$	1,9 $\text{m}\Omega$	17 $\text{m}\Omega$	7,5 $\text{m}\Omega$
Fator de preenchimento	25 %	29 %	27 %	29 %
Volume do núcleo (unidade)	$8,7 \cdot 10^{-5} \text{ m}^3$	$2,1 \cdot 10^{-5} \text{ m}^3$	$2,2 \cdot 10^{-4} \text{ m}^3$	$8,7 \cdot 10^{-5} \text{ m}^3$
Volume do indutor (unidade)	$3,4 \cdot 10^{-4} \text{ m}^3$	$8,2 \cdot 10^{-5} \text{ m}^3$	$8,5 \cdot 10^{-4} \text{ m}^3$	$3,4 \cdot 10^{-4} \text{ m}^3$
Volume total (3 fases)	$1,0 \cdot 10^{-3} \text{ m}^3$	$7,4 \cdot 10^{-4} \text{ m}^3$	$3,6 \cdot 10^{-3} \text{ m}^3$	$1,0 \cdot 10^{-3} \text{ m}^3$
Perda no enrolamento (3 fases)	14 W	12 W	36 W	16 W
Perda no núcleo (3 fases)	70 W (2 níveis)	1 W (2 níveis)	15 W	16 W
	18 W (3 níveis)	1 W (3 níveis)		
Perda total (3 fases)	84 W (2 níveis)	13 W (2 níveis)	51 W	32 W
	32 W (2 níveis)	13 W (3 níveis)		

5.1.4 Comparação do rendimento global da UPS

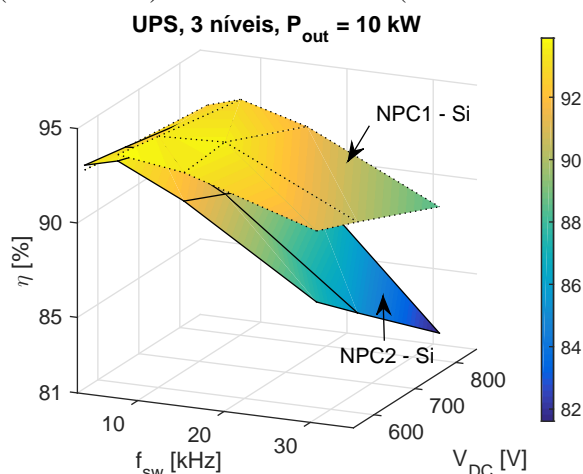
Nesta seção, comparam-se os rendimentos globais da UPS de dupla conversão, com os filtros LCL e LC e os estágios retificador e inversor em cascata, para cada um dos módulos de potência em estudo. Para que as perdas totais fossem calculadas (e, assim, o rendimento global), somam-se as perdas estimadas para cada um destes estágios, já apresentadas nas seções 5.1.1, 5.1.2 e 5.1.3.

Na Figura 5.26, constam os resultados de rendimento global para as UPSs de potência nominal de 10 kW. Supõe-se, nesta análise, que o mesmo módulo de potência integra os estágios retificador e inversor.

Figura 5.26 – Rendimento global da UPS de dupla conversão em função da frequência de chaveamento f_{sw} e da tensão do barramento c.c. V_{DC} , para as UPSs com potência nominal P_{out} de 10 kW.



(a) UPS com conversores $2n$ com módulos de silício (*FF75R12RT4*) e de carbeto de silício (*CCS050M12CM2*).



(b) UPS com conversores NPC1 e NPC2, com os módulos *F3L75R07W2E3* e *F3L150R12W2H3B11*, respectivamente.

Fonte: Dados da pesquisa, 2016.

Como se deduz dos resultados da Figura 5.26, o rendimento das UPSs de dupla conversão com módulos de SiC é maior do que 92% em todos os cenários com potência nominal P_{out} de

10 kW. Para a UPS de mesma topologia (2n) à base de silício, o rendimento só atinge este valor para a frequência de chaveamento f_{sw} e tensão de barramento c.c. V_{DC} mínimas (3,84 kHz e 550 V). Para as frequências f_{sw} típicas de UPSs comerciais, na faixa de 15 kHz, estima-se o rendimento das topologias 2n à base de silício e de SiC em 89,3% e 95,3%, respectivamente, para as tensões V_{DC} em 550 V. Para esta frequência típica, a potência dissipada nos filtros desta topologia atinge cerca de 2% da potência nominal (10 kW), no total.

Como já se antevia dos resultados das seções anteriores, a topologia NPC1 supera o rendimento da NPC2 em todos os projetos à potência nominal de 10 kW, com exceção daqueles com f_{sw} e V_{DC} mínimos. O rendimento mínimo das UPSs desta potência com módulos NPC1 é de 88,3%, para o caso com f_{sw} e V_{DC} máximos (30,72 kHz e 850 V). Para as UPSs com conversores em NPC2, este rendimento mínimo atinge 81,6%, também nesta condição. Para o caso das UPSs com frequências f_{sw} da ordem de 15 kHz, os rendimentos globais dos conversores NPC1 e NPC2 valem cerca de 93,4% e 91,9%, nesta ordem, para a tensão V_{DC} em 550 V. Nesta frequência, as perdas nos filtros acumulam 1,0% de P_{out} (10 kW), aproximadamente. Em apenas um dos cenários avaliados com potência nominal de 10 kW (com frequência f_{sw} mínima e V_{DC} de 850 V), o rendimento das UPSs com componentes de silício em NPC1 – com melhor desempenho dentre as variações de silício – supera aquele das UPSs com SiC.

Para que as parcelas de perdas de cada um dos estágios da UPS sejam analisadas, a Tabela 5.5 discrimina estas parcelas para dois cenários à potência nominal de 10 kW.

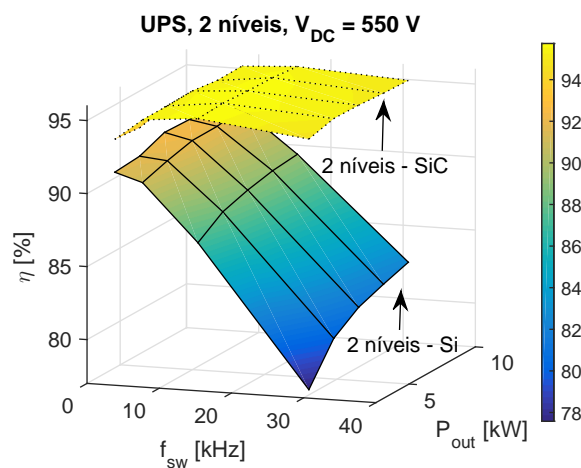
Tabela 5.5 – Rendimento global e perdas em cada estágio, em valores percentuais da potência nominal, para dois projetos distintos de UPS de dupla conversão.

Cenário 1 – $f_{sw} = 15,36 \text{ kHz}$, $V_{DC} = 550 \text{ V}$, $P_{out} = 10 \text{ kW}$				
Parâmetro	2 níveis		3 níveis	
	FF75R12RT4 (Si)	CCS050M12CM2 (SiC)	F3L75R07W2E3 (NPC1)	F3L150R12W2H3B11 (NPC2)
Rendimento global [%]	89,4	95,4	93,4	91,4
Perdas no retificador [%]	4,4	1,5	3,0	3,2
Perdas no inversor [%]	4,4	1,3	2,6	3,9
Perdas no filtro LCL [%]	1,0	1,0	0,6	0,6
Perdas no filtro LC [%]	0,8	0,8	0,4	0,4
Cenário 2 – $f_{sw} = 30,72 \text{ kHz}$, $V_{DC} = 550 \text{ V}$, $P_{out} = 10 \text{ kW}$				
Parâmetro	2 níveis		3 níveis	
	FF75R12RT4 (Si)	CCS050M12CM2 (SiC)	F3L75R07W2E3 (NPC1)	F3L150R12W2H3B11 (NPC2)
Rendimento global [%]	82,5	94,9	91,2	87,4
Perdas no retificador [%]	8,2	1,9	4,4	5,2
Perdas no inversor [%]	7,8	1,7	3,6	6,6
Perdas no filtro LCL [%]	1,0	1,0	0,5	0,5
Perdas no filtro LC [%]	0,5	0,5	0,3	0,3

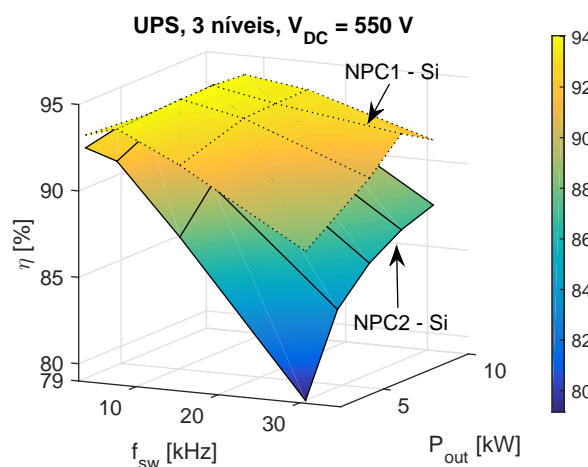
Os dados da Tabela 5.5 demonstram que os módulos de SiC introduzem um ganho de rendimento de no mínimo 2% e 3%, comparativamente às UPSs com silício, nos cenários a 15, 36 kHz e 30, 72 kHz, nesta ordem. Deste primeiro cenário para o segundo, a queda de rendimento nas UPS com SiC é de apenas de 0,5%, ao passo que nas topologias com silício 2n, NPC1 e NPC2 esta queda é de 6,9%, 2,2% e de 4%.

Para que UPSs de potências nominais distintas possam ser comparadas quanto ao rendimento, apresentam-se, na Figura 5.27, os resultados para as UPSs à uma mesma tensão V_{DC} de 550 V. Para estes projetos de UPSs, a opção pelo módulo de SiC leva a um rendimento mínimo de 93,5%, para o caso com f_{sw} mínima e P_{out} máxima (10 kW). O desempenho da UPS com conversores 2n de silício degrada abruptamente com o aumento da frequência de chaveamento e, para o projeto com maior f_{sw} , este rendimento é de 78% na condição de potência nominal mínima (2,5 kW).

Figura 5.27 – Rendimento global da UPS de dupla conversão em função da frequência de chaveamento f_{sw} e da potência nominal P_{out} , para as UPSs com tensão de barramento V_{DC} de 550 V.



(a) UPS com conversores 2n, com módulos de silício (FF75R12RT4) e de carbeto de silício (CCS050M12CM2).



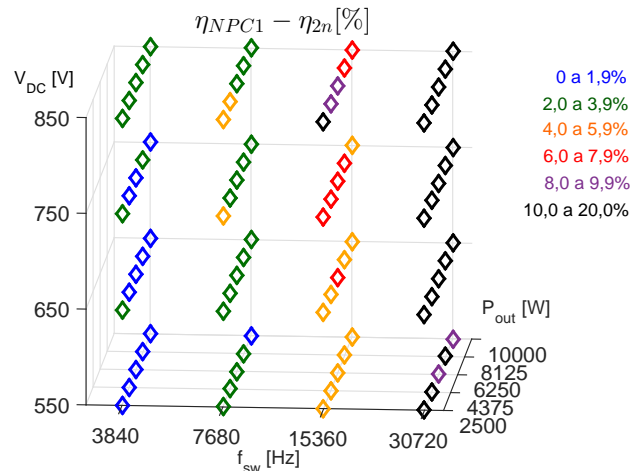
(b) UPS com conversores NPC1 e NPC2, com os módulos F3L75R07W2E3 e F3L150R12W2H3B11, respectivamente.

Fonte: Dados da pesquisa, 2016.

Esta queda abrupta de rendimento, em resposta ao aumento de frequência f_{sw} , também ocorre para as UPSs com conversores NPC2. Esta queda se deve, nos dois casos, ao fato de parte das chaves comutarem de estado à tensão plena do barramento c.c., V_{DC} . Assim, para as UPSs em NPC1 à base de Si, esta queda é mais “suave”. O rendimento mínimo das UPSs nos arranjos NPC1 e NPC2 para os projetos à tensão V_{DC} de 550 V é de 87,8 % e 79,2 %, para a condição de frequência f_{sw} máxima e potência P_{out} mínima. Em nenhuma das UPSs com tensão V_{DC} de 550 V, o rendimento do NPC1 suplanta o dos módulos de SiC.

A Figura 5.28 quantifica o ganho de rendimento associado à seleção de módulos NPC1 em alternativa aos componentes de $2n$, em todos os 80 projetos de UPS de dupla conversão. As diferenças de rendimento ($\eta_{NPC1} - \eta_{2n}$) são representadas segundo a notação de cor indicada na legenda. Para as menores frequências de chaveamento, em que as perdas de condução são mais relevantes, o aumento de rendimento na UPS com NPC1 é até de 6 %. Para a maior frequência f_{sw} , este ganho de rendimento atinge, em média, 15 %, em virtude da redução da potência dissipada não só nos semicondutores, como também nos filtros de entrada e de saída. Para as frequências f_{sw} de UPSs comerciais, supostas na faixa de 15 kHz, a diferença de rendimento entre as UPSs com conversores NPC1 e $2n$ assume em média valores de cerca de 5 %.

Figura 5.28 – Comparação entre o rendimento global da UPS de dupla conversão nas topologias NPC1 e dois níveis, com módulos à base de silício.

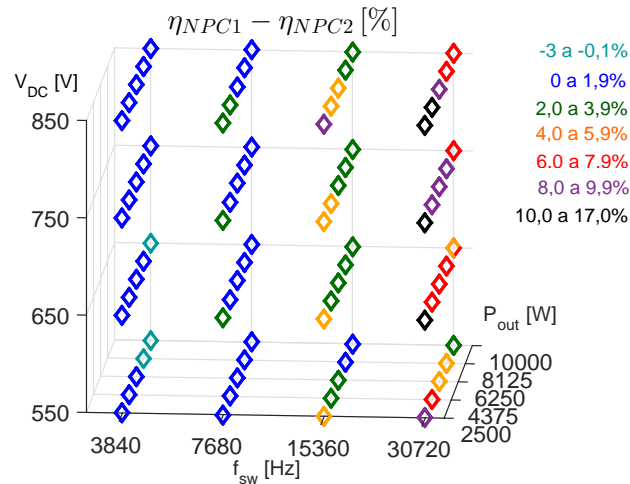


Nota: A diferença percentual $\eta_{NPC1} - \eta_{2n}$ é representada segundo a convenção da legenda.

Fonte: Dados da pesquisa, 2016.

Já a Figura 5.29 ilustra as diferenças entre o rendimento de UPSs com módulos em arranjo NPC1 e NPC2 ($\eta_{NPC1} - \eta_{NPC2}$). Para os projetos com as duas menores frequências f_{sw} , o ganho de rendimento introduzido pela topologia NPC1 atinge até 2 %, em comparação com a NPC2. Para a frequência de 15,36 kHz, este aumento de eficiência é em média de 4 %. Já para a maior frequência f_{sw} em estudo, este ganho médio é de cerca de 6 %. O rendimento global da UPS em NPC2 só supera o NPC1 em alguns dos projetos com frequência f_{sw} e tensão V_{DC} mínimas.

Figura 5.29 – Comparação entre o rendimento global da UPS de dupla conversão nas topologias NPC1 e NPC2, com módulos à base de silício.



Nota: A diferença percentual $\eta_{NPC1} - \eta_{NPC2}$ é representada segundo a convenção da legenda.

Fonte: Dados da pesquisa, 2016.

Todos os resultados desta seção apontam para os ganhos de rendimento que decorrem tanto da seleção de módulos de carbeto de silício, quanto da opção pela topologia NPC1, no caso em que se especificam componentes de silício. A viabilidade de módulos de SiC em UPSs de dupla conversão é analisada, em particular, na seção a seguir. Novamente, ressalta-se aqui a necessidade de reavaliar os ganhos de rendimento indicados nesta seção, se novas especificações de UPSs forem analisadas.

5.1.5 Viabilidade de módulos de SiC em UPS

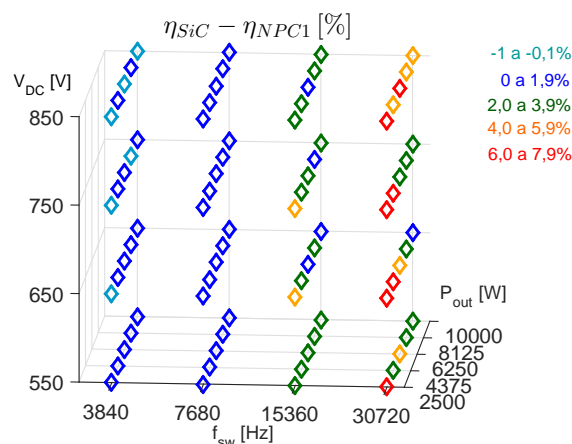
Esta seção avalia a viabilidade de módulos de carbeto de silício nos projetos de UPSs de dupla conversão. Inicialmente, são quantificadas as diferenças entre o rendimento global η das UPSs com componentes de SiC e de silício. Nesta comparação, considera-se apenas a topologia NPC1, que exhibe o maior rendimento global dentre as variações com silício. A Figura 5.30 representa as diferenças entre os valores de rendimento global η das UPSs em arranjos de dois níveis com SiC (η_{SiC}) e em NPC1 com silício (η_{NPC1}), indicadas segundo a convenção de cor da legenda.

Como se infere dos resultados da Figura 5.30, o ganho de rendimento introduzido pelos módulos de SiC ($\eta_{SiC} - \eta_{NPC1}$) atinge até 2% nas duas menores frequências de chaveamento f_{sw} e assume em média cerca de 5% nas duas maiores f_{sw} . Como já se previa, este ganho em rendimento dos dispositivos de SiC em baixas frequências f_{sw} é menor, como resultado das maiores perdas nos filtros de entrada e de saída das topologias de dois níveis, em comparação com as $3n$. Todavia, para as frequências de chaveamento típicas de UPSs comerciais, presumidas em cerca de 15 kHz, aquele aumento de rendimento é de 3% em média. Este ganho em desempenho

já justificaria a substituição dos módulos de silício pelos de SiC nestas UPSs – sem que sejam ponderados, nesta análise, os custos das duas alternativas.

Sendo assim, os resultados da Figura 5.30 indicam que mesmo em comparação com o arranjo de componentes de silício com menores perdas globais – no filtro e nos semicondutores, as UPSs à base de SiC em topologia $2n$ ainda introduzem ganhos de rendimento de quase 8 %, em alguns projetos com maiores frequências de chaveamento. Estes resultados, portanto, já acenam para a viabilidade dos dispositivos de SiC em aplicações de UPS, mesmo em baixas potências.

Figura 5.30 – Comparação entre o rendimento global da UPS de dupla conversão com conversores de dois níveis e NPC1 com módulos de SiC e de silício, respectivamente.



Nota: A diferença percentual $\eta_{NPC1} - \eta_{2n}$ é representada segundo a convenção da legenda.

Fonte: Dados da pesquisa, 2016.

Ademais, há ainda outros ganhos que resultam da substituição dos módulos de potência de silício pelos de SiC. Por exemplo, como consequência do maior rendimento dos projetos com SiC, as UPSs podem operar em frequências de chaveamento mais elevadas, reduzindo o volume e o custo dos filtros e ainda, os níveis de ruído audível. Os sistemas de refrigeração podem ser simplificados, o que também contribui para a redução do custo do projeto. Para que também estes ganhos adicionais sejam avaliados, propõem-se, aqui, duas abordagens de comparação entre os projetos de UPS com componentes de silício e de SiC.

A primeira abordagem pretende quantificar a possível redução de volume dos filtros nas UPSs com módulos de SiC. Nesta análise, a resistência térmica de dissipador para ambiente $R_{th(sa)}$ – que qualifica o sistema de refrigeração dos conversores – é definida em um valor constante de $0,03 K/W^4$. Para esta condição, a frequência de chaveamento f_{sw} é então elevada para o valor máximo que ainda leva a um rendimento superior ao da UPS em topologia $2n$ com silício. Obviamente, o projeto a esta frequência f_{sw} não deve violar o limite térmico da

⁴ Este valor de resistência térmica, que aproxima do valor da resistência do dissipador do modelo P16 (Semikron com convecção forçada), é adotado como referência para que não haja violação do limite térmico nas UPSs em topologia $2n$ com componentes de silício, no pior cenário de operação.

junção dos semicondutores, assumido em $125^{\circ}C$. Do mesmo modo, a elevação da temperatura dos indutores, em nenhum destes cenários, deve exceder o limiar de $90^{\circ}C$. Apenas valores de f_{sw} múltiplos da frequência de $15,36 kHz$ são avaliados e não são consideradas associações série/paralelo de módulos. Supõe-se ainda que sobre cada dissipador estão montados três braços completos de dispositivos. Assim, dois destes dissipadores seriam necessários na UPS de dupla conversão de $10 kVA$.

Nestas condições, calculam-se o rendimento global da UPS, as perdas percentuais em cada estágio, as temperaturas de junção máximas e o volume total dos indutores de filtro. Deste modo, aquela possível redução de volume nos indutores é estimada com base na comparação dos projetos com SiC e com Si com rendimentos globais aproximadamente equivalentes.

A Tabela 5.6 apresenta os resultados desta primeira abordagem. Os volumes totais dos indutores são sobredimensionados supondo fatores de utilização da janela do núcleo de 40% ⁵.

Como se induz da comparação entre os cenários 1 e 4 da Tabela 5.6, a redução do volume total dos indutores dos filtros que resulta da seleção por módulos de SiC pode atingir cerca de 75% , em comparação com o projeto em topologia $2n$ com dispositivos de silício (de $8,7 L$ para $2,3 L$). A frequência de chaveamento f_{sw} , portanto, pode ser elevada em até *cinco* vezes na variação com SiC (cenário 4) para que o rendimento ainda seja $2,2\%$ maior do que na UPS $2n$ com silício (cenário 1). A operação à esta frequência f_{sw} cinco vezes maior (de $76,8 kHz$) não só incide na redução das dimensões dos filtros, como também na mitigação do ruído audível.

Em comparação com as UPSs com componentes de Si em arranjo NPC1, esta redução de volume dos indutores nas UPSs com SiC é de cerca de 33% (de $6,1 L$ para $4,1 L$), por inspeção dos cenários 1 e 3. Assim, a possibilidade de aumento da frequência de chaveamento nas UPSs com conversores $2n$ de SiC pode compensar o critério de dimensionamento do filtro LC na topologia $2n$, que impõe indutâncias duas vezes maiores do que no arranjo $3n$. Ainda com base nos resultados destes dois cenários, nota-se que a UPS com SiC leva a um rendimento comparável ao do projeto em NPC1 com frequência f_{sw} *três* vezes menor.

Já em comparação com a topologia NPC2, a variação de UPS com SiC promove uma redução de volume de até 60% (de $6,1 L$ para $2,3 L$), como se infere dos cenários 1 e 4. Assim, a UPS com SiC opera com um rendimento global apenas $0,6\%$ menor do que na variação NPC2 com frequência de chaveamento *cinco* vezes menor.

Em suma, os resultados da Tabela 5.6 indicam que a substituição dos módulos de silício pelos de SiC nas UPSs de $10 kVA$ leva à redução de no mínimo 33% no volume dos indutores dos filtros, como resultado da operação em frequências de chaveamento pelo menos *três* vezes maior, para um rendimento global equivalente. Ainda em decorrência deste aumento da frequência de chaveamento, o ruído audível poderia ser mitigado nos projetos com SiC. Ademais, esta

⁵ Para os indutores dimensionados neste trabalho, o limite máximo do fator de utilização é arbitrado em 30% , como define a seção 4.1.2. Sendo assim, supõe-se que este fator seja de 40% nas estimativas de volume do indutor para fins de simplificação dos cálculos.

substituição de silício por SiC não oneraria custos adicionais com o sistema de refrigeração, suposto equivalente nos projetos de UPS da Tabela 5.6.

Tabela 5.6 – Comparação entre a frequência de chaveamento máxima da UPS de dupla conversão com sistema de refrigeração arbitrário e fixo ($R_{th(sa)} = 0,03 K/W$) para os quatro módulos de potência em estudo.

Cenário 1 – $f_{sw} = 15,36 kHz$, $V_{DC} = 650 V$, $P_{out} = 10 kW$, $R_{th(sa)} = 0,03 K/W$							
Módulo	η [%]	Perdas [%]			$T_{j(max)}$ [$^{\circ}C$]		V_{ind} [L]
		Retificador	Inversor	Indutores	Retificador	Inversor	
FF75R12RT4 (Si)	88,1	5,0	5,0	1,9	82	83	8,7
CCS050M12CM2 (SiC)	95,2	1,5	1,4	1,9	54	54	8,7
F3L75R07W2E3 (NPC1)	93,1	3,2	2,7	1,1	72	68	6,1
F3L150R12W2H3B11 (NPC2)	90,9	3,6	4,4	1,1	87	80	6,1
Cenário 2 – $f_{sw} = 30,72 kHz$, $V_{DC} = 650 V$, $P_{out} = 10 kW$, $R_{th(sa)} = 0,03 K/W$							
Módulo	η [%]	Perdas [%]			$T_{j(max)}$ [$^{\circ}C$]		V_{ind} [L]
		Retificador	Inversor	Indutores	Retificador	Inversor	
FF75R12RT4 (Si)	79,5	9,7	9,0	1,8	122	118	4,1
CCS050M12CM2 (SiC)	94,3	2,1	1,8	1,8	59	59	4,1
F3L75R07W2E3 (NPC1)	92,5	3,6	3,0	0,9	84	68	3,6
F3L150R12W2H3B11 (NPC2)	85,5	6,0	7,7	0,9	123	112	3,6
Cenário 3 – $f_{sw} = 46,08 kHz$, $V_{DC} = 650 V$, $P_{out} = 10 kW$, $R_{th(sa)} = 0,03 K/W$							
Módulo	η [%]	Perdas [%]			$T_{j(max)}$ [$^{\circ}C$]		V_{ind} [L]
		Retificador	Inversor	Indutores	Retificador	Inversor	
CCS050M12CM2 (SiC)	93,0	2,8	2,2	2,0	67	64	4,1
F3L75R07W2E3 (NPC1)	91,8	4,5	2,9	0,8	99	82	2,3
Cenário 4 – $f_{sw} = 76,8 kHz$, $V_{DC} = 650 V$, $P_{out} = 10 kW$, $R_{th(sa)} = 0,03 K/W$							
Módulo	η [%]	Perdas [%]			$T_{j(max)}$ [$^{\circ}C$]		V_{ind} [L]
		Retificador	Inversor	Indutores	Retificador	Inversor	
CCS050M12CM2 (SiC)	90,3	4,5	3,0	2,2	85	73	2,3

Nota: O volume total dos indutores se manteve no mesmo valor para as frequências f_{sw} em 30,72 kHz e 46,08 kHz em razão do uso de um núcleo menor neste segundo caso. Como resultado, para que o critério de fator de utilização máximo pudesse ser atendido, um maior número de unidades foi associado em série no cenário a 46,08 kHz, o que justifica este resultado.

Todavia, a estimativa da redução do custo total dos filtros de entrada e de saída da UPS

com SiC deveria também pontuar a queda nos custos dos capacitores. Este decréscimo no custo total dos filtros deve compensar os gastos adicionais com os módulos de SiC (mais caros do que os de silício) para que a opção pelo SiC seja economicamente viável. As análises de viabilidade econômica destas duas alternativas não serão incluídas neste texto, por dependerem, por exemplo, de informações práticas relativas ao projeto dos indutores nestes dois casos.

A segunda abordagem de comparação entre os projetos de UPSs com componentes de silício e SiC objetiva avaliar a possível simplificação dos sistemas de refrigeração das UPSs com SiC. Para tanto, a temperatura de junção máxima dos dispositivos $T_{j(max)}$ é fixada em $125\text{ }^{\circ}\text{C}$ e a máxima resistência $R_{th(sa)}$, aqui tratada como figura de mérito da complexidade e do custo destes sistemas, é estimada para várias frequências de chaveamento. Assim, quanto menor o valor de $R_{th(sa)}$, maior o volume e o custo do dissipador. A dependência entre $R_{th(sa)}$ e as dimensões do dissipador deve ser avaliada em *softwares* de análise térmica de elementos finitos, para que sejam modelados os efeitos da distribuição do calor na superfície do dissipador sobre a resistência térmica. Estas análises foram iniciadas no *software Qfin (Qfinsoft)* como parte desta pesquisa, mas ainda não foram finalizadas e, portanto, não serão abordadas neste texto. Sendo assim, a complexidade ou os custos dos sistemas de refrigeração de cada projeto de UPS são avaliados qualitativamente neste trabalho, por inspeção dos valores de $R_{th(sa)}$ para cada caso.

A Tabela 5.7 apresenta os resultados da comparação dos projetos de UPS com esta nova abordagem. Novamente, admite-se que sobre cada dissipador estão montados três braços completos de dispositivos. A resistência de encapsulamento para dissipador do módulo de SiC, não informada pelo fabricante, é suposta equivalente a de um módulo de silício de dimensões aproximadamente iguais (*FS75R7N2E4*). Para que o limite máximo de elevação de temperatura nos indutores não fosse excedido, o núcleo dos indutores de filtro das UPSs com frequências de chaveamento $107,52\text{ kHz}$ e $122,88\text{ kHz}$ não são selecionados apenas segundo o critério de energia armazenada, detalhado na seção 4.1.2. Nesta seleção, considera-se ainda a superfície mínima do indutor para que a dissipação de calor seja facilitada, sem que seja necessária a associação de um grande número de componentes em série/paralelo.

Com base nos dados da Tabela 5.7, se deduz que para uma mesma frequência de chaveamento, a resistência $R_{th(sa)}$ da UPS com SiC pode ser de 2, 4 até 10 vezes maior do que nas variações de silício, dependendo da topologia. Ora, como quanto maior $R_{th(sa)}$, mais simples é o sistema de refrigeração da UPS, este resultado indica, grosso modo, que o custo dos dissipadores e dos ventiladores pode ser menor na UPS com SiC. Esta redução de custo, aliada ao aumento de rendimento de até 15% (observado no cenário 4, entre as UPSs $2n$ de Si e de SiC), podem tornar as UPSs com SiC viáveis.

De fato, por inspeção dos resultados para os cenários 2 e 6, nota-se que o mesmo sistema de refrigeração pode ser adotado na UPS $2n$ com SiC à frequência f_{sw} de $122,88\text{ kHz}$ e na UPS com arranjo $2n$ e NPC2 de silício, com f_{sw} de $30,72\text{ kHz}$. Um mesmo valor de $R_{th(sa)}$ também seria suficiente para a refrigeração de UPSs em NPC1 à $15,36\text{ kHz}$ e com SiC à $46,08\text{ kHz}$.

Tabela 5.7 – Comparação entre os sistemas de refrigeração da UPS de dupla conversão com temperatura de junção máxima $T_{j(max)}$ fixada em $125^{\circ}C$ para os quatro módulos de potência em estudo.

Cenário 1 – $f_{sw} = 15,36 kHz$, $V_{DC} = 650 V$, $P_{out} = 10 kW$, $T_{j(max)} = 125^{\circ}C$						
Módulo	η [%]	Perdas [%]			$R_{th(sa)}$ [K/W]	V_{ind} [L]
		Retificador	Inversor	Indutores		
FF75R12RT4 (Si)	88,1	5,0	5,0	1,9	0,11	8,7
CCS050M12CM2 (SiC)	95,2	1,5	1,4	1,9	0,48	8,7
F3L75R07W2E3 (NPC1)	93,1	3,2	2,7	1,1	0,20	6,1
F3L150R12W2H3B11 (NPC2)	90,9	3,6	4,4	1,1	0,13	6,1
Cenário 2 – $f_{sw} = 30,72 kHz$, $V_{DC} = 650 V$, $P_{out} = 10 kW$, $T_{j(max)} = 125^{\circ}C$						
Módulo	η [%]	Perdas [%]			$R_{th(sa)}$ [K/W]	V_{ind} [L]
		Retificador	Inversor	Indutores		
FF75R12RT4 (Si)	79,5	9,7	9,0	1,8	0,03	4,1
CCS050M12CM2 (SiC)	94,3	2,1	1,8	1,8	0,34	4,1
F3L75R07W2E3 (NPC1)	92,5	3,6	3,0	0,9	0,15	3,6
F3L150R12W2H3B11 (NPC2)	85,5	6,0	7,7	0,9	0,03	3,6
Cenário 3 – $f_{sw} = 46,08 kHz$, $V_{DC} = 650 V$, $P_{out} = 10 kW$, $T_{j(max)} = 125^{\circ}C$						
Módulo	η [%]	Perdas [%]			$R_{th(sa)}$ [K/W]	V_{ind} [L]
		Retificador	Inversor	Indutores		
CCS050M12CM2 (SiC)	93,0	2,8	2,2	2,0	0,24	4,5
F3L75R07W2E3 (NPC1)	91,8	4,5	2,9	0,8	0,09	2,3
Cenário 4 – $f_{sw} = 76,8 kHz$, $V_{DC} = 650 V$, $P_{out} = 10 kW$, $T_{j(max)} = 125^{\circ}C$						
Módulo	η [%]	Perdas [%]			$R_{th(sa)}$ [K/W]	V_{ind} [L]
		Retificador	Inversor	Indutores		
CCS050M12CM2 (SiC)	90,3	4,5	3,0	2,2	0,12	2,3
Cenário 5 – $f_{sw} = 107,52 kHz$, $V_{DC} = 650 V$, $P_{out} = 10 kW$, $T_{j(max)} = 125^{\circ}C$						
Módulo	η [%]	Perdas [%]			$R_{th(sa)}$ [K/W]	V_{ind} [L]
		Retificador	Inversor	Indutores		
CCS050M12CM2 (SiC)	86,5	6,7	3,8	3,0	0,05	2,0
Cenário 6 – $f_{sw} = 122,88 kHz$, $V_{DC} = 650 V$, $P_{out} = 10 kW$, $T_{j(max)} = 125^{\circ}C$						
Módulo	η [%]	Perdas [%]			$R_{th(sa)}$ [K/W]	V_{ind} [L]
		Retificador	Inversor	Indutores		
CCS050M12CM2 (SiC)	84,5	8,1	4,2	3,2	0,03	2,0

Como resultado desta simplificação do sistema de refrigeração, as UPSs com SiC podem, inclusive, dispensar a necessidade de ventiladores. Como os ventiladores são suscetíveis a falhas recorrentes, estas UPSs poderiam, portanto, também introduzir ganhos quanto à confiabilidade.

Por exemplo, se dois módulos de SiC fossem associados em paralelo no cenário 1 da Tabela 5.7, em dissipadores distintos, a resistência térmica máxima deste projeto seria de cerca de $1,0 K/W$. Como esta resistência pode ser atingida em dissipadores sem convecção forçada, os ventiladores poderiam ser dispensados neste projeto.

Outras variações de projeto poderiam ainda elevar o valor da resistência térmica máxima $R_{th(sa)}$, como o uso de componentes discretos divididos entre os dissipadores. Para as UPSs com componentes de silício, para que este limite de resistência térmica fosse atingido, um maior número de chaves deveria ser associado em paralelo, por exemplo, inviabilizando o projeto. Como esta análise também depende de modelos térmicos mais exatos, que contemplem a distribuição do calor em dissipadores com convecção natural, este ganho das UPSs com SiC não será tratado neste texto.

Em linhas gerais, portanto, há pelo menos três filosofias de projeto que demonstram a viabilidade de UPSs com componentes de SiC:

- (i) mantendo o sistema de refrigeração já adotado nas UPSs com silício, para um mesmo rendimento global a frequência de chaveamento do projeto com SiC pode ser elevada em *três a sete* vezes, reduzindo o volume dos indutores dos filtros em 33 % a 75 %, dependendo da topologia;
- (ii) mantendo a frequência de chaveamento dos projetos de UPSs com silício, o rendimento pode ser elevado em 1,2 % até cerca de 15 % com a opção por módulos de SiC e o sistema de refrigeração pode ser ainda simplificado, com o aumento da resistência térmica máxima $R_{th(sa)}$ em até $0,37 K/W$;
- (iii) mantendo o rendimento das UPSs com silício, a frequência de chaveamento pode ser elevada em *duas* vezes no conversor com SiC, aliando a redução do volume dos filtros (de no mínimo 33 %) à simplificação do sistema de refrigeração (com o aumento de $R_{th(sa)}$ em até $0,23 K/W$).

As análises de viabilidade econômica de cada uma destas filosofias devem ser conduzidas nas próximas fases desta pesquisa, para que os ganhos das UPSs com componentes de SiC sejam ponderados pelos custos totais do projeto.

5.1.6 Comparação entre os métodos *online* e *offline*

Esta seção compara os resultados dos métodos *online* e *offline*, detalhados nas seções 4.1.1.3 e 4.1.1.2. Os resultados do método *offline*, que presume a operação do dispositivo em temperatura máxima, já foram abordados nas seções anteriores. Esta seção acrescenta as estimativas do método *online* para o estágio inversor de um dos projetos de UPS, com um dos quatro módulos em análise (o FF75R12RT4, em topologia de dois níveis). Para este módulo, o fabricante informa as curvas de condução dos diodos e dos transistores para temperaturas de junção de $25^{\circ}C$, $125^{\circ}C$ e $150^{\circ}C$ e de chaveamento a estas duas últimas temperaturas. Estas

curvas serão adotadas para inferir as perdas dos dispositivos em outras temperaturas de junção, segundo o procedimento de interpolação descrito na seção 4.1.1.3. Os resultados para outros módulos serão omitidos aqui para simplificação do texto.

A Tabela 5.8 enumera as perdas de condução P_{cond} , de chaveamento P_{chav} e a temperatura de junção T_j para um dos diodos ($D1$) e um dos transistores ($Q1$) do braço do módulo FF75R12RT4, em topologia $2n$. Por argumento de simetria, a potência total do estágio inversor, também informada na Tabela 5.8, resulta da multiplicação da soma das perdas de $Q1$ e $D1$ por 6.

Tabela 5.8 – Comparação entre os resultados dos métodos *online* e *offline*.

Cenário 1 – $f_{sw} = 15,36 \text{ kHz}$, $V_{DC} = 650 \text{ V}$, $P_{out} = 10 \text{ kW}$, estágio inversor, FF75R12RT4							
Método	Diodo $D1$			Transistor Q_1			Perdas totais [W]
	P_{cond} [W]	P_{chav} [W]	T_j [$^{\circ}C$]	P_{cond} [W]	P_{chav} [W]	T_j [$^{\circ}C$]	
<i>offline</i>	3,6	18,2	70,3	12,0	49,2	83,2	498,0 (1,00 p.u.)
<i>online</i>	4,1	5,5	58,2	11,4	42,2	76,3	379,4 (0,76 p.u.)

Como se depreende dos dados da Tabela 5.8, as perdas totais calculadas no estágio inversor via método *online* são cerca de 25 % menores do que no *offline*. Sendo assim, a hipótese de que o dispositivo opera à temperatura de junção máxima, no processo *offline*, de fato conduz a estimativas conservadoras da potência total dissipada no conversor.

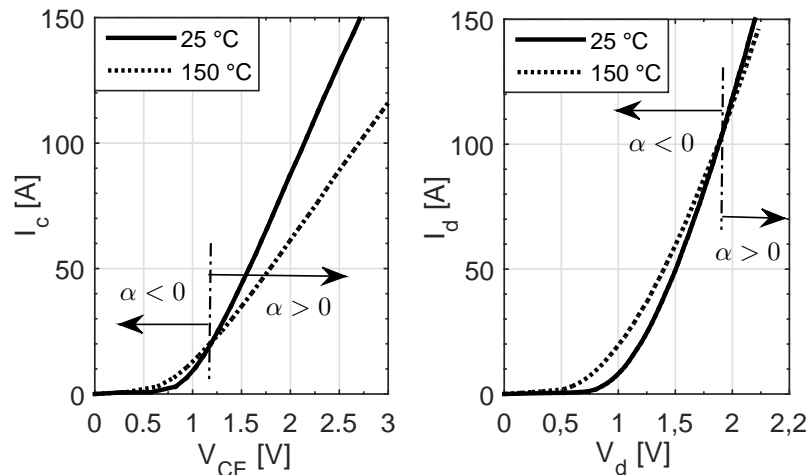
Todavia, esta estimativa pode não ser conservadora para as perdas de condução nos componentes, como se deduz da comparação entre as perdas de $D1$ obtidas pelos métodos *online* e *offline*, dadas na Tabela 5.8. Isso ocorre em razão de variações no coeficiente de temperatura α ao longo da característica $I \times V$ dos diodos e dos IGBTs, para uma dada tensão V_{GE} . Para ilustrar esta variação de α , as curvas $I \times V$ do diodo $D1$ e do transistor $Q1$ do módulo FF75R12RT4 são apresentadas na Figura 5.31, para a tensão V_{GE} em 15 V.

As retas pontilhadas perpendiculares ao eixo das abscissas nos gráficos da Figura 5.31 indicam os pontos em que há uma variação de sinal no coeficiente de temperatura. Para o diodo $D1$ do módulo FF75R12RT4, o coeficiente de temperatura α se torna negativo para correntes inferiores a cerca de 100 A. Para o IGBT $Q1$, o coeficiente de temperatura se mantém positivo para a maior parte da faixa de correntes⁶. Sendo assim, como resultado do aumento da resistência do diodo com a redução da temperatura de junção, as perdas de condução tendem a elevar com esta redução. Como o modelo *online* avalia a característica $I \times V$ do diodo a temperaturas menores do que 150 $^{\circ}C$, maiores perdas de condução decorrem deste método, como se nota na

⁶ Esta tendência dos coeficientes de temperatura ao longo da característica do transistor varia em dispositivos PT (*Punch-Through*) e NPT (*Non Punch-Through*) e deve ser considerada nas aplicações que demandem a associação paralela de IGBTs – em que o coeficiente de temperatura positivo é preferido.

Tabela 5.8. No IGBT, o contrário ocorre na característica $I \times V$ e quanto maior a temperatura de junção, maiores as perdas de condução, o que também justifica o resultado da Tabela 5.8.

Figura 5.31 – Características $I \times V$ informadas no catálogo do módulo FF75R12RT4



Curvas: (a) do transistor $Q1$, para $V_{GE} = 15 V$; (a) do diodo $D1$.

Fonte: Dados da pesquisa, 2016.

Em linhas gerais, portanto, o método *online* pode ser adotado para que estimativas mais reais da potência dissipada nos semicondutores sejam derivadas. A validação experimental dos resultados deste método, todavia, em virtude de dificuldades práticas de medição das perdas em conversores e de caracterização térmica do sistema de refrigeração, será conduzida em outras etapas desta pesquisa.

5.2 Resultados experimentais

Nesta seção, apresentam-se os resultados dos ensaios experimentais propostos para validação das estimativas teóricas de perdas. Inicialmente, a concordância entre estas estimativas e as medições do wattímetro *WT1800* (*Yokogawa*) em um conversor *buck* de 5,5 kW, considerando as incertezas associadas às leituras, é avaliada. Na sequência, os resultados do protótipo experimental do calorímetro indireto série são descritos.

5.2.1 Resultados de medições com wattímetro

Esta seção apresenta parte dos resultados experimentais da montagem detalhada na seção 4.2.1. Os resultados da comparação entre as medições das perdas globais do conversor *buck* e as estimativas teóricas já foram publicados nos anais do COBEP 2015 (*Brazilian Power Electronics Conference*)⁷ e serão discutidos brevemente nesta seção.

⁷ Trabalho publicado pelos autores Cota et al. (2015).

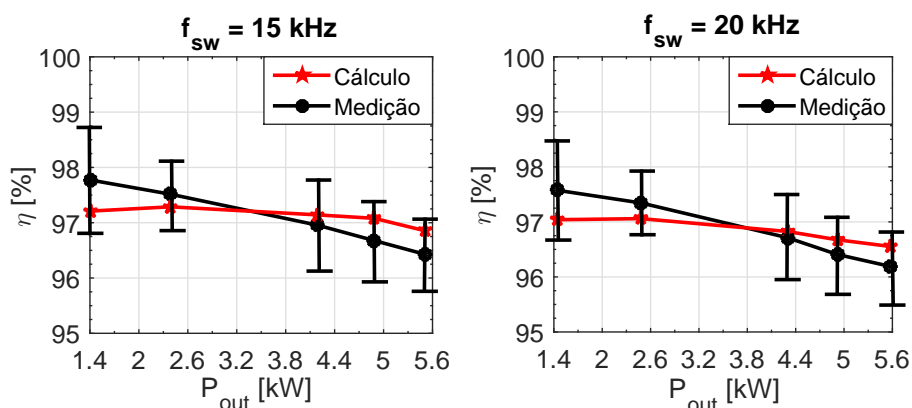
Para minimizar a incerteza da medição, os ensaios aqui apresentados forçam a operação do conversor com rendimentos menores (como se discute na seção 2.3.1). Para tanto, a tensão do barramento c.c. V_{DC} é mantida em cerca de 200 V e a frequência de chaveamento é atribuída a valores maiores ou iguais a 15 kHz. Como o conversor opera em malha aberta, com *duty-cycle* fixo de 0,8, a tensão V_{DC} é ajustada manualmente para cada condição de carga (via variavolt), para manter a tensão de saída V_{out} constante (de 160 V).

Nos ensaios, o wattímetro *WT1800* armazena as leituras para cada nível de carga em arquivos “.csv”. Para que as condições reais do conversor sejam reproduzidas em simulação no *software MATLAB*, as tensões V_{out} e V_{DC} e a potência de carga P_{out} são recuperadas destes arquivos. Em razão de dificuldades na caracterização da resistência térmica do conjunto “dissipador + ventilador”, adota-se aqui o método *offline* para o cálculo de perdas (seção 4.1.1.2). Assim, os vetores de corrente no transistor e no diodo são aqueles derivados das simulações temporais e as estimativas de perdas nos semicondutores pressupõem a operação à temperatura de junção máxima.

Já as perdas no indutor de filtro são calculadas a partir da ferramenta detalhada na seção 4.1.2. A potência dissipada nos capacitores de filtro e de entrada do conversor são desprezadas. Como resultado, as perdas globais foram aproximadas pela soma das potências dissipadas apenas nos semicondutores e no indutor de filtro.

Os gráficos da Figura 5.32 apresentam os resultados da comparação entre as estimativas teóricas e as medições para as frequências de chaveamento de 15 kHz e 20 kHz. As incertezas associadas às leituras de perdas (e assim, do rendimento global) são calculadas com base na equação 2.35.

Figura 5.32 – Rendimento global η do conversor *buck* calculado e medido via wattímetro, para várias potências de carga P_{out} .



Rendimento global para a frequência de chaveamento f_{sw} de: (a) 15 kHz; (b) 20 kHz.

Fonte: Dados da pesquisa, 2016.

Como se deduz dos resultados da Figura 5.32, as estimativas teóricas de rendimento global se situam nos intervalos definidos pelas incertezas nas leituras. Todavia, os rendimentos

calculados diferem do limite superior da faixa de incerteza de medição em cerca de 0,15 %, nos casos com maiores potências de saída. Assim, a previsão de que estes rendimentos fossem inferiores aos medidos, por representarem o “pior caso”, não se verifica. Isso provavelmente se deve às inconsistências entre os parâmetros reais e os modelados em simulação. Algumas das prováveis fontes de erro decorrem, provavelmente: (i) da dispersão natural entre as características reais e catalogadas no *datasheet* do componente; (ii) da impossibilidade de reproduzir as condições em que estas características se aplicam; (iii) da indefinição nas energias de chaveamento dos dispositivos para correntes mais baixas, estimadas por extrapolação; (iv) da incerteza nos parâmetros construtivos do indutor de filtro e (v) dos erros que resultam da hipótese de que os efeitos pelicular e de proximidade podem ser desprezados.

Por outro lado, as tentativas de medição apenas das perdas nos semicondutores via wattímetro, sem a inclusão do filtro LC, levam a incertezas maiores do que as perdas do conversor. Como consequência, as leituras de potência de saída, em algumas medições, superam as da potência de entrada, em um cenário sem sentido físico.

Todas estas dificuldades, portanto, apontam para a inexatidão do método de medição elétrica de perdas. Por esta razão, este trabalho propõe uma técnica alternativa que se baseia no princípio calorimétrico e que independe das formas de onda ou do rendimento do conversor. Os resultados preliminares do protótipo de calorímetro desenvolvido seguem na seção 5.2.2.

5.2.2 Resultados preliminares no protótipo de calorímetro

Esta seção apresenta os resultados preliminares no protótipo experimental de calorímetro indireto série, detalhado na seção 4.2. Em razão dos problemas de compatibilidade eletromagnética relatados na subseção 4.2.2.2, são conduzidos apenas ensaios com resistores de potência de cerca de $12\ \Omega$, nas caixas de referência (CR) e de medição (CM). A descrição destes ensaios consta na Tabela 5.9.

Tabela 5.9 – Ensaios propostos no protótipo.

Ensaio	Descrição	
	Condição inicial	Tampa
1	Caixa de referência pré-aquecida, a cerca de $70\ ^\circ\text{C}$	Metal + isolante + metal
2	Caixas à mesma temperatura inicial	Metal + isolante + metal
3	Caixas à mesma temperatura inicial, comando <i>feed-forward</i> no controlador de temperatura	Metal + isolante + metal
4	Caixas à mesma temperatura inicial, comando <i>feed-forward</i> no controlador de temperatura	Cobre, sem furos
5	Caixas à mesma temperatura inicial, comando <i>feed-forward</i> no controlador de temperatura	Cobre, com padrão de furos

Nos três ensaios iniciais, tampas em estrutura sanduíche (metal + isolante + metal), que originalmente compõem as caixas em teste, são utilizadas. No ensaio 1, a caixa de referência

foi pré-aquecida até cerca de 70°C , enquanto o controle de temperatura de CM se mantinha desabilitado. Depois que aquela temperatura era atingida em CR, o controle era habilitado e impunha potência plena ao resistor de CM, até a convergência das temperaturas nas duas caixas. Na sequência, o controle passa a ajustar o *duty-cycle* do conversor *buck* para aquele que provê uma potência no resistor de CM (P_{CM}) igual à de CR (P_{CR}). Este teste pretende avaliar se a condição de equivalência entre P_{CM} e P_{CR} depende, de algum modo, do estado inicial ou da dinâmica inicial de aquecimento. Este ensaio também é sugerido por Itoh e Nigorikawa (2012).

Como alternativa para a redução do tempo de execução do ensaio, propõe-se o teste 2, também indicado por Itoh e Nigorikawa (2012), em que CM e CR partem de temperaturas iniciais iguais. No instante em que o resistor de CR passa a dissipar a potência $P_{CR} > 0$, o controle de temperatura já está ativo. Neste ensaio, portanto, a ação do controle é antecipada e passa a corrigir menores diferenças de temperaturas, em comparação com o teste 1.

No terceiro ensaio, as caixas CM e CR também partem de temperaturas iguais. Todavia, a ação inicial do controle é ajustada, por tentativa, para o valor que leva inclusive à equivalência entre as dinâmicas de aquecimento nos instantes iniciais, nas duas caixas. Na prática, um valor inicial é somado a este controle, como uma ação *feed-forward*. O controlador, portanto, converge mais rapidamente para o valor final e, mesmo em regime transitório, as potências P_{CR} e P_{CM} são iguais. Como resultado, o tempo de duração do ensaio 3 é menor do que no ensaio 2, já que a leitura de perdas pode ser efetuada antes que se atinja o regime permanente.

Ao longo dos três ensaios anteriores, todavia, a temperatura em CR excede, provavelmente, a temperatura limite de operação de um conversor (presumida em 40°C). Na tentativa de que esta temperatura fosse reduzida, as tampas originais das duas caixas são substituídas por chapas de cobre de espessura aproximada em 0,2 mm. No ensaio 4, estas chapas são lisas, sem furos. Já no ensaio 5, chapas com um padrão matricial de furos, com 165 furos de 8 mm, são testadas. Para facilitar a entrada de ar pela abertura de cerca de 4 cm de diâmetro, por onde transpassam os cabos, as caixas são elevadas a uma altura aproximada de 15 cm em relação ao solo, neste último teste.

Em todos os cinco ensaios, o wattímetro *Yokogawa WT1800* mede a potência dissipada pelos resistores de CR (P_{CR}) e CM (P_{CM}). Este wattímetro só foi adicionado nos ensaios propostos para que as leituras do protótipo fossem validadas. Assim, se como resultado do controle de temperatura as medições de P_{CR} e P_{CM} forem equivalentes ao fim do ensaio (ou se exibirem diferenças toleráveis), então as perdas em CR podem ser medidas, indistintamente, a partir da medição da potência dissipada em CM. Os ensaios com o wattímetro e com resistor de potência em CR, portanto, servem para aferição da montagem proposta. Após esta aferição, a medição de potência em CM pode ser efetuada, por exemplo, por meio de voltímetros e amperímetros e o uso de wattímetros se torna dispensável.

Rigorosamente, cada ensaio só deveria ser encerrado na condição de regime permanente. Para tanto, todavia, a medição deveria perdurar por no mínimo 3h. Para que este tempo fosse

abreviado, arbitra-se, como condição de parada dos testes, o estado em que a diferença entre a temperatura em CM e de CR não excede 1 %.

A Tabela 5.10 apresenta os resultados das medições de potência do wattímetro e do protótipo, ao fim de cada ensaio. As incertezas nas leituras são também indicadas nesta tabela. A incerteza na leitura do wattímetro *WT1800* para sinais em c.c. é de $\pm 0,05\% \pm 0,1\%$ da faixa (em 5 A e 60 V, para os níveis de potência avaliados). Já a incerteza associada à leitura de P_{CM} pelo protótipo é calculada a partir do ensaio de calibração detalhado na seção 4.2.2.6, assumindo que o wattímetro seja um padrão de calibração exato. Assim, como se infere da Tabela 5.10 os desvios entre as potências em CM e CR são, no máximo, de cerca de 5 %. Sendo assim, a potência dissipada por um conversor em CR de *qualquer* rendimento pode ser estimada, a menos de erros de 5 %, a partir da leitura de potência no resistor de CM. Este erro pode ser ainda reduzido, por exemplo, se o regime permanente for atingido. Outros ensaios foram conduzidos com outros níveis de potência em CR e os erros máximos, de fato, não superam 5 %.

Tabela 5.10 – Medições de potência do wattímetro e do protótipo.

Ensaio	Wattímetro		Protótipo	Erros máximos [%]	
	$P_{CR(w)}$ [W]	$P_{CM(w)}$ [W]	$P_{CM(p)}$ [W]	$ P_{CM(w)} - P_{CM(p)} $	$ P_{CM(w)} - P_{CR(w)} $
1	$75,7 \pm 0,3$	$75,3 \pm 0,3$	$74,4 \pm 0,7$	2,5	0,5
2	$84,0 \pm 0,3$	$80,0 \pm 0,3$	$81,5 \pm 0,7$	1,4	4,8
3	$77,4 \pm 0,3$	$76,0 \pm 0,3$	$76,6 \pm 0,7$	0,6	1,8
4	$75,3 \pm 0,3$	$77,5 \pm 0,3$	$76,0 \pm 0,7$	3,2	3,8
5	$73,5 \pm 0,3$	$71,7 \pm 0,3$	$74,0 \pm 0,7$	2,7	2,5

Em todos os ensaios, são também avaliadas as temperaturas médias dos sensores e o erro ϵ_T entre as temperaturas nas duas caixas. Ao fim da execução do ensaio, o erro ϵ_P entre P_{CM} e o valor final desta grandeza $P_{CM(final)}$ é também estimado, em todos os instantes do teste. Os erros percentuais ϵ_T e ϵ_P são definidos como:

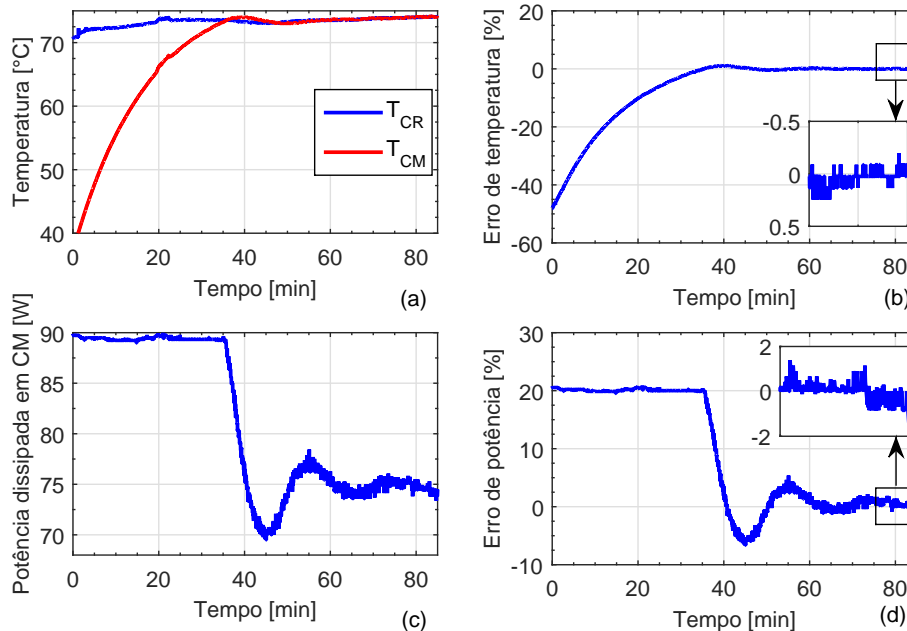
$$\epsilon_T[\%] = \frac{T_{CM} - T_{CR}}{T_{CR}} \cdot 100, \quad (5.1)$$

$$\epsilon_P[\%] = \frac{P_{CM} - P_{CM(final)}}{P_{CM(final)}} \cdot 100. \quad (5.2)$$

Os resultados para estas grandezas, no primeiro ensaio, constam na Figura 5.33. Como se nota nesta figura, a diferença inicial entre as temperaturas de CM e de CR era de cerca de 30 °C. Por cerca de 40 min, o controle impõe *duty-cycle* unitário ao conversor *buck*, para que o resistor de CM seja alimentado em potência plena. No instante em que há a convergência entre as temperaturas, esta potência se reduz até atingir o valor de 70 W. A partir deste instante as temperaturas T_{CM} e T_{CR} se mantêm equivalentes, a menos de erros de 1 %. Como a resposta em temperatura exhibe oscilações, o teste é estendido por mais 40 min, depois daquele instante. No fim do ensaio, aqueles erros são inferiores a 0,5 %. A leitura de potência em CM, apesar de não ter se estabilizado, se desvia do valor final em menos de 3 % a partir do instante $t = 55 \text{ min}$.

Como se infere deste ensaio, portanto, a condição de equivalência entre as potências dissipadas nas duas caixas independe do histórico inicial de temperaturas. A temperatura final em CM e CR foi de cerca de 75°C .

Figura 5.33 – Resultados do ensaio 1, com descrição dada na Tabela 5.9.



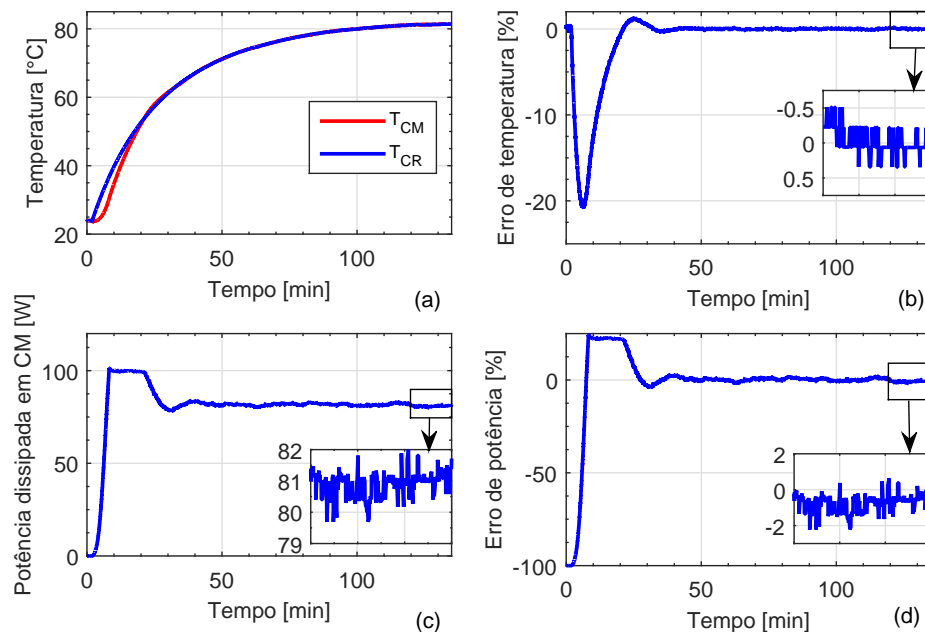
Gráficos: (a) temperatura da caixa de referência (T_{CR}) e de medição (T_{CM}) em função do tempo; (b) erro percentual ϵ_T entre as temperaturas T_{CR} e T_{CM} em função do tempo; (c) evolução potência dissipada em CM (P_{CM}), medida pelo protótipo; (d) erro percentual ϵ_P entre o valor atual e o valor final de P_{CM} , em cada instante.

Fonte: Dados da pesquisa, 2016.

Já os resultados do segundo ensaio são apresentados na Figura 5.34. Neste teste, a diferença inicial entre as temperaturas de CM e de CR é aproximadamente nula. Por cerca de 20 *min*, o controle impõe *duty-cycle* unitário ao conversor *buck*. No instante em que T_{CM} equivale à T_{CR} , esta potência se reduz até atingir o valor de 78 W. A partir deste instante as temperaturas T_{CM} e T_{CR} se mantêm aproximadamente iguais, a menos de erros de 1,5%. O teste é estendido por mais 50 *min*, depois deste instante. No fim do ensaio, os desvios entre T_{CM} e T_{CR} são inferiores a 0,5%. A leitura de potência em CM se desvia do valor final em menos de 3% a partir do instante $t = 40$ *min*. O tempo necessário para que a potência atingisse este erro em relação ao valor final é 25% menor do que no ensaio 1. Assim, como sugere Itoh e Nigorikawa (2012), iniciar o teste com temperaturas iguais em CM e CR de fato leva à redução do tempo de convergência entre as potências nestas caixas. A temperatura final foi de 81°C , maior do que no ensaio 1, em razão do aumento da potência do resistor de CR de cerca de 75 W para 84 W.

Já os resultados do ensaio 3 são representados na Figura 5.35. Neste ensaio, uma ação *feed-forward* é introduzida para que, desde o início, a dinâmica de aquecimento em CM rastreie aquela em CR, como se nota na Figura 5.35(a).

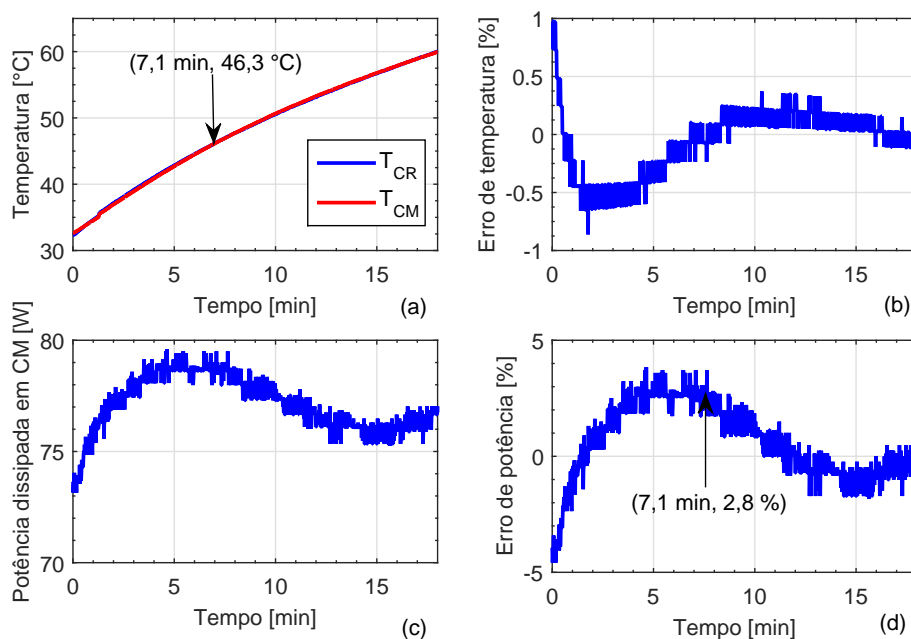
Figura 5.34 – Resultados do ensaio 2, com descrição dada na Tabela 5.9.



Gráficos: (a) temperatura da caixa de referência (T_{CR}) e de medição (T_{CM}) em função do tempo; (b) erro percentual ϵ_T entre as temperaturas T_{CR} e T_{CM} em função do tempo; (c) evolução potência dissipada em CM (P_{CM}), medida pelo protótipo; (d) erro percentual ϵ_P entre o valor atual e o valor final de P_{CM} , em cada instante.

Fonte: Dados da pesquisa, 2016.

Figura 5.35 – Resultados do ensaio 3, com descrição dada na Tabela 5.9.



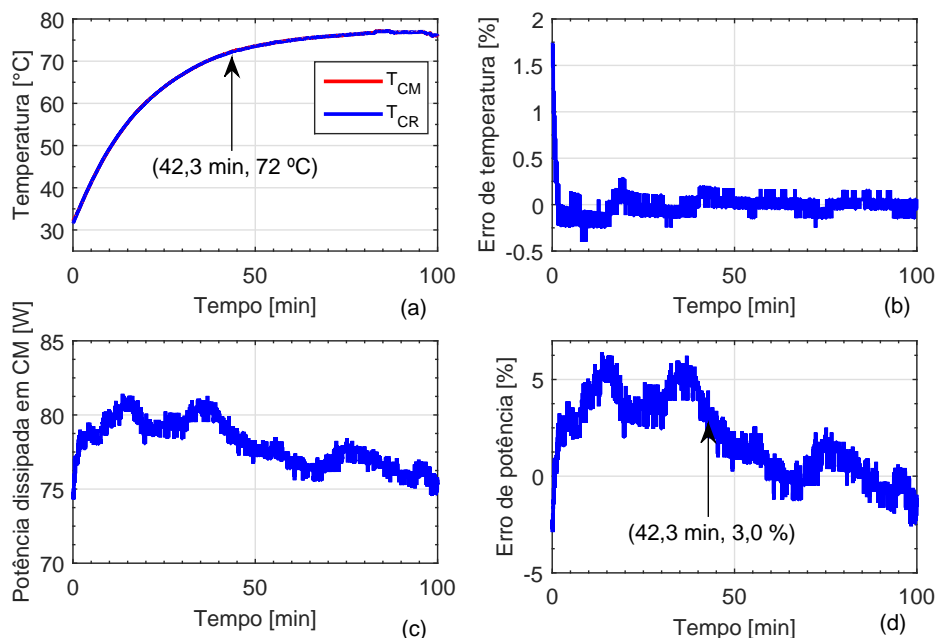
Gráficos: (a) temperatura da caixa de referência (T_{CR}) e de medição (T_{CM}) em função do tempo; (b) erro percentual ϵ_T entre as temperaturas T_{CR} e T_{CM} em função do tempo; (c) evolução potência dissipada em CM (P_{CM}), medida pelo protótipo; (d) erro percentual ϵ_P entre o valor atual e o valor final de P_{CM} , em cada instante.

Fonte: Dados da pesquisa, 2016.

No ensaio 3, o desvio entre as temperaturas T_{CM} e T_{CR} é menor do que 1 %, desde o início do teste. O tempo necessário para que a potência se desvie apenas 3 % em relação ao valor final é de cerca de 7 min. Há, portanto, uma redução de 80 % deste tempo, em comparação com o ensaio 2. Isto implica que depois de 7 min de ensaio, a leitura de potência em CM já provê uma aproximação razoável da leitura final (com erro de 3 %) e, assim, da potência em CR. A temperatura no fim do teste é de 60 °C, que, como nos ensaios anteriores, se torna proibitiva para a operação do conversor. Ainda que a leitura de potência seja antecipada para aquele instante $t = 7 \text{ min}$, a temperatura em CR já neste ponto atinge 46,3 °C.

Os dois ensaios subsequentes representam tentativas de redução das temperaturas em CM e CR, para que não violem o limite de temperatura ambiente para a operação do conversor (presumido em 40 °C). Os resultados da Figura 5.36 se referem ao ensaio em que se reproduz o teste 3 com uma tampa de cobre, lisa e sem furos. Como se infere desta figura, mesmo com a tampa de cobre, as temperaturas em CM e CR ainda convergem, a menos de desvios inferiores a 0,5 %. A temperatura em regime permanente, ainda assim, supera o limite de 40 °C. A partir do instante $t = 43 \text{ min}$, o desvio da leitura de P_{CM} em relação ao valor final se torna menor do que 3 %. Neste ponto, todavia, a temperatura é de 72 °C e também excede aquele limite térmico. O uso de tampas de metal lisas não se torna, portanto, suficiente para que a temperatura não supere aquele limite.

Figura 5.36 – Resultados do ensaio 4, com descrição dada na Tabela 5.9.



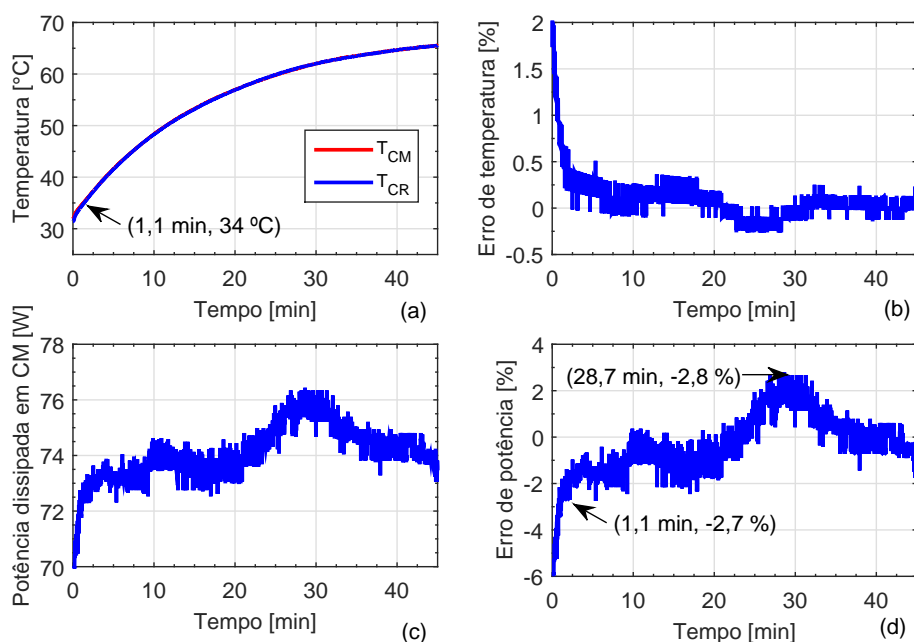
Gráficos: (a) temperatura da caixa de referência (T_{CR}) e de medição (T_{CM}) em função do tempo; (b) erro percentual ϵ_T entre as temperaturas T_{CR} e T_{CM} em função do tempo; (c) evolução potência dissipada em CM (P_{CM}), medida pelo protótipo; (d) erro percentual ϵ_P entre o valor atual e o o valor final de P_{CM} , em cada instante.

Fonte: Dados da pesquisa, 2016.

No último ensaio, estas tampas de metal são perfuradas em um padrão de 165 furos de 8 mm, para que o fluxo de ar pelos orifícios contribua para o resfriamento de CM e de CR. Os

resultados deste ensaio seguem na Figura 5.37. A temperatura final do ensaio supera, novamente, o limite de $40\text{ }^{\circ}\text{C}$. No instante em que o erro de potência passa a ser inferior a 3% , a temperatura é, todavia, de $34\text{ }^{\circ}\text{C}$. A leitura de potência em CM, portanto, poderia ser efetuada neste ponto sem que se incorresse em erros significativos em relação ao valor final e sem que o limite térmico fosse excedido. Todavia, a não-violação deste limite para estes níveis de erro só ocorre nos casos em que P_{CR} não excede 75 W . Supondo um rendimento de 85% como referência, apenas conversores que operassem com potência de saída de até 500 W poderiam ser ensaiados no protótipo.

Figura 5.37 – Resultados do ensaio 5, com descrição dada na Tabela 5.9.



Gráficos: (a) temperatura da caixa de referência (T_{CR}) e de medição (T_{CM}) em função do tempo; (b) erro percentual ϵ_T entre as temperaturas T_{CR} e T_{CM} em função do tempo; (c) evolução potência dissipada em CM (P_{CM}), medida pelo protótipo; (d) erro percentual ϵ_P entre o valor atual e o valor final de P_{CM} , em cada instante.

Fonte: Dados da pesquisa, 2016.

5.3 Conclusões do capítulo

Neste capítulo, foram apresentados os resultados desta pesquisa, derivados de simulações e de ensaios experimentais. Inicialmente, comparam-se as perdas nos estágios inversor e retificador de parte das variações de UPSs de dupla conversão em análise neste trabalho, enumeradas na seção 3.1. As perdas nos indutores dos filtros de entrada e de saída e o rendimento global de algumas destas variações de UPS são também avaliados. Estas análises comparativas pretendem delimitar as condições de operação que favorecem cada uma das topologias de conversores (dois níveis, NPC1 e NPC2) e estimar os ganhos de rendimento que decorrem do uso de dispositivos de SiC, por exemplo. Com base nestes resultados, a viabilidade dos dispositivos de SiC para aplicação em UPSs de dupla conversão é discutida, quanto aos critérios de rendimento, volume

dos filtros e complexidade do sistema de refrigeração. A comparação entre os métodos *online* e *offline* de cálculo de perdas encerra as análises teóricas deste capítulo. Por fim, os resultados de ensaios experimentais nas montagens do conversor *buck* e no protótipo de calorímetro indireto série são apresentados.

As análises teóricas indicam que, dentre as variações com componentes de silício, as UPSs com conversores em topologia NPC1 exibem maior rendimento na maior parte dos 80 projetos avaliados. A topologia NPC2 só se revela mais viável quanto ao critério de rendimento em alguns dos projetos com menores tensões de barramento c.c. e frequências de chaveamento. Já o rendimento das variações de UPS com conversores em topologia dois níveis e dispositivos de SiC supera o das UPSs com componentes de silício, em quaisquer topologias, para a maioria dos projetos. Ademais, o uso de dispositivos de SiC em UPSs pode ainda simplificar os sistemas de refrigeração, reduzir o volume dos filtros e, assim, contribuir para a compactação das UPSs. Cabe salientar, todavia, que não necessariamente os resultados teóricos desta pesquisa se estendem a outros projetos de UPS, já que o desempenho de cada topologia ou módulo semicondutor depende das condições de operação. Há, portanto, a necessidade de repetir as análises aqui conduzidas para novos projetos de UPS. Todavia, esta tarefa se torna relativamente simples com o uso das ferramentas computacionais desenvolvidas neste trabalho.

Já os resultados experimentais demonstraram que as estimativas teóricas de rendimento do conversor *buck* se aproximam das medições via wattímetro, se as incertezas nas leituras forem consideradas. Os ensaios com resistores de potência no protótipo de calorímetro validaram a montagem e o uso para medição de perdas. Entretanto, como a temperatura interna se torna proibitiva para a operação de conversores durante o ensaio, o projeto do protótipo deve ser adaptado para que as perdas em conversores possam ser medidas.

6 CONCLUSÕES E PROPOSTAS DE CONTINUIDADE

Nesta dissertação, comparam-se os rendimentos globais de UPSs de dupla conversão em topologias trifásicas de dois níveis ($2n$) e de três níveis ($3n$), nos arranjos com neutro grampeado NPC1 e NPC2. Os projetos em topologia $2n$ com módulos de silício e de carbeto de silício e nos arranjos NPC1 e NPC2, com componentes de silício, são qualificados quanto ao rendimento em 80 variações de UPS. Estas variações se diferenciam nas especificações de potência nominal, tensão do barramento c.c. e frequência de chaveamento, enumeradas na seção 3.1.

Para tanto, propõem-se simulações das UPSs de dupla conversão, nas três topologias, no ambiente MATLAB/Simulink. Estas simulações implementam técnicas de controle em coordenadas síncronas ($dq0$) nos estágios inversor e retificador, detalhadas na seção 3.2. Os controladores foram sintonizados por rotinas automáticas em cada uma das 80 variações de UPS, segundo critérios arbitrados para a rigidez dinâmica do sistema. Já os filtros LCL de entrada e LC de saída foram dimensionados a partir dos procedimentos descritos na seção 3.3.

Na sequência, ferramentas de *software* no ambiente MATLAB foram implementadas para que as perdas nos semicondutores nos estágios inversor e retificador, bem como nos indutores dos filtros de entrada e de saída, fossem estimadas. Para avaliar as perdas nos semicondutores, duas abordagens, referidas neste trabalho por método *offline* e *online* e discutidas na seção 4.1.1, foram propostas. A primeira presume a operação do dispositivo na condição de máxima temperatura de junção, em que as estimativas de perdas totais tendem a ser conservadoras. Já a segunda infere a potência dissipada no componente para a temperatura de junção derivada do modelo térmico, em um cenário mais “realista”. Por outro lado, as perdas nos indutores de filtro foram estimadas pela soma das parcelas de perdas joulicas nos enrolamentos e de perdas no núcleo, calculadas com base na formulação iGSE (*improved Generalized Steinmetz Equation*). Os indutores são projetados segundo uma rotina iterativa que ajusta os parâmetros físicos (número de espiras, de unidades em série/paralelo, etc.) para que restrições de fator de utilização da janela do núcleo e de densidade de fluxo sejam atendidas. A metodologia de projeto e de cálculo de perdas nos indutores é abordada na seção 4.1.2.

Para fins de validação experimental destas estimativas, medições elétricas de perdas via wattímetro digital são conduzidas em um conversor *buck*. Para reduzir as incertezas associadas às leituras de potência dissipada no conversor, um protótipo de calorímetro indireto série também é desenvolvido. Os detalhes destas duas montagens experimentais são discutidos na seção 4.2.

Os resultados teóricos da comparação do rendimento das três topologias indicam que as UPSs de dupla conversão em arranjo de três níveis NPC1 exibem maior rendimento global

dentre as UPSs com componentes de silício, para a maior parte dos 80 projetos em análise. Os projetos em topologia NPC2 só se revelam mais viáveis quanto ao rendimento em algumas variações de UPS com menores tensões de barramento c.c. e frequências de chaveamento. Já o rendimento global das UPSs à base de SiC suplanta o das variações de silício para a maioria dos projetos, o que acena para a viabilidade dos módulos de SiC também nestas aplicações. Ademais, como também indicam os resultados, a seleção por módulos de SiC não só incide no aumento do rendimento, como também na simplificação dos sistemas de refrigeração e/ou na redução do volume dos elementos passivos dos filtros. Todos estes resultados teóricos foram apresentados na seção 5.1.

Prevê-se, contudo, que estes resultados não se apliquem para novos conjuntos de especificações de UPS ou para novos módulos de potência. Isso impõe a necessidade de repetir as análises comparativas nestes novos cenários, para delimitar as faixas de operação em que cada topologia se mostra viável. Entretanto, esta tarefa de reavaliação do desempenho, em novas condições, se torna relativamente simples com o uso das ferramentas propostas neste trabalho.

Na sequência, os resultados das montagens experimentais foram detalhados (seção 5.2). Os resultados de medições de perdas com wattímetro digital apontam para a concordância entre as leituras e as estimativas teóricas de perdas globais na montagem do conversor *buck*, se as faixas de incerteza nestas leituras forem consideradas. Todavia, a previsão de que os resultados teóricos de perdas fossem superiores aos medidos, por retratarem o pior cenário de operação do dispositivo semiconductor, não se confirma em alguns ensaios. Isso provavelmente se deve às inconsistências entre os parâmetros modelados em simulação e os reais (*e.g.*, as características dos módulos de potência e os dados construtivos dos indutores). Ademais, as tentativas de medição isolada das perdas nos semicondutores não retornaram resultados satisfatórios, já que a incerteza nas medições superava o próprio valor destas perdas.

Para que a medição de perdas independesse do rendimento do conversor ou da distorção harmônica das formas de onda, os ensaios passaram a ser conduzidos no protótipo de calorímetro indireto série. Em razão dos problemas de compatibilidade eletromagnética relatados na seção 4.2.2.2, os conversores não puderam ser ensaiados. Sendo assim, apenas testes com resistores de potência foram propostos. Estes testes validaram a operação do protótipo como calorímetro e serviram à calibração das leituras. Todavia, mesmo com sucessivas adaptações na montagem, as temperaturas internas nas câmaras atingiam temperaturas proibitivas para a operação de conversores, durante os testes. Assim, novas adaptações no protótipo devem anteceder os ensaios finais com conversores.

Em suma, portanto, os objetivos iniciais desta pesquisa foram atingidos. Como propostas de continuidade do trabalho, enumeram-se as ações:

- (i) corrigir os problemas de compatibilidade eletromagnética na montagem experimental do calorímetro (*e.g.*, a partir do encurtamento dos cabos do *gate driver* e da realocação dos canais de medição, para minimização de *loops* de corrente);

- (ii) propor adaptações na montagem do calorímetro, para que a temperatura ambiente não seja proibitiva para os conversores (*e.g.*, adição de outras aberturas nas duas caixas ou alargamento da abertura inferior, aliada ao uso de ventiladores com controle de velocidade para bombeamento do ar interno para o meio externo, etc.);
- (iii) validar as estimativas teóricas de potência dissipada nos conversores, derivadas dos métodos *online* e *offline*, com base nos resultados experimentais do calorímetro;
- (iv) validar a metodologia de projeto de indutores, a partir de ensaios experimentais nos indutores assim dimensionados;
- (v) validar os modelos térmicos propostos, inclusive de regime transitório, a partir da medição de temperatura em alguns pontos do dissipador e da leitura indireta da temperatura de junção, via medição da tensão coletor-emissor dos IGBTs;
- (vi) conduzir as análises térmicas em programas com solução numérica via elementos finitos, para que, por exemplo, a dependência entre a resistência térmica do dissipador e a distribuição de temperaturas ao longo da superfície seja modelada;
- (vii) repetir as análises comparativas das topologias trifásicas para os projetos com dispositivos discretos, não com módulos de potência;
- (viii) incluir, no programa proposto para estimar as perdas via abordagem *offline*, o cálculo das perdas em MOSFETs com curvas não-informadas em catálogo;
- (ix) desenvolver estudos sistêmicos de viabilidade técnica, econômica e prática dos projetos de UPS com carbeto de silício;
- (x) construir um protótipo de UPS de carbeto de silício, em parceria com a empresa proponente deste projeto P&D, para que os ganhos de rendimento apontados nesta pesquisa sejam avaliados experimentalmente.

Supõe-se que esta pesquisa se aplica, genericamente, a *qualquer* conversor estático e não só às UPSs. Sendo assim, as ferramentas implementadas podem orientar o projeto de equipamentos mais eficientes e com maior densidade de potência. Como o uso racional da energia se figura na agenda ambiental do planeta e já foi incluído como meta no marco institucional de alguns países, como o Brasil, pesquisas nesta área contribuem para que a Engenharia também se alinhe com estas novas perspectivas. Ademais, estudos apontam que o investimento em projetos de eficiência energética desonera investimentos maiores em sistemas de geração e distribuição de energia (IEA, 2006). Portanto, pesquisas nesta área talvez sejam mais urgentes do que a proposição de novas fontes alternativas de energia.

REFERÊNCIAS

- ABB. *Applying IGBTs: application note 5SYA 2053-04*. [S.l.], 2013. 22 p. Disponível em: <https://library.e.abb.com/public/ab119704d4797bc283257cd3002ac5e0/Applying%20IGBTs_5SYA%202053-04.pdf>. Acesso em: 15 set. 2015.
- AGUILERA, C. A. V. *ginput2.m*. 2014. Disponível em: <<http://www.mathworks.com/matlabcentral/fileexchange/20645-ginput2-m-v3-1--nov-2009->>. Acesso em: 10 jul. 2014.
- AXIOM. *Yokogawa WT3000 precision power analyzer*. 2016. 1–4 p. Disponível em: <<http://www.axiomtest.com/Electrical-Test-and-Power-Analyzers>>. Acesso em: 16 fev. 2016.
- BALIGA, B. J. *Fundamentals of power semiconductor devices*. New York: Springer, 2008. 1085 p.
- BIERHOFF, M.; BRANDENBURG, H.; FUCHS, F. W. An analysis on switching loss optimized PWM strategies for three phase PWM voltage source converters. *IECON Proceedings (Industrial Electronics Conference)*, p. 1512–1517, 2007.
- BRAGA, C. M. P. *Caracterização estática de instrumentos: calibração*. Belo Horizonte: [s.n.], 2012.
- CAO, W. et al. Calorimeters and techniques used for power loss measurements in electrical machines. *IEEE Instrumentation & Measurement Magazine*, v. 13, n. 6, p. 26–33, 2010.
- CEMEP. *Uninterruptible Power Supplies: european guide*. [S.l.], 2008.
- CHRISTEN, D. et al. Calorimetric power loss measurement for highly efficient converters. *2010 International Power Electronics Conference (ECCE Asia), IPEC 2010*, p. 1438–1445, 2010.
- CLEMENTE, S. Transient thermal response of power semiconductors to power pulses. *IEEE Transactions on Power Electronics*, v. 8, n. 4, p. 337–341, 1993.
- CORTIZO, P. C. *leitura_grafico.m*. 2014. Disponível em: <<http://www.cpdee.ufmg.br/~porfirio/FontesCCCA/Extracaoparametrografico>>. Acesso em: 12 dez. 2013.
- COTA, A. P. L. et al. Comparison of three 3-phase converter topologies for UPS applications. In: *2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference*. Fortaleza: IEEE, 2015. p. 1–6.
- CURTIS, P. M. *Maintaining mission critical systems in a 24/7 environment*. 2nd. ed. Piscataway: John Wiley & Sons, 2011. 514 p.
- DAS, M. K. *SiC mosfet module replaces up to 3x higher current Si IGBT modules in voltage source inverter application*. 2013. 3 p. Disponível em: <www.cree.com>. Acesso em: 10 jan. 2015.
- DIMARINO, C.; BURGOS, R.; BOROYEVICH, D. High-temperature silicon carbide: characterization of state-of-the-art silicon carbide power transistors. *IEEE Industrial Electronics Magazine*, p. 19–30, 2015.

- DOEBELIN, E. O. *Measurement systems application and design*. 4. ed. [S.l.]: McGraw-Hill, 1990.
- DUDEK, R. et al. Electro-thermo-mechanical analyses on silver sintered IGBT-module reliability in power cycling. In: *2015 16th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems*. Budapest: [s.n.], 2015. p. 1–8.
- EATON. *UPS handbook*. [S.l.: s.n.], 2012. 36 p.
- EDMINISTER, J. A. *Teoria e problemas de eletromagnetismo*. [S.l.]: Bookman, 2006.
- EUPEC. *Application Note AN-2004-01: new RthCH data sheet values*. [S.l.]: Eupec, 2011.
- FAIRCHILD. *Application note 9020: IGBT basic II*. [S.l.], 2002. 1–25 p. Disponível em: <http://161.53.146.195/kolegiji/elektronika/IGBT{_}Basic2> Acesso em: 10 set. 2015.
- FÉLIX, C. H. F. *Controle digital de uma UPS trifásica*. Tese (Dissertação de Mestrado) — Universidade Federal de Minas Gerais, 2003.
- FOREST, F. et al. Use of opposition method in the test of high-power electronic converters. *IEEE Transactions on Industrial Electronics*, v. 53, n. 2, p. 530–541, 2006.
- FRAUNHOFER. *Press Releases 2015*. 2015. 1 p. Disponível em: <<https://www.ise.fraunhofer.de/en/press-and-media/press-releases/press-releases-2015/fraunhofer-ise-develops-highly-efficient-compact-inverter-for-uninterruptible-power-supplies>>. Acesso em: 6 set. 2015.
- FUCHS, F. W. et al. State of the technology of power loss determination in power converters. *EPE ECCE Europe*, p. 1–10, 2013.
- GACHOVSKA, T. K. et al. A real-time thermal model for monitoring of power semiconductor devices. *Industry Applications, IEEE Transactions on*, v. 51, n. 4, p. 3361–3367, 2015.
- GUERRERO, J.; VICUNA, L. D.; UCEDA, J. Uninterruptible power supply systems provide protection. *IEEE Industrial Electronics Magazine*, v. 1, p. 28–38, 2007. ISSN 1932-4529.
- IEA. *World energy outlook 2006*. Paris, 2006. 600 p.
- INFINEON. *FF450R12KE4 technische information / technical information*. 2013. 1–8 p.
- IR. *International Rectifier application note AN-990: IGBT characteristics*. [S.l.], 2012. 17 p. Disponível em: <<http://www.infineon.com/dgdl/an-990.pdf?fileId=5546d462533600a40153559fae19124e>>. Acesso em: 15 jul. 2015.
- ITOH, J. I.; NIGORIKAWA, A. Experimental analysis on precise calorimetric power loss measurement using two chambers. In: *15th International Power Electronics and Motion Control Conference and Exposition, EPE-PEMC 2012 ECCE Europe*. [S.l.: s.n.], 2012. p. 1–7.
- IXYS. *Application note AN-401 MOSFET / IGBT drivers*. [S.l.], 2012. Disponível em: <[http://www.ixysic.com/home/pdfs.nsf/www/AN-401.pdf/\\$file/AN-401.pdf](http://www.ixysic.com/home/pdfs.nsf/www/AN-401.pdf/$file/AN-401.pdf)>. Acesso em: 15 jun. 2015.
- KARVE, S. Three of a kind. *IEEE review*, p. 27–32, 2000.

- KEREKES, T. et al. Evaluation of three-phase transformerless photovoltaic inverter topologies. *IEEE Transactions on Power Electronics*, v. 24, n. 9, p. 2202–2211, 2009.
- KOLAR, J. et al. Extreme efficiency power electronics. *2012 7th International Conference on Integrated Power Electronics Systems (CIPS)*, p. 1–22, 2012.
- KOLAR, J. W.; ERTL, H.; ZACH, F. C. Influence of the modulation method on the conduction and switching losses of a PWM converter system. *IEEE Transactions on Industry Applications*, v. 27, n. 6, p. 1063–1075, 1991.
- KONDRATH, N.; KAZIMIERCZUK, M. Inductor winding loss owing to skin and proximity effects including harmonics in non-isolated pulse-width modulated dc–dc converters operating in continuous conduction mode. *IET Power Electronics*, v. 3, n. 6, p. 989, 2010.
- KOSONEN, A. et al. Calorimetric concept for measurement of power losses up to 2 kW in electric drives. *IET Electric Power Applications*, v. 7, n. 6, p. 453–461, 2013.
- LBNL. *New energy efficient data center programming guide*. [S.l.], 2012. v. 54, n. 1, 17–23 p.
- LEGA, A. et al. Multilevel converters for UPS applications: comparison and implementation. In: *2007 European Conference on Power Electronics and Applications*. [S.l.]: IEEE, 2007. p. 1–9.
- LI, J. L. J.; ABDALLAH, T.; SULLIVAN, C. R. Improved calculation of core loss with nonsinusoidal waveforms. In: *IEEE Industry Applications Conference*. [S.l.: s.n.], 2001. v. 4, p. 2203–2210.
- LISERRE, M.; BLAABJERG, F.; HANSEN, S. Design and control of an LCL filter-based three-phase active rectifier. *IEEE Transactions on Industrial Applications*, v. 41, n. 5, p. 1281–1291, 2005.
- LIXIANG, W. et al. Junction temperature prediction of a multiple-chip IGBT module under DC condition. In: *IEEE Industry Applications Society Annual Meeting*. [S.l.: s.n.], 2006. p. 754–762.
- MAGNETICS. *Powder cores*. Pittsburg, PA, 2006. 104 p.
- MANCINI, R. *Op Amps for everyone*. Dallas: Texas Instruments, 2002.
- MCBRYDE, J. et al. Performance comparison of 1200V silicon and SiC devices for UPS application. In: *36th Annual Conference of IEEE Industrial Electronics Society - IECON*. Glendale, AZ: [s.n.], 2010. p. 2657–2662.
- MCLYMAN, W. T. *Transformer and inductor design handbook*. New York: Marcel Dekker, 2004.
- MGE. *MGE UPS Systems: UPS topologies and standards*. Saint Ismier, 1999.
- MITSUBISHI. *Mitsubishi Electric Introduces New SUMMIT Series UPS*. Pittsburgh: Mitsubishi, 2015. 2 p.
- MOROZUMI, A. et al. Reliability of power cycling for IGBT power semiconductor modules. *IEEE Transactions on Industry Applications*, v. 39, n. 3, p. 665–671, 2003.
- MÜHLETHALER, J.; KOLAR, J. W. *Optimal design of inductive components based on accurate loss and thermal models*. 2015.

MÜHLETHALER, J.; KOLAR, J. W.; ECKLEBE, A. Loss modelling of inductive components employed in power electronic systems. *IEEE Energy Conversion Congress and Exposition (ECCE)*, p. 945–952, 2011.

POPOVIC, Z.; POPOVIC, B. D. *Introductory eletromagnetics: practice problems and labs*. Prentice Hall, 2012. 382–392 p. Disponível em: <http://ecee.colorado.edu/~ecen3400/ECEE_3400_Textbook.html>. Acesso em: 13 de set. 2015.

RAO, N.; CHAMUND, D. *Application note: calculating power losses in an IGBT Module*. [S.l.], 2014. 16 p. Disponível em: <http://www.dynexsemi.com/media/d/n/dnx_an6156_1.pdf>. Acesso em: 12 jan. 2016.

RASHID, M. H. *Power electronics handbook*. 2. ed. Burlington: Elsevier, 2011.

RASMUSSEN, N. *Understanding power factor, crest factor and surge factor*. [S.l.], 2016. 1–6 p. Disponível em: <http://www.apcmedia.com/salestools/SADE-5TNQYL/SADE-5TNQYL{_}R1{_}EN.pdf?sdirec>. Acesso em: 9 out. 2015.

ROTH, K. W.; GOLDSTEIN, F.; KLEINMAN, J. Energy consumption by office and telecommunications equipment in commercial buildings: energy savings potential. *Engineering*, II, p. 201, 2004.

RYAN, M.; LORENZ, R. A high performance sine wave inverter controller with capacitor current feedback and “BACK-EMF” decoupling. In: *Proceedings of PESC’95 – Power Electronics Specialist Conference*. [S.l.: s.n.], 1995. v. 1, p. 507–513.

SANTOS FILHO, R. M. *Estudo e implementação de um inversor senoidal com elo ca de alta frequência aplicado a sistemas de energia ininterrupta*. 143 p. Tese (Doutorado) — Universidade Federal de Minas Gerais, 1998.

SCHWEIZER, M.; FRIEDLI, T.; KOLAR, J. W. Comparison and implementation of a 3-level NPC voltage link back-to-back converter with SiC and Si diodes. *Conference Proceedings of IEEE Applied Power Electronics Conference and Exposition – APEC*, p. 1527–1533, 2010. ISSN 1048-2334.

SHIMIZU, T.; IYASU, S. A practical iron loss calculation for AC filter inductors used in PWM inverters. *IEEE Transactions on Industrial Electronics*, v. 56, n. 7, p. 2600–2609, 2009.

SILVA, S. M. *Estudo e projeto de um restaurador dinâmico de tensão*. Tese (Dissertação) — UFMG, 1999.

SILVA, S. R. *Fundamentos de sistemas elétricos: notas de aula da disciplina Qualidade da Energia*. 2012. 8–9 p.

SINGH, R.; PECHT, M. Commercial impact of silicon carbide. *IEEE Industrial Electronics Magazine*, v. 2, n. September, p. 19–31, 2008. ISSN 19324529.

SOARES, L. T. F. *Contribuição ao controle de um conversor reversível aplicado a um aerogerador síncrono a imãs permanentes*. 166 p. Tese (Dissertação de Mestrado) — Universidade Federal de Minas Gerais, 2012.

STAFINIAC, A.; KOSOBUDZKI, G. Sources of error in AC losses measurement using V-I method. *IEEE Transactions on Applied Superconductivity*, v. 19, n. 3, p. 3110–3114, 2009.

- SULLIVAN, C.; VENKATACHALAM, K.; CZOGALLA, J. *Core loss calculation*. 2016. Disponível em: <<https://engineering.dartmouth.edu/inductor/coreloss.shtml>>. Acesso em: 2 fev. 2016.
- SVERKO, M.; KRISHNAMURTHY, S.; LANE, S. Calorimetric loss measurement system for air and water cooled power converters. In: *15th European Conference on Power Electronics and Applications (EPE)*. Lille: IEEE, 2013. p. 1–10.
- SZE, S. M. *Semiconductor devices: physics and technology*. New York: Jonh Wiley e Sons Inc., 2001. 562 p.
- Texas Instruments. *Voltage source inverter design guide*. [S.l.], 2015. 1–45 p.
- TON, M.; FORTENBURY, B. High performance buildings: data centers Uninterruptible Power Supplies (UPS). p. 1–47, 2005. Disponível em: <http://hightech.lbl.gov/documents/UPS/Final{_}UPS{_}Repo>. Acesso em: 1 fev. 2015.
- TOSHIBA. *G9000 Uninterruptible Power Supply multi-level PWM IGBT technology*. Houston, 2008.
- VENKATACHALAM, K. et al. Accurate prediction of ferrite core loss with nonsimoidal waveforms using only Steinmetz parameters. In: *Proceedings of the IEEE Workshop on Computers in Power Electronics*. [S.l.: s.n.], 2002. p. 36–41.
- VILLAFÁFILA, R. et al. Selection criteria of high-power static Uninterruptible Power Supplies. In: *9th International Conference on Electrical Power Quality and Utilisation (EPQU)*. Barcelona: [s.n.], 2007.
- VISHAY. *Optocouplers and solid-state relays: application note 91: IGBT/MOSFET gate drive optocoupler*. [S.l.], 2011.
- VISWANATHAN, K.; ORUGANTI, R. Evaluation of power losses in a boost PFC unit by temperature measurements. *IEEE Transactions on Industry Applications*, v. 43, n. 5, p. 1320–1328, 2007.
- VOLKE, A.; HORNKAMP, M. *IGBT modules: technologies, driver and applications*. 2. ed. s/ l: Infineon, 2012.
- WINTRICH, A. et al. *Application manual power semiconductors*. [S.l.: s.n.], 2015. 466 p.
- WU, R. et al. An Icepak-PSpice co-simulation method to study the impact of bond wires fatigue on the current and temperature distribution of IGBT modules under short-circuit. In: *2014 IEEE Energy Conversion Congress and Exposition – ECCE*. Pittsburgh: [s.n.], 2014.
- XIAO, C. X. C.; CHEN, G. C. G.; ODENDAAL, W. Overview of power loss measurement techniques in power electronics systems. *IEEE Transactions on Industry Applications*, v. 43, n. 3, p. 657–664, 2007.
- YOKOGAWA. *Highest accuracy & precision WT3000E Series*. 2016. Disponível em: <<https://www.yokogawa.com/pdf/provide/E/GW/Bulletin/0000029693/0/BUWT3000E-01EN.pdf>>. Acesso em: 16 fev. 2016.

Apêndices

APÊNDICE A – FERRAMENTA EM EXCEL PARA GERAÇÃO DE RELATÓRIOS

Este apêndice apresenta, brevemente, as ferramentas desenvolvidas em ambiente *Excel* para geração de relatórios com os resultados de simulações do programa *PerdasOffline*. Estas planilhas foram programadas com macros em VBA (*Visual Basic for Applications*) e objetivam documentar, de forma legível e intuitiva ao usuário, estes resultados. Para tanto, basta que o usuário selecione os diretórios dos arquivos “.txt” com o “vetor de corrente” simulado e com o relatório gerado pelo *PerdasOffline*. A estrutura e a função dos vetores de corrente já foram abordadas na seção 4.1.1.2. A formatação dos relatórios “.txt” de saída do programa *PerdasOffline*, para as simulações de topologias $2n$, NPC1 e NPC2 consta na Figura A.1. Os resultados para as perdas em cada componente e para as temperaturas de junção, de encapsulamento e de dissipador são armazenados nestes arquivos. As condições de simulação do conversor também são salvas no corpo destes arquivos, em cabeçalhos.

A planilha de importação de resultados de simulações de topologias $2n$ segue na Figura A.2. Outras duas planilhas, que documentam os resultados de simulações dos arranjos NPC1 e NPC2, foram também desenvolvidas.

Figura A.1 – Formatação dos relatórios gerados pelo programa *PerdasOffline*.

```

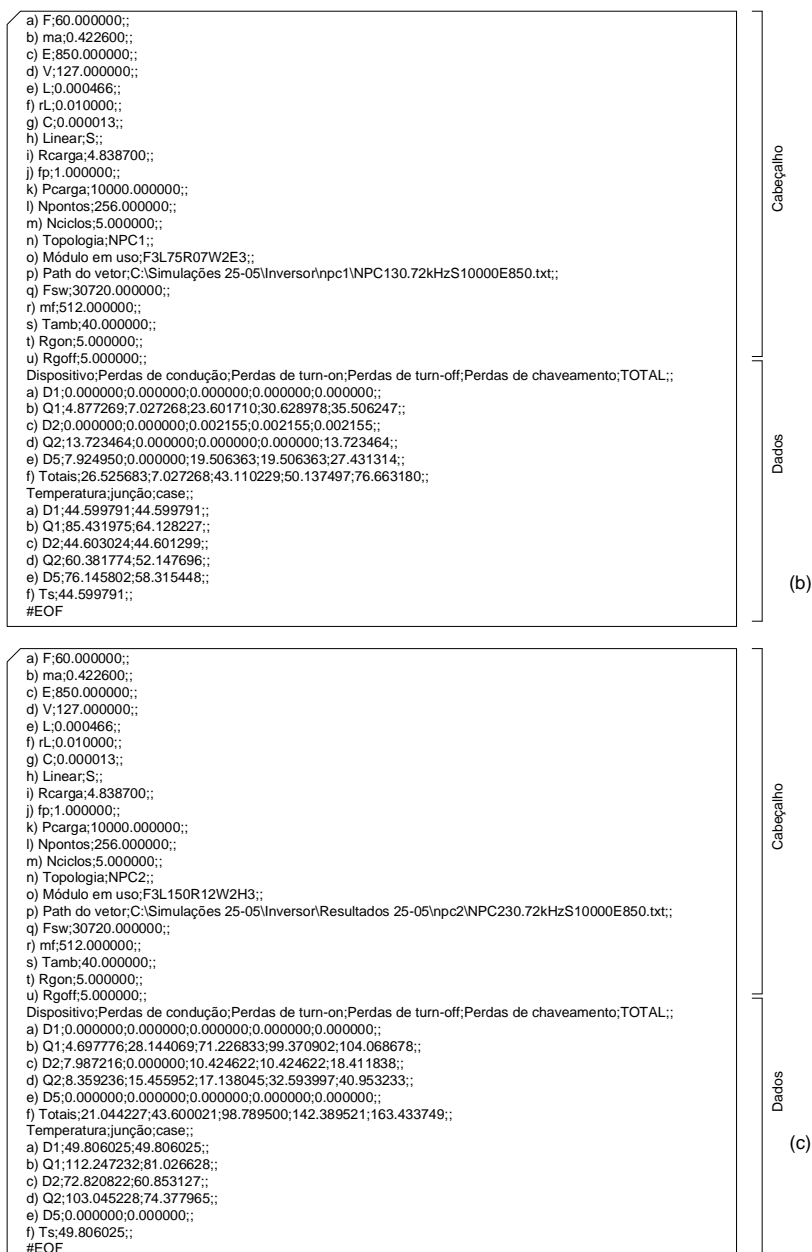
a) F:60.000000;;
b) ma:0.422600;;
c) E:850.000000;;
d) V:127.000000;;
e) L:0.000932;;
f) rL:0.010000;;
g) C:0.000006;;
h) Linear;S;
i) Rcarrega:4.838700;;
j) fp:1.000000;;
k) Pcarga:10000.000000;;
l) Npontos:256.000000;;
m) Nciclos:5.000000;;
n) Topologia:2-niveis;;
o) Módulo em uso:FF75R12RT4;;
p) Path do vetor:C:\Simulações 25-05\Inversor\2n_Si\TwoLev30.72kHzS10000E850.txt;;
q) Fsw:30720.000000;;
r) mf:512.000000;;
s) Tamb:40.000000;;
t) Rgon:5.000000;;
u) Rgoff:5.000000;;
Dispositivo;Perdas de condução;Perdas de turn-on;Perdas de turn-off;Perdas de chaveamento;TOTAL;;
a) D1:4.145697;0.000000;47.284297;47.284297;51.429994;;
b) Q1:11.118440;68.798185;59.792762;128.590947;139.709387;;
c) D2:0.000000;0.000000;0.000000;0.000000;0.000000;;
d) Q2:0.000000;0.000000;0.000000;0.000000;0.000000;;
e) D5:0.000000;0.000000;0.000000;0.000000;0.000000;;
f) Totais;15.264137;68.798185;107.077060;175.875244;191.139381;;
Temperatura;junção;case;;
a) D1;87.726509;57.897112;;
b) Q1;116.153809;63.064242;;
c) D2;0.000000;0.000000;;
d) Q2;0.000000;0.000000;;
e) D5;0.000000;0.000000;;
f) Ts;51.468363;;
#EOF

```

Cabeçalho

Dados

(a)

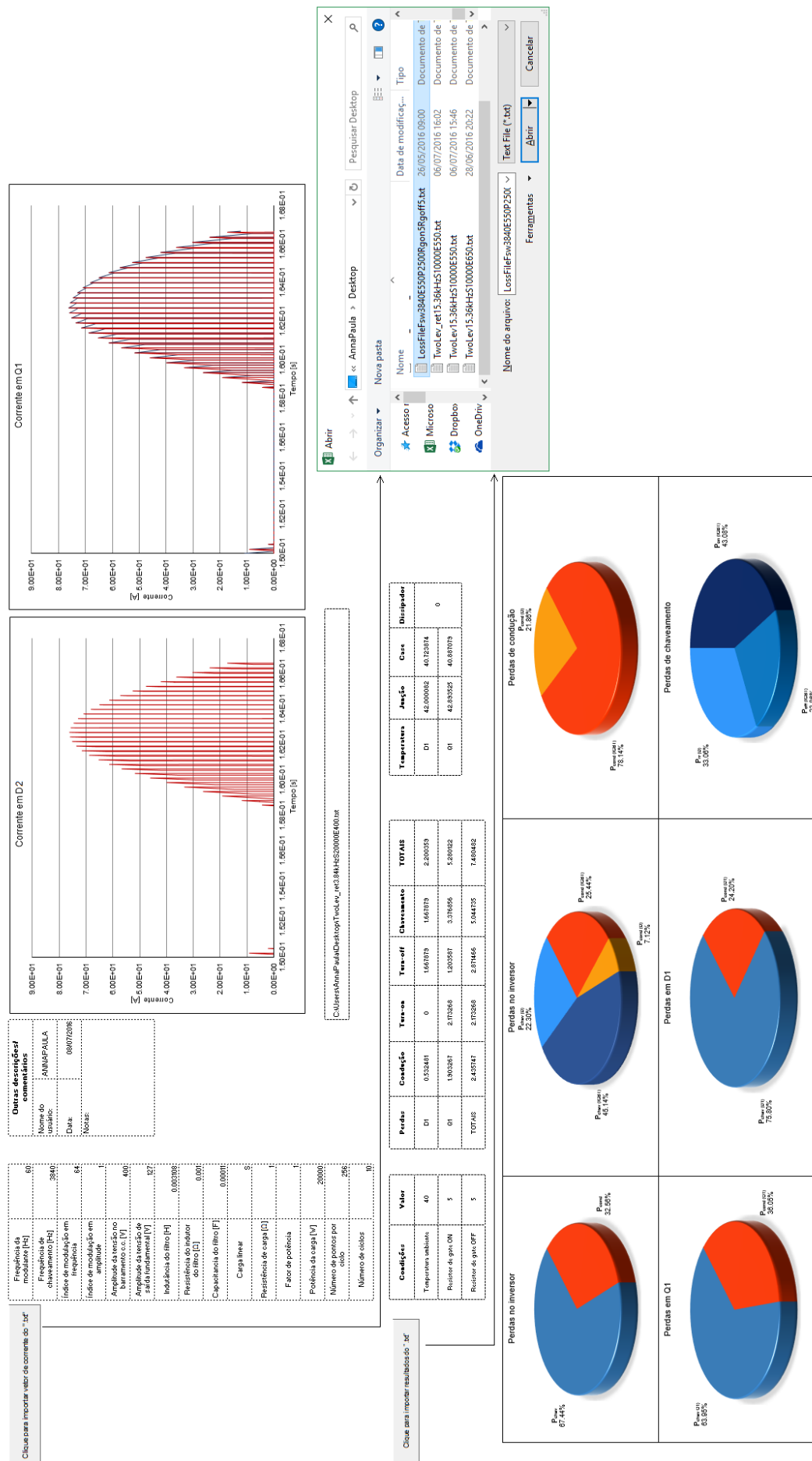


Relatórios para simulações de topologias: (a) dois níveis, (b) NPC1, (c) NPC2.

Fonte: Dados da pesquisa, 2016.

Como se nota na Figura A.2, botões à esquerda abrem janelas para seleção dos arquivos com os vetores e com os relatórios. As formas de onda nos transistores e nos diodos são exibidas em gráficos à direita. Os gráficos com as parcelas de cada perda, também apresentados na interface gráfica do programa *PerdasOffline*, são plotados novamente nesta planilha. As tabelas com estes dados, na parte inferior da Figura A.2, são também preenchidas. Os códigos em VBA geram automaticamente todos os gráficos e o preenchem os campos das tabelas. Basta, portanto, que o usuário selecione os arquivos “.txt”. Em razão da praticidade, supõe-se que esta ferramenta pode se tornar útil para documentação de múltiplas simulações, comuns em rotinas de projeto.

Figura A.2 – Planilhas em Excel, programadas em VBA, para documentação dos resultados de simulação de conversores em topologia de dois níveis.

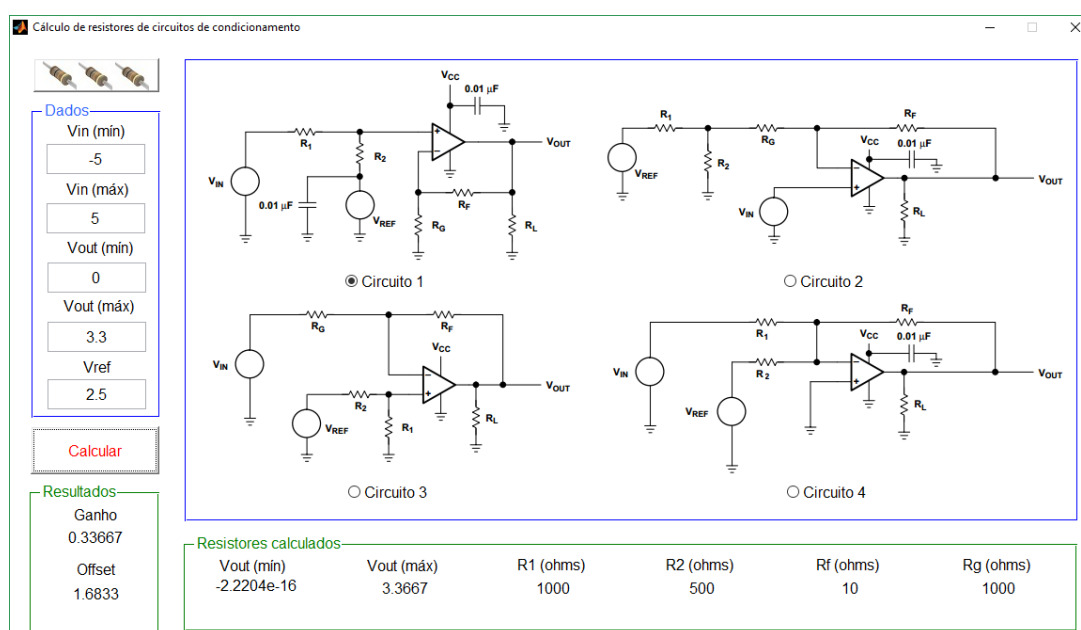


Fonte: Dados da pesquisa, 2016.

APÊNDICE B – PROGRAMA PARA CÁLCULO DOS RESISTORES DO CIRCUITO DE CONDICIONAMENTO

Este apêndice descreve, sucintamente, a ferramenta desenvolvida em MATLAB para automatizar o dimensionamento dos resistores do circuito de condicionamento. Esta ferramenta se tornou útil neste trabalho em razão das sucessivas alterações nos sensores de temperatura do calorímetro. Como estes sensores exibiam excursões em tensão diferentes, os circuitos de condicionamento podiam ainda variar entre as quatro topologias básicas, com ganhos e *offsets* de sinais distintos (MANCINI, 2002). Na ferramenta implementada, o usuário pode selecionar entre estas quatro topologias, apresentadas na tela de interface gráfica, dada na Figura B.1. Inicialmente, o programa solicita ao usuário (no menu à esquerda da Figura B.1) os dados de tensão máxima e mínima de entrada e de saída do circuito, bem como a tensão de referência em uso. Com base nestes dados e nas equações detalhadas em Mancini (2002), os resistores são calculados para o tipo de circuito selecionado. Mesmo que não haja solução válida para a topologia em uso, o programa informa o ganho e o *offset* que devem ser introduzidos no sinal de entrada, para orientar o usuário na seleção de outra topologia.

Figura B.1 – Interface gráfica do programa desenvolvido para automatizar o dimensionamento dos resistores do circuito de condicionamento.



Fonte: Dados da pesquisa, 2016.

Os valores dos resistores são ajustados para os valores comerciais mais próximos, das séries com tolerâncias indicadas pelo usuário no *script* (10 % ou 1 %). As resistências nominais das séries comerciais E12 e E96 são consultadas para este ajuste. Os resistores calculados são retornados pelo programa na tela de interface, no menu inferior. No *workspace* do MATLAB, o programa ainda informa possíveis associações série, paralela ou série/paralela de resistores para compor as resistências pretendidas.