

Universidade Federal de Minas Gerais
Escola de Engenharia
Programa de Pós-Graduação em Engenharia Elétrica

**ESTUDO COMPARATIVO DOS GANHOS
RELATIVOS ÀS TÉCNICAS DE
MODULAÇÃO EM LARGURA DE PULSO
E DISPOSITIVOS DE BANDA LARGA EM
CONVERSORES MULTINÍVEIS.**

Gustavo Fontoura Guimarães

Belo Horizonte - MG
Julho de 2018

DISSERTAÇÃO DE MESTRADO Nº 1066

**ESTUDO COMPARATIVO DOS GANHOS RELATIVOS ÀS TÉCNICAS DE
MODULAÇÃO EM LARGURA DE PULSO E DISPOSITIVOS DE BANDA LARGA
EM CONVERSORES MULTINÍVEIS**

Gustavo Fontoura Guimarães

DATA DA DEFESA: 16/07/2018

Universidade Federal de Minas Gerais

Escola de Engenharia

Programa de Pós-Graduação em Engenharia Elétrica

**ESTUDO COMPARATIVO DOS GANHOS RELATIVOS ÀS
TÉCNICAS DE MODULAÇÃO EM LARGURA DE PULSO E
DISPOSITIVOS DE BANDA LARGA EM CONVERSORES
MULTINÍVEIS**

Gustavo Fontoura Guimarães

Dissertação de Mestrado submetida à Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em Engenharia Elétrica da Escola de Engenharia da Universidade Federal de Minas Gerais, como requisito para obtenção do Título de Mestre em Engenharia Elétrica.

Orientador: Prof. Marcos Antônio Severo Mendes

Belo Horizonte - MG

Julho de 2018

G963e

Guimarães, Gustavo Fontoura.

Estudo comparativo dos ganhos relativos às técnicas de modulação de largura de pulso e dispositivos de banda larga em conversores multiníveis [manuscrito] / Gustavo Fontoura Guimarães. – 2018. xxiv, 149 f., enc.: il.

Orientador: Marcos Antônio Severo Mendes.

Dissertação (mestrado) Universidade Federal de Minas Gerais, Escola de Engenharia.

Apêndices: f. 137-149.

Bibliografia: f. 132-136.

1. Engenharia elétrica - Teses. I. Mendes, Marcos Antônio Severo. II. Universidade Federal de Minas Gerais. Escola de Engenharia. III. Título.

CDU: 621.3(043)

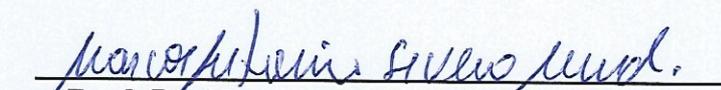
"Estudo Comparativo dos Ganhos Relativos às Técnicas de Modulação em Largura de Pulso e Dispositivos de Banda Larga em Conversores Multiníveis"

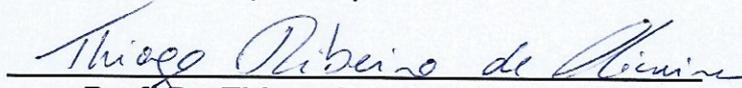
Gustavo Fontoura Guimarães

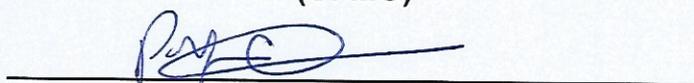
Dissertação de Mestrado submetida à Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em Engenharia Elétrica da Escola de Engenharia da Universidade Federal de Minas Gerais, como requisito para obtenção do grau de Mestre em Engenharia Elétrica.

Aprovada em 16 de julho de 2018.

Por:


Prof. Dr. Marcos Antônio Severo Mendes
DELT (UFMG) - Orientador


Prof. Dr. Thiago Ribeiro de Oliveira
(UFMG)


Prof. Dr. Porfirio Calaleiro Cortizo
DELT (UFMG)

Dedicatória

À minha família, a minha noiva e a todos meus amigos e companheiros de trabalho.

Agradecimentos

Agradeço a todos meus familiares, em especial minha irmã Mariany e minha noiva Angélica pelo apoio em todos momentos deste desafio.

Agradeço ao Professor Marcos Antônio Severo pelo todo incentivo, orientação e colaboração neste e em todos trabalhos que realizamos.

Agradeço todos que estiveram perto nesta caminhada em particular a Victor Ferreira, Lucas Muniz, Antônio Gamaliel, Érico Vieira e em especial a Gabriel Braga por toda contribuição ao meu crescimento profissional.

Agradeço ao programa de pós graduação da Engenharia Elétrica da UFMG, seu corpo docente e funcionários, por todo trabalho realizado que garante um ensino e desenvolvimento de qualidade a todos.

Por fim agradeço a Deus por tudo na minha vida.

Epígrafe

Seja a mudança que você quer ver no mundo.

Mahatma Gandhi.

Resumo

Os conversores estáticos trifásicos de potência são amplamente utilizados para diversas aplicações, que sempre demandam por menor custo e maior eficiência dos equipamentos. Esta dissertação apresenta as características de perdas para conversores de dois e três níveis utilizando dispositivos de carbeto de silício (SiC) e silício (Si) e os moduladores *Selective Harmonic Elimination* (SHE) e *Space Vector Modulator* (SVM). Com o estudo é possível definir os ganhos em função da escolha dos dispositivos, topologia de conversores e moduladores. O estudo contribui com a definição das equações que caracterizam corretamente as condições iniciais para o modulador SHE. Será apresentada uma metodologia para obtenção dos ângulos de comutação para as técnicas de modulação com eliminação seletiva de harmônicos Bipolar e Unipolar, assim como, a implementação dos moduladores. Também é contemplado o projeto do filtro de saída com o objetivo determinar o desempenho dos moduladores SV e SHE para diferentes frequências de chaveamento. Por fim, verifica-se os ganhos relativos as perdas entre as condições de maior e menor frequência de chaveamento considerando as perdas no conversor e nos componentes passivos do filtro de saída.

Palavras-chave: *Conversores Estáticos Trifásicos de Potência, Selective Harmonic Elimination (SHE), Space Vector Modulator (SVM).*

Abstract

Three-phase power electronic converters are widely used for various applications, which always demand equipment with less cost and greater efficiency. This dissertation presents the loss characteristics for two-and three-level converters using silicon carbide (SiC) and silicon (Si) devices and modulators Selective Harmonic Elimination (SHE) and Space Vector Modulator (SVM). With the study it is possible define gains due to the choice of devices, topology of converters and modulators. The study contributes with definition of the equations that correctly characterize the initial conditions for the SHE modulator. A methodology will be presented to obtain the switching angles for the modulation techniques of selective harmonics elimination Bipolar and Unipolar as well as the implementation of SHE modulators. It is also contemplated the design of output filter with objective to determine the performance of SV and SHE modulators for different switching frequencies. Finally, the gains related to the losses between highest and lowest switching conditions are verified considering the losses in converter and passive components of output filter.

Keywords: *Power Electronic Converters, Selective Harmonic Elimination (SHE), Space Vector Modulator (SVM).* .

Lista de Figuras

2.1	(a) Conversor fonte de tensão trifásico de dois níveis. (b) Padrão de tensões do conversor dois níveis. Fonte: Desenvolvida pelo autor.	11
2.2	(a) Conversor fonte de tensão trifásico de três níveis com neutro grampeado. (b) Padrões de tensão do conversor. Fonte: Desenvolvida pelo autor com base em Mendes (2000).	12
2.3	Característica de chaveamento SHE unipolar de 3 ângulos. Fonte: Desenvolvida pelo autor com base em Patel and Hoft (1973) Patel and Hoft (1974).	14
2.4	Característica de chaveamento SHE bipolar. Fonte: Desenvolvida pelo autor com base em Patel and Hoft (1973) Patel and Hoft (1974).	16
2.5	Plano de tensões no sistema $\alpha\beta$ para o conversor trifásico 2 Níveis. Fonte: Desenvolvida pelo autor com base em Pinheiro et al. (2002).	20
2.6	Plano de tensões no sistema $\alpha\beta$ para o inversor trifásico 3 Níveis NPC. Fonte: Desenvolvida pelo autor com base em Pinheiro et al. (2002).	23
2.7	Planos Limites e separação dos setores $\alpha\beta$ para o inversor trifásico 3 Níveis NPC. Fonte: Desenvolvida pelo autor com base em Pinheiro et al. (2002).	23
3.1	Aproximação dos ângulos iniciais para o SHE bipolar. Fonte: Desenvolvida pelo autor.	30

3.2	Aproximação dos ângulos iniciais para o SHE Unipolar. Fonte: Desenvolvida pelo autor.	32
3.3	Fluxograma do algoritmo para obtenção dos ângulos de comutação SHE Unipolar e Bipolar. Fonte: Desenvolvida pelo autor.	35
3.4	Diagrama do Modulador SHE-PWM. Fonte: Desenvolvida pelo autor.	36
3.5	Limites de chaveamento SHE-BIPOLAR para 3 ângulos. Fonte: Desenvolvida pelo autor.	37
3.6	Implementação do algoritmo SHE-Bipolar para 3 ângulos. Fonte: Desenvolvida pelo autor.	38
3.7	Limites de chaveamento SHE-UNIPOLAR para 3 ângulos. Fonte: Desenvolvida pelo autor.	39
3.8	Implementação do algoritmo SHE-UNIPOLAR para 3 ângulos. Fonte: Desenvolvida pelo autor.	39
3.9	Estrutura básica construtiva dos diodos PN. Fonte: Desenvolvida pelo autor com base em Baliga (2008).	41
3.10	Distribuição do campo elétrico. Fonte: Desenvolvida pelo autor com base em Baliga (2008).	43
3.11	Curva característica de recuperação reversa no diodo de potência. Fonte: Desenvolvida pelo autor.	45
3.12	Curva característica de queda de tensão V_D em condução do diodo de potência. Fonte: Desenvolvida pelo autor.	45
3.13	Característica de ligamento do MOFET. Fonte: Desenvolvida pelo autor.	48
3.14	Característica de desligamento do MOSFET. Fonte: Desenvolvida pelo autor.	49
3.15	Característica de ligamento do IGBT. Fonte: Desenvolvida pelo autor.	51
3.16	Característica de desligamento do IGBT. Fonte: Desenvolvida pelo autor.	52
3.17	Curva característica de queda de tensão V_{CE} em condução do IGBT. Fonte: Desenvolvida pelo autor.	53

3.18	PLECS curva de entrada para cálculo de perdas em condução IGBT EUPEC-FZ600R, (EUPEC; 2003).	54
3.19	Cuvas simplificadas para perdas de ligamento e desligamento de um braço de inversor a IGBT. Fonte: Plexim (2017)	55
3.20	Curva de entrada para o PLECS com valores de energia para ligamento ou desligamento para duas temperaturas. Fonte: (Plexim; 2017)	56
3.21	Topologia do filtro-LCL com resistor de amortecimento passivo. Fonte: Desenvolvida pelo autor.	57
4.1	Mapas SHE-PWM Unipolar com 5 e 7 ângulos de chaveamentos. Fonte: Desenvolvida pelo autor.	64
4.2	Mapas SHE-PWM Unipolar com 9 e 11 ângulos de chaveamentos. Fonte: Desenvolvida pelo autor.	65
4.3	Mapas SHE-PWM Unipolar com 13 e 15 ângulos de chaveamentos. Fonte: Desenvolvida pelo autor.	65
4.4	Mapas SHE-PWM Bipolar com 5 e 7 ângulos de chaveamentos. Fonte: Desenvolvida pelo autor.	67
4.5	Mapas SHE-PWM Bipolar com 9 e 11 ângulos de chaveamentos. Fonte: Desenvolvida pelo autor.	67
4.6	Mapas SHE-PWM Bipolar com 13 e 15 ângulos de chaveamentos. Fonte: Desenvolvida pelo autor.	68
4.7	Resultados SHE-B para fundamental em 60Hz com mapa de 133 ângulos. Fonte: Desenvolvida pelo autor.	69
4.8	Limites de trocas dos mapas SHE. Fonte: Desenvolvida pelo autor.	72
4.9	Espectro Harmônico da tensão de saída V_{ff} para moduladores SHE-PWM e SV-PWM e conversor de dois níveis. Fonte: Desenvolvida pelo autor.	74
4.10	Espectro Harmônico da tensão de saída V_{ff} para moduladores SHE-PWM e SV-PWM e conversor de Três níveis. Fonte: Desenvolvida pelo autor.	74

4.11	Entrada para PLECS, MOSFET e diodo CAS30017-SiC 1.7kV. Fonte: Desenvolvida pelo autor.	79
4.12	Entrada para PLECS, Mosfet e diodo CAS30012-SiC 1.2kV. Fonte: Desenvolvida pelo autor.	80
4.13	Entrada para PLECS, Diodo-Si FF225R17ME4P 1.7kV. Fonte: Desenvolvida pelo autor.	81
4.14	Entrada para PLECS, IGBT-Si FF225R17ME4P 1.7kV. Fonte: Desenvolvida pelo autor.	82
4.15	Entrada para PLECS, IGBT-Si F3L300R12MT4PB22 1.2kV. Fonte: Desenvolvida pelo autor.	83
4.16	Entrada para PLECS, Diodo-Si F3L300R12MT4PB22 1.2kV. Fonte: Desenvolvida pelo autor.	84
4.17	Estrutura do modelos Simulink/PLECS para cálculo de perdas. Fonte: Desenvolvida pelo autor.	86
4.18	Circuito PLECS para Conversor de dois níveis. Fonte: Desenvolvida pelo autor.	87
4.19	Circuito PLECS para Conversor NPC de três níveis. Fonte: Desenvolvida pelo autor.	87
4.20	Perdas de chaveamento. Fonte: Desenvolvida pelo autor.	88
4.21	Teste para validação do cálculo de perdas PLECS. Fonte: Desenvolvida pelo autor.	89
4.22	Perdas Conversor de 2–Níveis SV-PWM. Fonte: Desenvolvida pelo autor.	91
4.23	Compilação de resultados Conversor de 2–Níveis SV-PWM. Fonte: Desenvolvida pelo autor.	91
4.24	Perdas Conversor de 2–Níveis SHE-B. Fonte: Desenvolvida pelo autor.	92
4.25	Compilação de resultados Conversor de 2–Níveis SV-PWM. Fonte: Desenvolvida pelo autor.	93
4.26	Resultados de rendimento em condição nominal para conversor 2n. Fonte: Desenvolvida pelo autor.	95
4.27	Comparação de perdas Conversor de 2–Níveis para condição nominal. Fonte: Desenvolvida pelo autor.	95

4.28	Perdas Conversor de 3–Níveis NPC SV-PWM. Fonte: Desenvolvida pelo autor.	97
4.29	Compilação de resultados Conversor de 3–Níveis SV-PWM. Fonte: Desenvolvida pelo autor.	97
4.30	Perdas Conversor de 3–Níveis NPC SHE-U. Fonte: Desenvolvida pelo autor.	98
4.31	Compilação de resultados Conversor de 3–Níveis SV-PWM. Fonte: Desenvolvida pelo autor.	98
4.32	Resultados de rendimento em condição nominal para conversor 3n NPC. Fonte: Desenvolvida pelo autor.	100
4.33	Comparação de perdas Conversor de 3–Níveis NPC para condição nominal. Fonte: Desenvolvida pelo autor.	101
4.34	Perdas Conversor de 2–Níveis e 3–Níveis SV-PWM. Fonte: Desenvolvida pelo autor.	102
4.35	Perdas Conversor de 2–Níveis e 3–Níveis SHE-PWM. Fonte: Desenvolvida pelo autor.	103
4.36	Comparação rendimento entre os conversor de 2–Níveis e 3–Níveis. Fonte: Desenvolvida pelo autor.	105
4.37	Circuito para conversor trifásico e filtro de saída LCL mais carga. Fonte: Desenvolvida pelo autor.	106
4.38	Circuito para uma fase do filtro LCL. Fonte: Desenvolvida pelo autor.	107
4.39	Resposta em frequência LCL . Fonte: Desenvolvida pelo autor.	110
4.40	Resposta em frequência do circuito equivalente LCL e Carga. Fonte: Desenvolvida pelo autor.	111
4.41	Resposta em frequência do circuito equivalente LCL e Carga. Fonte: Desenvolvida pelo autor.	111
4.42	FFT corrente e tensão, utilizando filtro LCL e modulador SV-PWM.. Fonte: Desenvolvida pelo autor.	112
4.43	FFT corrente e tensão, utilizando filtro LCL e modulador SV-PWM.. Fonte: Desenvolvida pelo autor.	113
4.44	FFT da corrente e tensão, utilizando filtro LCL e modulador SHE-PWM. Fonte: Desenvolvida pelo autor.	114

4.45	FFT da corrente e tensão, utilizando filtro LCL e modulador SHE-PWM. Fonte: Desenvolvida pelo autor.	114
4.46	Resposta em frequência LCL ressonância em 5khz. Fonte: Desenvolvida pelo autor.	116
4.47	Resposta em frequência do circuito equivalente LCL e Carga, para f_C de 10kHz. Fonte: Desenvolvida pelo autor.	117
4.48	Resposta em frequência do circuito equivalente LCL e Carga, para f_C de 10kHz. Fonte: Desenvolvida pelo autor.	117
4.49	Resultados filtro LCL, utilizando modulador SHE-B com primeiro harmônico em 10020Hz . Fonte: Desenvolvida pelo autor.	118
4.50	Resultados filtro LCL, utilizando modulador SHE-B com primeiro harmônico em 10020Hz . Fonte: Desenvolvida pelo autor.	119
4.51	Comparativo entre SV-Si e SHE-SiC e filtros LCL. Fonte: Desenvolvida pelo autor.	120
4.52	Resultados filtro LCL, utilizando modulador SHE-U com primeiro harmônico em 10020Hz . Fonte: Desenvolvida pelo autor.	122
4.53	Resultados filtro LCL, utilizando modulador SHE-U com primeiro harmônico em 10020Hz . Fonte: Desenvolvida pelo autor.	122
4.54	Comparativo entre SV-Si e SHE-SiC e filtros LCL. Fonte: Desenvolvida pelo autor.	124

Lista de Tabelas

2.1	Propriedades fundamentais dos materiais. Fonte: (AHMED; 2002)	9
2.2	Estados de comutação conversor 2 níveis	19
2.3	Planos Limites.	20
2.4	Estados de comutação em um inversor NPC.	21
2.5	Estados de comutação inversor de Três Níveis NPC	22
4.1	Característica da carga definida para estudo.	70
4.2	Tabela de Harmônicos SHE para 60Hz.	71
4.3	Tabela de frequências de banda laterais para SV-PWM.	76
4.4	Tabela de Harmônicos SHE para primeiro harmônico acima de 1080Hz.	77
4.5	Tabela de Harmônicos SHE para primeiro harmônico acima de 2160Hz.	77
4.6	Tabela de Harmônicos SHE para primeiro harmônico acima de 5000Hz.	77
4.7	Tabela de Harmônicos SHE para primeiro harmônico acima de 10000Hz.	77
4.8	Tabela características CAS300M17BM2.	79
4.9	Tabela características CAS300M12BM2.	80
4.10	Tabela características FF225R17ME4P	81
4.11	Tabela características F3L300R12MT4PB22.	83
4.12	Parâmetros base para projeto do filtro de saída.	106
4.13	Parâmetros Filtro LCL para F_c de 1080hz.	109
4.14	Parâmetros Filtro LCL para F_{PHS} de 10kHz e SHE-Bipolar.	116

4.15	Parâmetros Filtro LCL para F_{PHS} de 10kHz e SHE-Unipolar.	121
------	---	-----

Lista de Abreviações

A	Ampère
c.a.	Corrente Alternada
c.c.	Corrente Contínua
di/dt	Taxa de variação de corrente
DSP	Digital Signal Processor
DUT	Device Under Test
dv/dt	Taxa de variação de tensão
FPGA	Field Programmable Gate Array
F_C	Frequência de Chaveamento
GaN	Gallium nitride - Nitreto de Gálio
Hz	Hertz
IEM	Interferência Eletromagnética
IGBT	Insulated Gate Bipolar Transistor
MLP	Modulação por largura de pulso
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
NPC	Neutral Point Clamped Converter
PWM	Pulse Width Modulation – modulação de largura de pulso
RMS	Root Mean Square – valor eficaz da grandeza
Si	Silício
SiC	Carbeto de Silício

SHE	Selective Harmonic Elimination
SHE-B	Selective Harmonic Elimination Bipolar
SHE-U	Selective Harmonic Elimination Unipolar
VSI	Voltage Source Inverter
T_J	Temperatura da junção
V_{DS}	Tensão dreno- <i>source</i>
V_{GE}	Tensão <i>gate</i> -emissor
V_{CE}	Tensão coletor-emissor
2n	Dois níveis
3n	Três níveis

Lista de Símbolos

α	Ângulo de chaveamento em radianos
μ	Micro
m	Mili
ωt	Velocidade angular em radianos por segundo
E	Campo elétrico [<i>Newton/Coulomb</i>]
λ_0	Coefficiente inicial da série de fourrier
β_n	Coefficiente da série de fourrier
V_{cc}	Tensão do barramento de corrente contínua
V_s	Tensão de saída
V_a	Tensão de saída fase A
V_b	Tensão de saída fase B
V_c	Tensão de saída fase C
V_α	Tensão α , no plano bidimensional $\alpha \beta$
V_β	Tensão β , no plano bidimensional $\alpha \beta$
\mathfrak{R}^2	Transformação bidimensional
\mathfrak{R}^3	Plano tridimensional
t	Tempo
W	Watt

Conteúdo

Resumo	ix
Abstract	x
Lista de Figuras	xvi
Lista de Tabelas	xviii
Lista de Abreviações	xix
Lista de Símbolos	xxi
1 Introdução	1
1.1 Motivação e Relevância	2
1.2 Objetivos	4
1.3 Organização do texto	5
2 Revisão Bibliográfica	6
2.1 Introdução	7
2.2 Dispositivos semicondutores de potência	8
2.3 Conversores estáticos	10
2.3.1 Conversor estático de dois níveis	10
2.3.2 Conversor estático de três níveis NPC	10
2.4 Técnicas de modulação de conversores trifásicos	12
2.4.1 Modulador SHE	12
2.4.2 Modulador SHE unipolar	13
2.4.3 Modulador SHE bipolar	16

2.4.4	Modulador space vector	18
2.4.5	SVM para Conversores trifásicos de dois níveis	19
2.4.6	SVM para conversor trifásico três níveis NPC	21
2.5	Conclusões	25
3	Estudo dos Métodos de Modulação e Característica Térmica	26
3.1	Introdução	27
3.2	Metodologia para modulador SHE	28
3.2.1	Algoritmo para cálculos dos ângulos de comutação	28
3.2.2	Algoritmo de modulação SHE	36
3.3	Modelamento de perdas em semicondutores de Potência	40
3.3.1	Característica de perdas no diodo	40
3.3.2	Característica de perdas no MOSFET	46
3.3.3	Característica de perdas no IGBT	50
3.4	Modelamento de perdas nos conversores	53
3.4.1	Perdas de condução	53
3.4.2	Perdas de chaveamento	54
3.5	Estudo para projeto do filtro senoidal de saída	56
3.6	Conclusões	61
4	Resultados de Simulação	62
4.1	Mapas SHE	63
4.1.1	Mapas SHE Unipolar	64
4.1.2	Mapas SHE Bipolar	66
4.2	Equivalência dos moduladores SHE e SV-PWM	69
4.3	Estudo comparativo de perdas	78
4.3.1	Módulos semicondutores de potência	78
4.3.2	Implementação do modelo para cálculo de perdas	85
4.3.3	Resultados de perdas	90
4.4	Análise comparativa de perdas entre topologias de dois e três níveis	101
4.5	Projeto do Filtro de saída	105
4.5.1	Projeto do Filtro LCL com modulação à 1080Hz	108

4.5.2	Estudo comparativo do filtro de saída e perdas	115
4.6	Conclusões	124
5	Conclusão e Propostas de Continuidade	126
5.1	Conclusão	127
5.2	Proposta de Continuidade	131
	Artigo publicado	137
	Artigo publicado	144

Introdução

Este capítulo introdutório destaca a relevância, motivação e objetivos do tema pesquisado nessa dissertação. Para orientar e auxiliar o leitor, a organização do texto também será descrita na última seção do capítulo.

Conteúdo

1.1	Motivação e Relevância	2
1.2	Objetivos	4
1.3	Organização do texto	5

1.1 Motivação e Relevância

A evolução de uma estrutura tradicional geralmente ocorre com o aperfeiçoamento das tecnologias base que a constituem, no caso da Eletrônica de Potência os dispositivos semicondutores são os limitantes diretos. Atualmente as novas tecnologias dos dispositivos de potência passam por uma transição do estágio de desenvolvimento para a aplicação, em função da consolidação da tecnologia, implicando na redução do custo do produto final. Assim, os conversores estáticos também tendem a sofrer alterações, a fim de otimizar os ganhos com a utilização dos novos dispositivos semicondutores de banda larga, e existindo a necessidade de reavaliar os conversores estáticos em diversos pontos, dentre as quais pode-se citar:

- Moduladores utilizados;
- Projeto do filtro de saída dos conversores;
- Redução das perdas de chaveamento;
- Projeto físico do conversor em função do aumento da frequência de chaveamento.
- Redução dos custos com dissipação.

Os conversores estáticos convencionalmente são construídos a base de dispositivos de Silício (Si). Atualmente, existe a tendência de se utilizar dispositivos de banda larga ou amplo *bandgap*, polítipos do Carbetto de Silício (SiC) ou Nitreto de Gálio (GaN), os quais, apresentam melhores características de perdas de chaveamento que os dispositivos de Si . Isto, permite aumentar a frequência de operação e conseqüentemente reduzir os componentes do filtro de saída e dissipadores.

O avanço da ciência se dá por melhorias gradativas, sempre apoiando sob o passado para ir mais longe. Dessa forma, este trabalho tem como motivação fundamental contribuir com o estudo de dispositivos de banda larga e propor uma abordagem para otimização da relação entre filtros passivos e moduladores utilizados nos conversores estáticos de potência.

De acordo com [Kizilyalli et al. \(2017\)](#), os dispositivos semicondutores de banda larga são a chave para aumentar a eficiência e reduzir o tamanho dos sistemas eletrônicos de potência. Sendo que, a geração de eletricidade responde atualmente por 40% do consumo de energia primária nos EUA e nos próximos 25 anos estima-se que chegue acima de 50% em todo o mundo, ([Kizilyalli et al.; 2017](#)). Em [Kizilyalli et al. \(2017\)](#), destaca-se que eletricidade é a energia de uso final que mais cresce, sendo a conversão de energia por conversores de potência fundamental para o correto condicionamento na transmissão, distribuição e consumo. Estima-se, que a parcela de energia elétrica processada por conversores de potência incluindo geração e consumo pode superar os 80% em 2030. Deste modo, o avanço no desenvolvimento de dispositivos semicondutores de potência de maior eficiência, confiabilidade e funcionalidade irá resultar em conversores com substancial oportunidade de economia de energia direta e indiretamente, ([Kizilyalli et al.; 2017](#)).

A utilização de conversores construídos com dispositivos de banda larga pode beneficiar várias aplicações da eletrônica de potência. Dentre as quais, está a aplicação de acionamentos elétricos com frequência variável, vastamente utilizada na indústria. Aplicações automotivas, na qual, são estimadas reduções de consumo de energia de 10% a 30%, com redução de perdas e volume do conversor, que pode gerar aumento de eficiência entorno de 15%, ([Kizilyalli et al.; 2017](#)). Espera-se em aplicações aeroespaciais, redução

do consumo de combustível das aeronaves em até 50%. Para *Data Centers* calcula-se a redução do consumo de energia em aproximadamente 2% considerando os sistemas americanos em 2014. Também contabiliza-se redução de custo com filtros passivos em geração distribuída, além de aumento do tempo de vida útil dos equipamentos, (Kizilyalli et al.; 2017).

Conseqüentemente, a utilização dos dispositivos de banda larga tende a incentivar o aumento das frequências de chaveamento dos conversores, demandando adequação dos sistemas de controle digital à nova realidade. Com isso, a utilização de novas estratégias de controle, algoritmos de modulação e *Hardwares* de processamento de sinais que consigam extrair o máximo da potência viabilizada pela nova tecnologia de dispositivos de banda larga é justificada abrindo-se uma possibilidade para introduzir mais inteligência aos sistemas via *software*. Visto o modulador SHE-PWM que teve sua utilização limitada na indústria devido ao custo dos controladores com alta capacidade de memória e processamento.

1.2 Objetivos

Esta dissertação tem como objetivo geral o estudo comparativo de conversores estáticos utilizando dispositivos semicondutores de potência de Si e dispositivos de banda larga disponíveis no mercado, em termos do real ganho com a utilização das novas tecnologias quanto as perdas de chaveamento e condução. Limitando o estudo a topologias de conversores estáticos trifásicos de dois níveis convencional e três níveis NPC utilizando dois moduladores, o *Space Vector pulse-width modulation* (SV-PWM) e o *Selective Harmonic Elimination* (SHE).

Em conseqüência do objetivo geral será necessário a obtenção dos mapas com os ângulos de comutação para o SHE Bipolar e Unipolar. Para o SHE Bipolar espera-se apresentar uma metodologia para números elevados de pontos, para se obter mapas com ângulos de comutação superior à 19, o que não é observado na literatura, sendo necessário para obter os resultados de perdas para altas frequências de chaveamento utilizando o modulador SHE. Assim, pretende-se, apresentar o método para obtenção dos mapas e a

implementação dos moduladores SHE-Bipolar aplicado ao conversor de dois níveis, e o SHE-Unipolar aplicado ao conversor de três níveis NPC.

Também tem-se como objetivo inerente ao estudo obter via simulações o perfil das perdas em função da variação da frequência de chaveamento, dispositivos de potência de S_i e S_iC e os moduladores SHE e SV-PWM em condições equivalentes de operação. Sendo então possível apresentar projetos de filtro de saída considerando os resultados de perdas em função do aumento da frequência de chaveamento. Por fim, deve-se apresentar de forma comparativa as devidas análises dos resultados de perdas em função da utilização das topologias de conversores, semicondutores, moduladores e filtro de saída.

1.3 Organização do texto

Esta dissertação foi estruturada em 5 capítulos organizados da seguinte forma:

- O Capítulo 1 apresenta os aspectos introdutórios da dissertação, bem como relevância, motivação e objetivos.
- O Capítulo 2 aborda uma breve revisão sobre os conversores estáticos trifásicos de dois e três níveis. Em seguida são descritos os moduladores SVM e SHE para as respectivas topologias.
- No Capítulo 3 é apresentado o estudo detalhado sobre os métodos de modulação, assim como, as características térmicas dos dispositivos semicondutores de potência.
- No Capítulo 4 são apresentados os resultados comparativos via simulação utilizando os estudos realizados nos Capítulos 2 e 3.
- No Capítulo 5 é realizada uma conclusão geral sobre o trabalho desenvolvido, bem como as possíveis propostas de continuidade.

Revisão Bibliográfica

Este capítulo apresenta o estado da arte sobre as topologias de conversores de dois e três níveis NPC, os dispositivos de banda larga SiC e os moduladores Selective Harmonic Elimination (SHE), e Space Vector Modulation (SVM). As análises dos dispositivos, topologias de conversores e técnicas de modulação tem como objetivo promover uma visão geral da integração entre os tópicos para convergência do trabalho.

Conteúdo

2.1	Introdução	7
2.2	Dispositivos semicondutores de potência	8
2.3	Conversores estáticos	10
2.3.1	Conversor estático de dois níveis	10
2.3.2	Conversor estático de três níveis NPC	10
2.4	Técnicas de modulação de conversores trifásicos	12
2.4.1	Modulador SHE	12
2.4.2	Modulador SHE unipolar	13
2.4.3	Modulador SHE bipolar	16
2.4.4	Modulador space vector	18
2.4.5	SVM para Conversores trifásicos de dois níveis	19
2.4.6	SVM para conversor trifásico três níveis NPC	21
2.5	Conclusões	25

2.1 Introdução

Do início da eletrônica de potência com o retificador a arco de mercúrio em 1900, passando pela descoberta do transistor de silício em 1948 por Bardeen, Battaion e Shockley da Bell Telephone Laboratories determina a primeira revolução da eletrônica (Rashid; 1999). Em seguida, a invenção do transistor disparável *PNPN* o tiristor também pela Bell Laboratories desencadeia a segunda revolução da eletrônica, que em 1958 pela General Electric Company com o desenvolvimento do tiristor comercial, inicia a criação de vários dispositivos semicondutores de potência. No final dos anos 1980 e início dos anos 1990 com primeira geração dos dispositivos *Insulated Gate Bipolar*

Transistor (IGBT), destaca-se o grande desenvolvimento da eletrônica de potência, (Rashid; 1999). Atualmente, com a introdução do dispositivos *SiC* (Carbeto de Silício), observa-se uma nova era na qual quase tudo pode ser reformulado e melhorado.

2.2 Dispositivos semicondutores de potência

O silício tem sido utilizado como matéria prima base para o desenvolvimento de semicondutores de uma forma geral. Nos quais, os domínios dos processos de purificação, crescimento de cristais, deposição de camadas dentre outros são fundamentais para construção do dispositivo (Diego; 2009). Os limites inerentes da utilização de silício na fabricação de dispositivos de potência desencadearam o estudo de novos compostos, denominados semicondutores de banda larga (WBS, wide bandgap semiconductors).

Para a mesma faixa de potência, observa-se que com o aumento da frequência de operação, os dispositivos a base de *SiC* e *GaN* apresentam menor elevação das perdas de chaveamento que os dispositivos de Si. Devido a que, os semicondutores de banda larga possuem características como: menor concentração de portadores intrínsecos, maior campo elétrico de ruptura, maior condutividade térmica e maior velocidade de deriva de elétrons saturados que os dispositivos de silício (Diego; 2009).

A Tabela 2.1 apresenta o comparativo de alguns materiais e as características relevantes para fabricação de dispositivos utilizados em aplicações de eletrônica de potência. Basicamente nos dispositivos semicondutores de potência existe o problema da capacidade de bloqueio ser inversa a velocidade de comutação do dispositivo.

A tensão de ruptura do material é diretamente proporcional ao *band gap*, assim dispositivos com maiores E_g possuem maior capacidade de bloqueio. A região de carga espacial dos dispositivos é inversamente proporcional ao campo elétrico de ruptura E_c . Sendo que, menores regiões de carga espacial significa mais rápida eliminação de cargas. Desta forma, dispositivos derivados de *SiC* e *GaN* possuem maior capacidade de bloqueio com menor região de carga espacial, o que, possibilita a operação com frequências mais elevadas

mantendo as perdas de chaveamento baixas quando comparados aos de *Si*.

Tabela 2.1: Propriedades fundamentais dos materiais. Fonte: (AHMED; 2002)

Parâmetro	Si	GaAs	SiC-6H	SiC-4H	GaN	Diam.	Unidade
Bandgap E_g	1.12	1.43	3.03	3.26	3.45	5.45	[eV]
Const. dielétrica	11.9	13.1	9.66	10.1	9.0	5.5	ϵ_u
Camp. Máx E_c	300	400	2500	2200	2000	10000	[kV/cm]
Mob. elétron μ_n	1350	8500	500	1000	1250	2200	[$cm^2/V.s$]
Mob. lacuna μ_p	480	400	101	115	850	850	[$cm^2/V.s$]
Cond. Térmica λ	1.5	0.46	4.9	4.9	1.3	22	[W/cm.K]
Vel. Sat Elétron	1	1	2	2	2.2	2.7	[$\times 10^7 cm/s$]

Sendo então possível construir dispositivos semicondutores de potência utilizando o *SiC* ou *GaN* que apresentem melhores resultados de operação que os construídos com o *Si* para faixa de operação equivalente. Em Mirzaee (2014) é realizado um estudo com objetivo de verificar do desempenho dos dispositivos semicondutores construídos com silício e carbeto de silício. No qual, são avaliadas as eficiências dos módulos híbridos com *IGBT's* de *Si* e Diodos de *SiC*, além de módulos puramente de *SiC*, em conversores de três níveis de média tensão. Destaca-se que a combinação das perdas de ligamento das chaves e de recuperação reversa no diodo antiparalelo representam cerca de 40% a 60% das perdas totais do conversor (Mirzaee; 2014). Assim a degradação da eficiência dos módulos de *Si* ocorre acentuadamente com frequências de chaveamento próximas de 5kHz, em consequência da elevação da parcela de perdas de comutação. O mesmo não ocorre para os módulos de *SiC* e módulos híbridos.

O estudo realizado em Fu (2015), mostra a aplicação de *SiC* e *Si* comparativamente em conversores aplicados a geração solar. Os dispositivos de *SiC* proporcionam ganhos na diminuição do filtro LC, e consequentemente, a redução do volume total do conversor. Também são apresentados resultados de um conversor baseado em dispositivos de *SiC* e de maior de potência. Tal qual, quando comparado a outros conversores a base de dispositivos de *Si*, para mesma frequência de chaveamento, verifica-se que é possível utili-

zar o mesmo dissipador para ambos. Fato este, devido a maior eficiência do conversor construído com dispositivos semicondutores de *SiC*.

Em Cota (2016) apresentou-se um estudo para avaliação dos rendimentos de UPSs trifásicas de dupla conversão utilizando as topologias de dois e de três níveis NPC utilizando dispositivos de silício e carbeto de silício, observou-se como em outros estudos, ganhos significativos com a substituição dos dispositivos de *Si* por *SiC* e também com a aplicação de outras topologias de conversores à de dois níveis.

2.3 Conversores estáticos

2.3.1 Conversor estático de dois níveis

Os conversores estáticos de dois níveis devido a sua simplicidade e eficiência possuem grande aplicabilidade na eletrônica de potência. A topologia trifásica de dois níveis para um barramento de corrente contínua V_{cc} , assume dois valores simétricos de tensão possíveis, $V_{cc}/2$ e $-V_{cc}/2$ para a tensão V_{xo} . A Figura 2.1(a) mostra um braço do conversor estático convencional, e na Figura 2.1(b) as formas de onda de saída V_{xo} e tensão fase-fase V_{ff} , entre dois braços modulados por sinais de referência senoidais defasados 120° .

De forma geral, a limitação da aplicabilidade dos conversores de dois níveis esta vinculada a limitação da máxima tensão de bloqueio dos dispositivos semicondutores, limites de conteúdo harmônico e em alguns casos limites de dv/dt determinados pela carga.

O conversor também possui alta confiabilidade inerente ao número reduzido de semicondutores. O que implica em algoritmos de modulação, projeto estrutural e montagem mais simples, quando comparado ao conversor de três níveis NPC.

2.3.2 Conversor estático de três níveis NPC

Os conversores de três níveis NPC (Neutral Point Clamped) tem sido utilizados para contornar a limitação de máxima tensão de bloqueio dos transis-

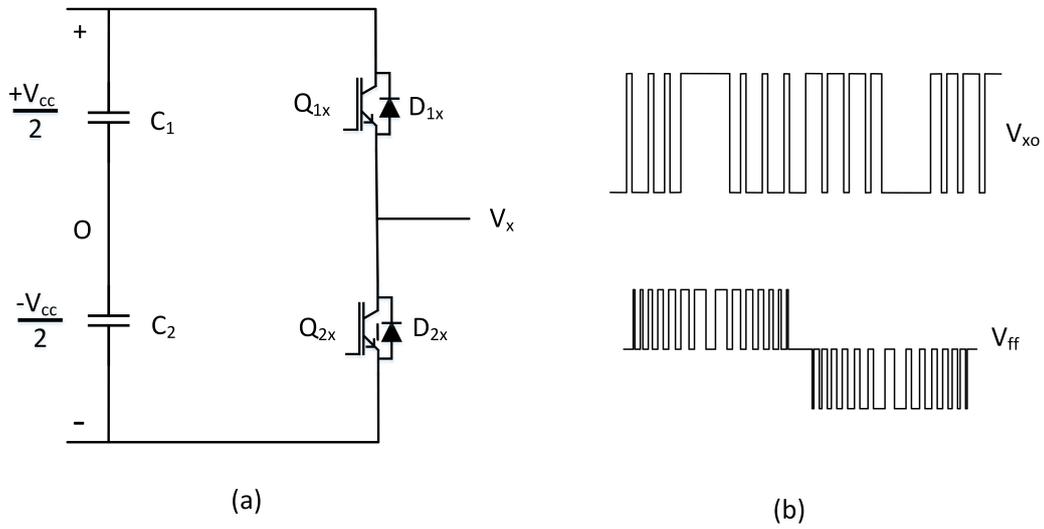


Figura 2.1: (a) Conversor fonte de tensão trifásico de dois níveis. (b) Padrão de tensões do conversor dois níveis. Fonte: Desenvolvida pelo autor.

tores de potência como MOSFET's e IGBT's. Geralmente, para aplicações de média tensão como filtros ativos de potência, acionamentos à motores e sistemas FACTS (Flexible AC Transmission System) (Mendes; 2000).

Na topologia de três níveis NPC, as chaves de um mesmo braço necessitam suportar somente a metade da tensão do barramento de corrente contínua. Assim, para algumas aplicações é possível remover o transformador abaixador de entrada, e optar pelo conversor de três níveis NPC ao conversor de dois níveis.

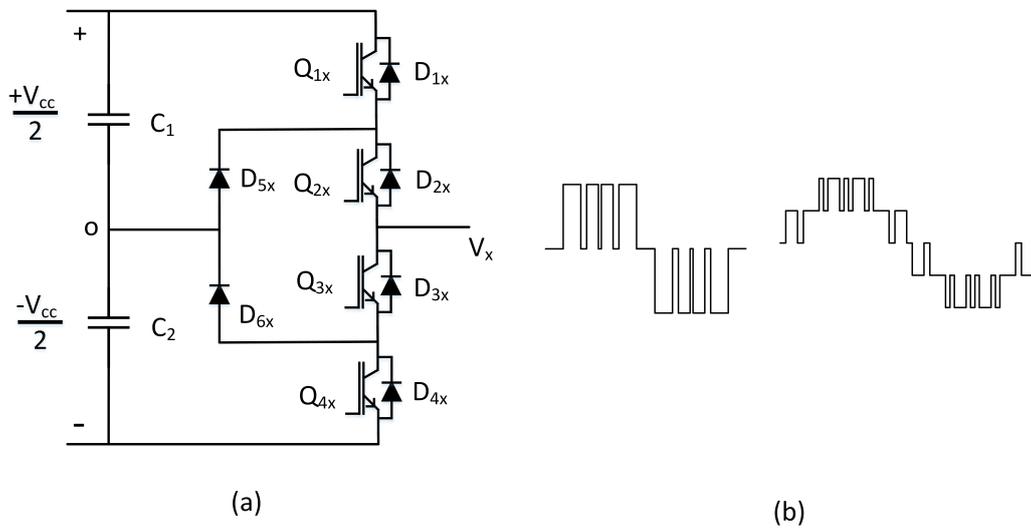


Figura 2.2: (a) Conversor fonte de tensão trifásico de três níveis com neutro grampeado. (b) Padrões de tensão do conversor. Fonte: Desenvolvida pelo autor com base em [Mendes \(2000\)](#).

A Figura 2.2(a) mostra um braço do conversor estático com neutro grampeado a diodo de três níveis, que justamente o termo grampeamento a diodo refere-se aos D_{5x} e D_{6x} . Os diodos de grampeamento são utilizados para limitar a tensão de bloqueio sobre as chaves externas em $V_{cc}/2$, além de permitirem a aplicação de tensão zero à carga conectando-a ao ponto "O". Outra característica é a redução dos valores de dv/dt aplicados à carga e aos dispositivos do conversor. Conseqüentemente, o conversor gera um melhor perfil de corrente na carga, no caso da aplicação de acionamentos resulta em menores oscilações no torque.

2.4 Técnicas de modulação de conversores trifásicos

2.4.1 Modulador SHE

O método de eliminação seletiva de harmônicos foi proposto em 1973 por Patel em [Patel and Hoft \(1973\)](#), para conversores de dois e de três níveis. A

técnica de PWM programada de forma geral consiste em um padrão de comutação com um quarto de onda simétrico que elimina ou minimiza o máximo número de harmônicos com o menor número de chaveamentos possíveis.

O desafio do método essencialmente consiste na resolução das equações não lineares transcendentais, o que requer grande esforço computacional. Usualmente, utiliza-se o processamento *offline* para se obter as matizes com os ângulos de comutação, que posteriormente são carregadas nos dispositivos de controle dedicados, DSP's, MCU's ou FPGA's.

As equações não-lineares são obtidas sobre a definição que todo sinal periódico pode ser representado por uma soma de senos e cossenos, assim a forma de onda de saída do conversor pode ser obtida pela Equação 2.1, (Patel and Hoft; 1973) (Patel and Hoft; 1974).

$$V_{out} = \alpha_0 + \sum_{n=1}^{\infty} \alpha_n \cos(n\omega t) + b_n \sin(n\omega t) \quad (2.1)$$

Sendo:

- ω a frequência fundamental;
- n a ordem do harmônico;
- α_0 , α_n e b_n os coeficientes da série de Fourier;

Para a forma de onda de dois níveis SHE, a cada semiciclo de onda as duas tensões $+V_{cc}$ e $-V_{cc}$ são utilizadas para constituir a forma de onda de saída do conversor, este caso é denominado com SHE-Bipolar. Diferentemente, o SHE-Unipolar é caracterizado por aplicar as tensões $+V_{cc}$ e “O” para o semiciclo positivo, e $-V_{cc}$ e “O” para o semiciclo negativo.

2.4.2 Modulador SHE unipolar

A modulação SHE-Unipolar consiste em uma característica de chaveamento das tensões $+V_{cc}$, $-V_{cc}$ e “O”. De tal forma, esta técnica pode ser utilizada em conversores de três níveis NPC.

Em Patel and Hoft (1973), define-se a forma de onda generalizada para um conversor de ponte completa semelhante a apresentada da Figura 2.3.

Na qual, a forma de onda é periódica, simétrica por um quarto de ciclo e invertida por semiciclo.

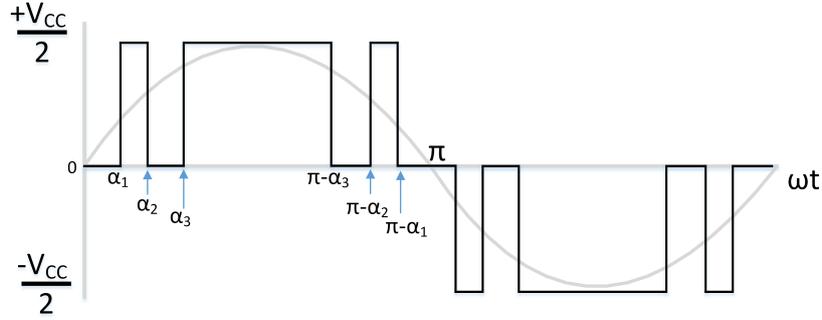


Figura 2.3: Característica de chaveamento SHE unipolar de 3 ângulos. Fonte: Desenvolvida pelo autor com base em [Patel and Hoft \(1973\)](#) [Patel and Hoft \(1974\)](#).

De acordo com [Patel and Hoft \(1973\)](#), a expressão generalizada para qualquer α_n e qualquer número de chaveamentos M por um quarto de ciclo fisicamente possíveis de serem implementados podem ser obtidos pela Equação 2.2. A definição é referente a forma de onda unipolar da Figura 2.3.

$$\alpha_n = \frac{4}{n\pi} \sum_{i=1}^M (-1^{i+1}) \cos(n\alpha_i) \quad (2.2)$$

Para: $n = 1, 2, 3, \dots$ e $0 < \alpha_1 < \alpha_2 < \alpha_m < \frac{\pi}{2}$

Utilizando a Equação 2.2 pode-se obter os valores de α_n para todos coeficientes n ímpares, na qual a expansão em série de Fourier é dada pela Equação 2.3, sendo V_{cc} o barramento de corrente contínua.

$$\begin{aligned} v(\omega t) = \frac{4V_{cc}}{\pi} \{ & (\cos(\alpha_1) - \cos(\alpha_2) + \cos(\alpha_3) - \dots) \sin(\omega t) \\ & + (\cos(3\alpha_1) - \cos(3\alpha_2) + \cos(3\alpha_3) - \dots) \frac{\sin(3\omega t)}{3} \\ & + (\cos(5\alpha_1) - \cos(5\alpha_2) + \cos(5\alpha_3) - \dots) \frac{\sin(5\omega t)}{5} + \dots \} \end{aligned} \quad (2.3)$$

Para: $0 < \alpha_1 < \alpha_2 < \alpha_m < \frac{\pi}{2}$

Para uma condição de três chaveamentos por um quarto de ciclo são necessárias três equações, sendo a fundamental maximizada e as outras duas igualadas a zero para se eliminar dois harmônicos. A Equação 2.4 mostra as equações a serem resolvidas para três chaveamentos, conseqüentemente, eliminando os harmônicos 5° e 7°. Considerando um sistema trifásico equilibrado, o terceiro harmônico é inerentemente cancelado e a simetria da forma do modulador SHE garante a forma de onda livre de harmônicos pares.

$$\begin{aligned} V_x &= \frac{4 * V_{cc}}{\pi} [\cos(\alpha_1) - \cos(\alpha_2) + \cos(\alpha_3)] \\ 0 &= [\cos(5\alpha_1) - \cos(5\alpha_2) + \cos(5\alpha_3)] \\ 0 &= [(\cos(7\alpha_1) - \cos(7\alpha_2) + \cos(7\alpha_3))] \end{aligned} \quad (2.4)$$

Em função do número de chaveamentos M por um quarto de ciclo é possível eliminar ou minimizar $(M-1)$ harmônicos. Com a solução do conjunto de Equações 2.4, nas quais os coeficientes α_n que tornam o sistema verdadeiro são os ângulos de comutação que minimizam os “ n ” harmônicos indesejados. As equações são igualadas a um limiar quase zero, e simultaneamente maximiza a fundamental V_x igualando-a ao índice de modulação máximo. Este processo é considerado difícil por se tratar de equações não lineares transcendentais, requerendo técnicas numéricas para resolução e em alguns casos algoritmos de inteligência computacional.

Como pode ser verificado na Figura 2.3, o número de chaveamentos por ciclo pode ser definido como sendo quatro vezes o número M de comutações por quarto de ciclo $N = (4 * M)$, Patel and Hoft (1973). A frequência de chaveamento pode ser definida pela Equação 2.5.

$$f_c = (2 * M) * f_n \quad (2.5)$$

Sendo f_n a frequência da fundamental e M o número de comutações por quarto de ciclo.

2.4.3 Modulador SHE bipolar

A modulação SHE-Bipolar consiste em uma característica de chaveamento na qual as tensões V_{xo} na saída do conversor são $+V_{cc}/2$ ou $-V_{cc}/2$, Figura 2.4. A técnica de modulação bipolar tem sido amplamente utilizada para redução de perdas em conversores de dois níveis e supressão de harmônicos indesejados, semelhante ao modulador SHE Unipolar.

Em Patel and Hoft (1973), define-se a forma de onda generalizada para uma fase do conversor de meia ponte semelhante a apresentada da Figura 2.4. Pode-se assumir o sinal como periódico e com simetria por um quarto de onda.

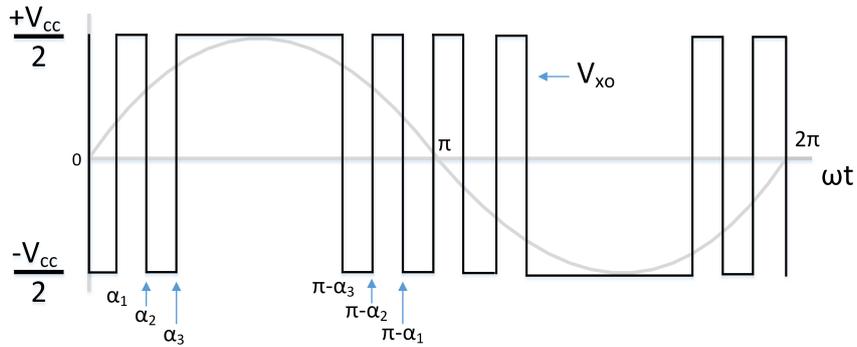


Figura 2.4: Característica de chaveamento SHE bipolar. Fonte: Desenvolvida pelo autor com base em Patel and Hoft (1973) Patel and Hoft (1974).

De acordo com Patel and Hoft (1973), a expressão generalizada para qualquer α_n e qualquer número de chaveamentos M fisicamente possíveis de serem implementados, podem ser obtidos pela Equação 2.6. Definição para a forma de onda bipolar da Figura 2.4, (Patel and Hoft; 1973).

$$\alpha_n = \frac{4}{n\pi} \left(-1 + 2 \sum_{i=1}^M (-1)^i \cos(n\alpha_i) \right) \quad (2.6)$$

Para: $n = 1, 2, 3, \dots$ e $0 < \alpha_1 < \alpha_2 < \alpha_m < \frac{\pi}{2}$

A expansão em série de Forrier é dada pela Equação 2.7, sendo V_{cc} a o barramento de corrente contínua.

$$\begin{aligned}
v(\omega t) = \frac{4V_{cc}}{\pi} \{ & (-1 + 2 \cos \alpha_1 - 2 \cos \alpha_2 + 2 \cos \alpha_3 - \dots) \sin \omega t \\
& + (-1 + 2 \cos 3\alpha_1 - 2 \cos 3\alpha_2 + 2 \cos 3\alpha_3 - \dots) \frac{\sin 3\omega t}{3} \\
& + (-1 + 2 \cos 5\alpha_1 - 2 \cos 5\alpha_2 + 2 \cos 5\alpha_3 - \dots) \frac{\sin 5\omega t}{5} \\
& + \dots \} \quad (2.7)
\end{aligned}$$

Para: $0 < \alpha_1 < \alpha_2 < \alpha_m < \frac{\pi}{2}$

Para uma condição de três chaveamentos por um quarto de ciclo, são necessárias três equações, sendo a fundamental maximizada e as outras duas igualadas a zero, é possível eliminar dois harmônicos. A Equação 2.8 mostra as equações a serem resolvidas para três chaveamentos, conseqüentemente, eliminando os harmônicos 5° e 7° . Considerando, um sistema trifásico equilibrado, o terceiro harmônico é inerentemente cancelado e a simetria da forma do modulador SHE garante a forma de onda livre de harmônicos pares semelhante ao SHE-Unipolar.

$$\begin{aligned}
V_x &= \frac{4 * V_{cc}}{\pi} [-1 + 2 \cos(\alpha_1) - 2 \cos(\alpha_2) + 2 \cos(\alpha_3)] \\
0 &= [-1 + 2 \cos(5\alpha_1) - 2 \cos(5\alpha_2) + 2 \cos(5\alpha_3)] \\
0 &= [-1 + 2 \cos(7\alpha_1) - 2 \cos(7\alpha_2) + 2 \cos(7\alpha_3)] \quad (2.8)
\end{aligned}$$

Desconsiderando o chaveamento na passagem por zero para M comutações por um quarto de ciclo é possível eliminar ou minimizar $(M-1)$, harmônicos com a solução do conjunto de Equações 2.8. Os coeficientes α_n que tornam o sistema verdadeiro são os ângulos de comutação que minimizam os “ n ” harmônicos indesejados. As equações são igualadas a um limiar quase zero e simultaneamente maximiza a fundamental V_x igualando-a ao índice de modulação máximo. Processo semelhante ao utilizado para o SHE-Unipolar.

Como pode ser verificado na Figura 2.4, o número de chaveamentos por ciclo pode ser definido com sendo o quatro vezes o do número M de comuta-

ções por quarto de ciclo mais dois, $N = (4 * M) + 2$, [Patel and Hoft \(1973\)](#). A frequência de chaveamento pode ser definida pela Equação 2.9.

$$f_c = (2 * M + 1) * f_n \quad (2.9)$$

Sendo f_n a frequência da fundamental, e M o número de comutações por quarto de ciclo. Observa-se na Figura 2.4 que sempre ocorre a transição na passagem por π , sendo que, esta transição não participa da eliminação de harmônicos.

2.4.4 Modulador space vector

A modulação vetorial *Space Vector Modulation* (SVM) tem sido desenvolvida e largamente utilizada em diversas aplicações ([Holtz; 1992](#)). Quando comparada com outras técnicas como a modulação senoidal, apresenta uma redução do conteúdo harmônico, ganho de tensão na saída e fácil implementação em sistemas embarcados.

A técnica SVM é um tipo de modulação por largura de pulso na qual, os instantes de chaveamentos e as durações para cada estado são determinadas pelo cálculo direto de equações. Assim, existe somente uma referência vetorial proporcionando maior flexibilidade e maior região linear de operação.

Em [Pinheiro et al. \(2002\)](#), a técnica SVM é objeto de estudo com objetivo de se obter a generalização do modulador SV para conversores de potência. Dentre os quais estão, o conversor trifásico de dois níveis e o conversor de três níveis NPC. A generalização do método proposto consiste em cinco etapas descritas em [Pinheiro et al. \(2002\)](#), sendo:

1. Definição dos possíveis vetores de comutação no espaço das tensões de saída do conversor.
2. Identificação dos planos de separação dos setores no espaço das tensões de saída do conversor.
3. Identificação dos planos limites no espaço das tensões de saída do conversor.

4. Obtenção das matrizes de decomposição.
5. Definição da sequência de comutação.

2.4.5 SVM para Conversores trifásicos de dois níveis

Considerando o conversor trifásico de dois níveis apresentado na Figura 2.1, determina-se os possíveis estados das 6 chaves do conversor. Como cada par de chaves do conversor são comandados de forma complementar, obtêm-se a Tabela 2.2 com os 8 possíveis estados de comutação.

Tabela 2.2: Estados de comutação conversor 2 níveis

S_1	S_3	S_3	V_{a0}	V_{b0}	V_{c0}	V_{ab}	V_{bc}	V_{ca}	Vetores
0	0	0	0	0	0	0	0	0	V^0
0	0	1	0	0	1	0	-1	1	V^1
0	1	0	0	1	0	-1	1	0	V^2
0	1	1	0	1	1	-1	0	1	V^3
1	0	0	1	0	0	1	0	-1	V^4
1	0	1	1	0	1	1	-1	0	V^5
1	1	0	1	1	0	0	1	-1	V^6
1	1	1	1	1	1	0	0	0	V^7

Para simplificação da representação dos vetores de comutação, faz-se a transformação linear tridimensional para bidimensional, que é representada na Tabela 2.2. Sendo os três eixos V_{ab} , V_{bc} e V_{ca} para V_α e V_β . A transformação linear $\mathfrak{R}^3 \rightarrow \mathfrak{R}^2$ é possível utilizando a Equação 2.10.

$$T_{\alpha\beta} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \quad (2.10)$$

A representação $\alpha\beta$ possui seis vetores não nulos os quais definem os vértices do hexágono com módulo igual a $\sqrt{2/3}$, e dois vetores com módulo nulo, Figura 2.5.

Os planos de separação tem seus limites definidos pelos seis vetores não nulos, assim cada setor possui dois vetores de comutação como limite, po-

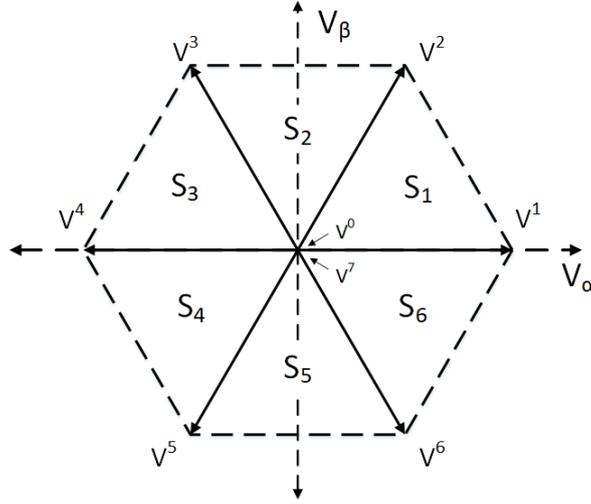


Figura 2.5: Plano de tensões no sistema $\alpha\beta$ para o conversor trifásico 2 Níveis.
Fonte: Desenvolvida pelo autor com base em [Pinheiro et al. \(2002\)](#).

dendo definir os planos de separação pelas Equações 2.11a, 2.11b e 2.11c.

$$PS_1 \Rightarrow u_\beta + \sqrt{3}u_\alpha = 0 \quad (2.11a)$$

$$PS_2 \Rightarrow u_\beta - \sqrt{3}u_\alpha = 0 \quad (2.11b)$$

$$PS_3 \Rightarrow u_\beta = 0 \quad (2.11c)$$

Sendo possível a partir dos vértices dos vetor de comutação definir-se os planos limites de cada setor, que são apresentados na Tabela 2.3

Tabela 2.3: Planos Limites.

Setor	Plano Limite
1	$PL_1 \Rightarrow u_\beta + \sqrt{3}u_\alpha = 0$
2	$PL_2 \Rightarrow u_\beta - \sqrt{2}/2 = 0$
3	$PL_3 \Rightarrow u_\beta - \sqrt{3}u_\alpha - \sqrt{2} = 0$
4	$PL_4 \Rightarrow u_\beta + \sqrt{3}u_\alpha + \sqrt{2} = 0$
5	$PL_5 \Rightarrow u_\beta + \sqrt{2}/2 = 0$
6	$PL_6 \Rightarrow u_\beta - \sqrt{3}u_\alpha + \sqrt{2} = 0$

2.4.6 SVM para conversor trifásico três níveis NPC

Semelhante ao conversor de dois níveis em [Pinheiro et al. \(2002\)](#), o conversor trifásico de três níveis Figura 2.2 é analisado seguindo os 5 passos propostos. O conversor NPC possui 3 possíveis estados de condução, conexão com o $+V_{cc}/2$ ponto “P”, conexão com $-V_{cc}/2$ ponto “N” ou ponto “O”, Tabela 2.4. Consequentemente, para os três braços do inversor resultam em 27 possibilidades ([Seixas et al.; 2000](#)), ([Seo et al.; 2001](#)).

Tabela 2.4: Estados de comutação em um inversor NPC.

Simbolo	Q1x	Q2x	Q3x	Q4x	Vn Saída
P	ON	ON	OFF	OFF	$V_{dc}/2$
0	OFF	ON	ON	OFF	0
N	OFF	OFF	ON	ON	$-V_{dc}/2$

Seguindo com o procedimento as tensões de saída do inversor NPC podem ser representadas em um espaço bidimensional, desta forma obtêm-se os vetores de comutação no espaço $\alpha\beta$ utilizando a Equação 2.10, ([Pinheiro et al.; 2002](#)). Os possíveis vetores de comutação bidimensional para o inversor trifásico de três níveis NPC são apresentados na Tabela 2.5.

Tabela 2.5: Estados de comutação inversor de Três Níveis NPC

Estados	$[\alpha \ \beta]^T$	Vetores
<i>NNN – OOO – PPP</i>	$[0 \ 0]$	V^0
<i>POO – ONN</i>	$[\sqrt{6}/3 \ 0]$	V^1
<i>PPO – OON</i>	$[\sqrt{6}/6 \ \sqrt{2}/2]$	V^2
<i>OPO – NON</i>	$[-\sqrt{6}/3 \ 0]$	V^3
<i>OPP – NOO</i>	$[-\sqrt{6}/3 \ 0]$	V^4
<i>OOP – NNO</i>	$[-\sqrt{6}/6 \ -\sqrt{2}/2]$	V^5
<i>POP – ONO</i>	$[\sqrt{6}/6 \ -\sqrt{2}/2]$	V^6
<i>PNN</i>	$[2\sqrt{6}/3 \ 0]$	V^7
<i>PON</i>	$[\sqrt{6}/2 \ \sqrt{2}/2]$	V^8
<i>PPN</i>	$[\sqrt{6}/3 \ \sqrt{2}]$	V^9
<i>OPN</i>	$[0 \ \sqrt{2}]$	V^{10}
<i>NPN</i>	$[-\sqrt{6}/3 \ \sqrt{2}]$	V^{11}
<i>NPO</i>	$[-\sqrt{6}/2 \ \sqrt{2}/2]$	V^{12}
<i>NPP</i>	$[-2\sqrt{6}/3 \ 0]$	V^{13}
<i>NOP</i>	$[-\sqrt{6}/2 \ -\sqrt{2}/2]$	V^{14}
<i>NNP</i>	$[-\sqrt{6}/3 \ -\sqrt{2}]$	V^{15}
<i>ONP</i>	$[0 \ -\sqrt{2}]$	V^{16}
<i>PNP</i>	$[\sqrt{6}/3 \ -\sqrt{2}]$	V^{17}
<i>PNO</i>	$[\sqrt{6}/2 \ -\sqrt{2}/2]$	V^{18}

O inversor de três níveis possui dezenove diferentes vetores de comutação, como pode ser observado no espaço de tensões na Figura 2.6 e na Tabela 2.5, assim existe uma grande flexibilidade para manipulação dos vetores de comutação.

Os planos limites do espaço das tensões V_0 à V_{18} para operação na região linear são graficamente expressos no plano da Figura 2.7.

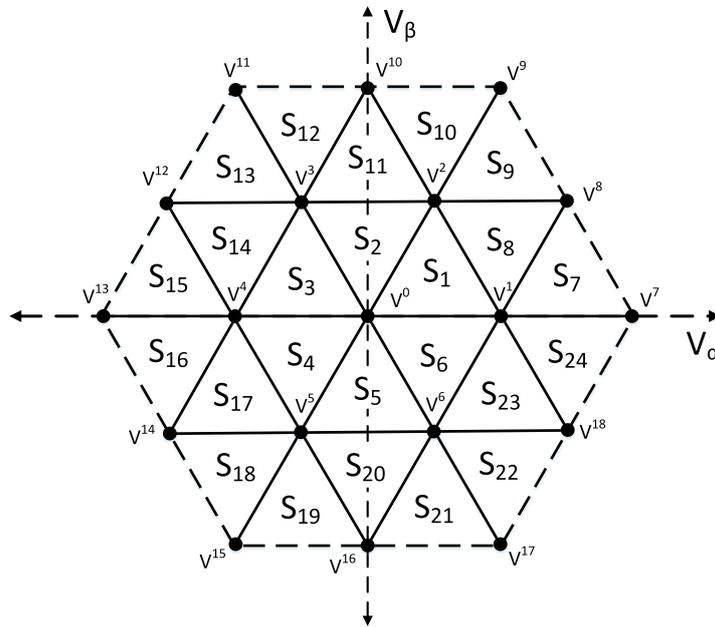


Figura 2.6: Plano de tensões no sistema $\alpha\beta$ para o inversor trifásico 3 Níveis NPC. Fonte: Desenvolvida pelo autor com base em [Pinheiro et al. \(2002\)](#).

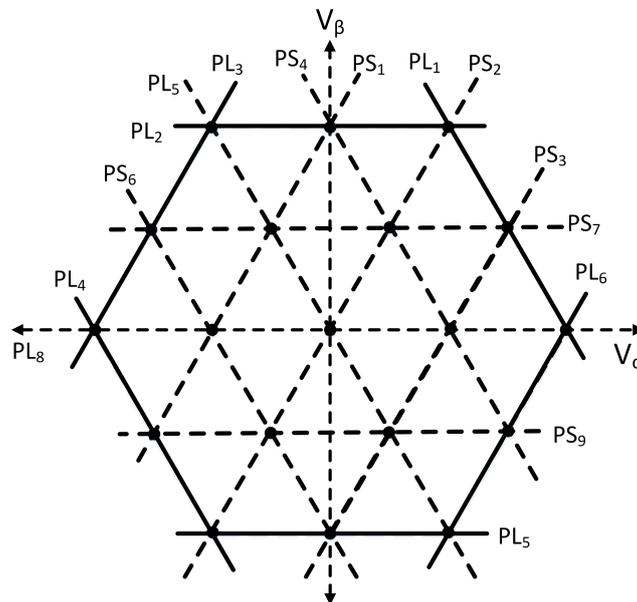


Figura 2.7: Planos Limites e separação dos setores $\alpha\beta$ para o inversor trifásico 3 Níveis NPC. Fonte: Desenvolvida pelo autor com base em [Pinheiro et al. \(2002\)](#).

As equações que descrevem os planos de separação são definidas por:

$$PS_1 \Rightarrow u_\beta - \sqrt{3}u_\alpha - \sqrt{2} = 0 \quad (2.12a)$$

$$PS_2 \Rightarrow u_\beta - \sqrt{3}u_\alpha = 0 \quad (2.12b)$$

$$PS_3 \Rightarrow u_\beta - \sqrt{3}u_\alpha + \sqrt{2} = 0 \quad (2.12c)$$

$$PS_4 \Rightarrow u_\beta + \sqrt{3}u_\alpha - \sqrt{2} = 0 \quad (2.12d)$$

$$PS_5 \Rightarrow u_\beta + \sqrt{3}u_\alpha = 0 \quad (2.12e)$$

$$PS_6 \Rightarrow u_\beta + \sqrt{3}u_\alpha + \sqrt{2} = 0 \quad (2.12f)$$

$$PS_7 \Rightarrow u_\beta - \frac{\sqrt{2}}{2} = 0 \quad (2.12g)$$

$$PS_8 \Rightarrow u_\beta = 0 \quad (2.12h)$$

$$PS_9 \Rightarrow u_\beta + \frac{\sqrt{2}}{2} = 0 \quad (2.12i)$$

E os limites de cada plano são definidos pelas equações:

$$PL_1 \Rightarrow u_\beta + \sqrt{3}u_\alpha - 2\sqrt{2} = 0 \quad (2.13a)$$

$$PL_2 \Rightarrow u_\beta - \sqrt{2} = 0 \quad (2.13b)$$

$$PL_3 \Rightarrow u_\beta - \sqrt{3}u_\alpha - 2\sqrt{2} = 0 \quad (2.13c)$$

$$PL_4 \Rightarrow u_\beta + \sqrt{3}u_\alpha + 2\sqrt{2} = 0 \quad (2.13d)$$

$$PL_5 \Rightarrow u_\beta + \sqrt{2} = 0 \quad (2.13e)$$

$$PL_6 \Rightarrow -u_\beta + \sqrt{3}u_\alpha - 2\sqrt{2} = 0 \quad (2.13f)$$

Em consequência do grande número de vetores de comutação possíveis a serem utilizados para sintetização da tensão de saída no conversor NPC de três níveis, existe a possibilidade de adicionar estratégias que alteram a sequência dos vetores de comutação para redução de perdas ou redução de distorção harmônica total (THD). Assim como, executar a equalização do barramento de corrente contínua, (Seo et al.; 2001) (Pinheiro et al.; 2002).

2.5 Conclusões

Nesta seção foi primeiramente apresentado um breve descritivo da evolução dos dispositivos semicondutores chegando aos dispositivos de banda-larga, sendo possível perceber que novamente estamos vivenciando uma nova evolução. Na qual, projetos consolidados podem ser melhorados e outros conceituais se tornam possíveis. Posteriormente, foram apresentadas as topologias de conversores trifásicos de dois níveis, descrevendo suas características e evidenciando pontos positivos e negativos. No mesmo formato foi apresentado na terceira seção o conversor NPC de três níveis. Finalizando a revisão com as técnicas de modulação SHE unipolar e bipolar e o SVM de dois e três níveis. Conclui-se que, o avanço tecnológico com os dispositivos de banda-larga permite uma revisão da abordagem já consolidada, com o objetivo de aumentar a eficiência dos conversores de potência. Ressalta-se que, este formato da revisão tem como objetivo apresentar os pilares que sustentam o estudo, e que no decorrer do texto serão referenciados a todos instantes.

Estudo dos Métodos de Modulação e Característica Térmica

Neste capítulo será apresentada a metodologia para obtenção dos mapas do modulador SHE, além do algoritmo do modulador para utilização do SHE Bipolar em conversores de dois níveis e o SHE Unipolar para conversores de três níveis NPC. Também serão apresentados os modelos de perdas para os dispositivos semicondutores de potência, assim como, a abordagem utilizada para simulação das condições de operação e por fim um estudo sobre filtros senoidais.

Conteúdo

3.1	Introdução	27
3.2	Metodologia para modulador SHE	28
3.2.1	Algoritmo para cálculos dos ângulos de comutação	28
3.2.2	Algoritmo de modulação SHE	36
3.3	Modelamento de perdas em semicondutores de Potência	40
3.3.1	Característica de perdas no diodo	40
3.3.2	Característica de perdas no MOSFET	46
3.3.3	Característica de perdas no IGBT	50
3.4	Modelamento de perdas nos conversores	53
3.4.1	Perdas de condução	53
3.4.2	Perdas de chaveamento	54
3.5	Estudo para projeto do filtro senoidal de saída	56
3.6	Conclusões	61

3.1 Introdução

As técnicas de modulação por largura de pulso de forma geral são desenvolvidas com semelhantes objetivos como, redução do conteúdo harmônico, minimização das perdas de chaveamento, variação da tensão e frequência de saída linear. Entretanto, a melhoria dos algoritmos de modulação e controle somente são possíveis atualmente devido a evolução dos dispositivos de processamento de sinais. Ganhos significativos de processamento e aumento de memória interna, aumento do desempenho e quantidade de periféricos e o mais relevante que é a diminuição do custo, o que torna possível a utilização

de algoritmos mais sofisticados e complexos como o SHE-PWM, mesmo para altas frequências.

3.2 Metodologia para modulador SHE

3.2.1 Algoritmo para cálculos dos ângulos de comutação

O algoritmo para obtenção dos ângulos de comutação do modulador SHE que eliminam ou minimizam específicos harmônicos na forma de onda de saída proposto neste estudo consiste em um processo *offline*. No qual, se obtêm os ângulos para cada índice de modulação com o menor erro possível, zerando as equações dos harmônicos indesejados e maximizando a equação da tensão de saída em função do índice modulação. Os mapas resultantes desse processo *offline* são posteriormente utilizados como entrada para o modulador SHE-PWM.

Este método foi apresentado inicialmente por [Patel and Hoft \(1974\)](#), e amplamente discutido na literatura, assim alguns aperfeiçoamentos foram propostos para facilitar a resolução das equações na região linear e de sobremodulação, como pode ser observado em [Guimarães et al. \(2015\)](#). O algoritmo resulta na solução do conjunto de equações não lineares transcendentais definidas na Seção 2.4, o qual consiste no cálculo dos ângulos de comutação do SHE Unipolar e Bipolar aplicando-se as seguinte etapas:

Condições iniciais para o SHE-Bipolar:

- i. Valores iniciais são atribuídos a α_n , sendo o vetor com condições iniciais para solução das Equações 2.4 e 2.8. Os valores iniciais diferem para as formas de onda Unipolar e Bipolar, para ambos os valores iniciais são determinantes para convergência ou divergência do algoritmo.

Na literatura não foi observado uma definição explícita para as condições iniciais do algoritmo de minimização. Em [Parreiras \(2015\)](#), destaca-se a necessidade de avaliar o palpite inicial e alterá-lo de forma

interativa, semelhante ao procedimento proposto por Patel em 1973, (Patel and Hoft; 1973). Em Agelidis et al. (2004), discute a dificuldade de se obter resultados para eliminação de harmônicos de alta ordem e propõem-se a utilização de algoritmos randômicos para encontrar valores iniciais e depois utiliza-los como condição de partida para outros algoritmos de minimização, como o Newton-Raphson.

Avaliando o estudo de Parreiras (2015), para um número de chaveamentos elevados, o tempo de processamento se torna impraticável requerendo horas de simulação para mapas que 13 ângulos e não obtendo convergência para mapas maiores. O procedimento foi limitado a 48 horas de simulação, o que explica a apresentação resultados para até 9 ângulos apenas.

Utilizando o algoritmo proposto em Agelidis et al. (2004), obteve-se bons resultados para mapas com até 17 ângulos. Porém, observou-se o problema que nem sempre os valores iniciais obtidos pelo algoritmo randômico gera resultados adequados quando utilizados como ponto de partida para o algoritmo Newton-Raphson. Assim, é necessário repetir o processo, o que o torna impraticável para eliminação de harmônicos de alta ordem. Os resultados apresentados nos estudos de Vassilios G. Agelidis, Agelidis et al. (2004) e Agelidis et al. (2006), limitam a eliminação até o 19° harmônico o que é obtido com um mapa de $M = 7$ ângulos.

Para aplicações de frequência fundamental fixa como conversores conectados a rede em geração distribuída, ou retificadores ativos *active front end* (AFE) com baixa frequência de chaveamento ambos os métodos em Parreiras (2015) e Agelidis et al. (2004), atenderiam satisfatoriamente. Porém, não seria possível para aplicações com frequência de saída variável, como acionamentos a motor, ou mesmo para aplicações nas quais se necessita operar com alta frequência de chaveamento para redução do filtro de saída, como é o caso deste estudo. Assim, verificou-se que utilizando os métodos descritos na literatura é extremamente difícil obter mapas com grande número de ângulos.

Para se obter as condições iniciais de ângulos para o modulador SHE-Bipolar, partiu-se da característica natural da distribuição dos ângulos de chaveamento. Utilizando-se a a Figura 3.1, pode se identificar o comportamento da distribuição para índices de modulação baixos. Posiciona-se o ângulo máximo no valor de $\pi/3$ (Equação 3.1a), os outros ângulos são distribuídos no intervalo de zero a $\pi/3$ em pares. Nos quais, os índices pares definem o ângulo de referência e os índices ímpares são obtidos adicionando um delta ao ângulo de referência, respectivamente, Equações 3.1b e 3.1c. O delta (δ) é um parâmetro de ajuste, que pode ser fixo desde que o ângulo resultante seja menor que o próximo ângulo par.

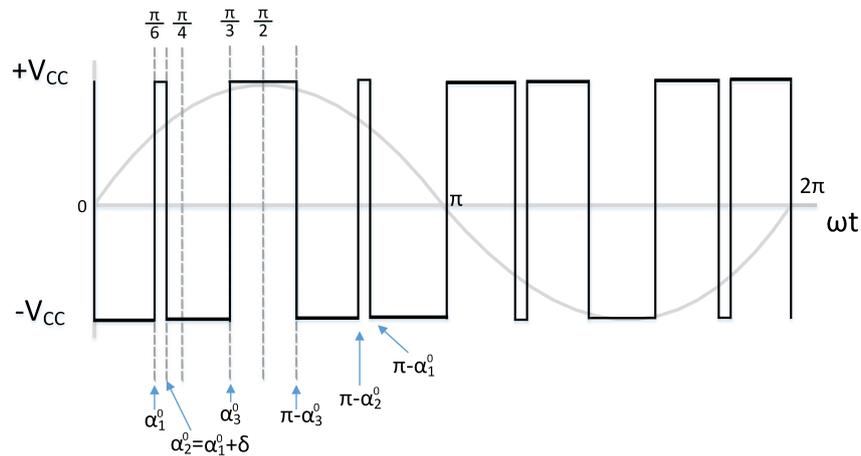


Figura 3.1: Aproximação dos ângulos iniciais para o SHE bipolar. Fonte: Desenvolvida pelo autor.

Assim, pode ser obtido um conjunto de equações que define as condições iniciais válidas para o algoritmo de cálculo dos ângulos em função do

índice de modulação.

$$\alpha_M^0 = \frac{\pi}{3} \rightarrow i = M \quad (3.1a)$$

$$\alpha_i^0 = \frac{2\pi}{3M+3} * h \rightarrow i < M \quad (3.1b)$$

$$\alpha_{i-1}^0 = \alpha_i^0 - \delta \rightarrow i < M \quad (3.1c)$$

$$\text{para } i = [2,4,6...(M-1)] \quad e \quad h = [1,2,3...(\frac{M-1}{2})]$$

Condições iniciais para o SHE-Unipolar:

Para se obter as condições iniciais de ângulos para o modulador SHE-Unipolar, utilizou o procedimento semelhante ao do SHE-Bipolar também considerando a característica natural da distribuição dos ângulos de chaveamento. Utilizando-se a a Figura 3.2, pode-se identificar o comportamento da distribuição para índices de modulação baixos. Posiciona-se o ângulo máximo no valor de $\pi/2$ Equação 3.2a, os outros ângulos são distribuídos no intervalo de zero a $\pi/2$ em pares. Nos quais, os índices pares definem o ângulo de referência e os índices ímpares são obtidos adicionado um δ ao ângulo de referência, respectivamente Equações 3.2b e 3.2c. Semelhante ao SHE-Bipolar o δ também é um parâmetro de ajuste, que pode ser fixo desde que o ângulo resultante seja menor que o próximo ângulo par.

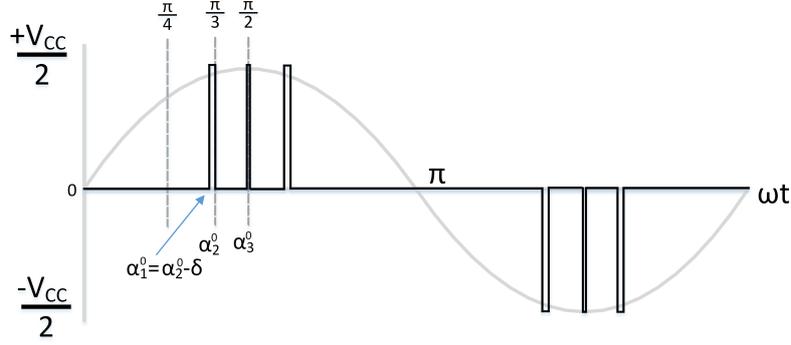


Figura 3.2: Aproximação dos ângulos iniciais para o SHE Unipolar. Fonte: Desenvolvida pelo autor.

Observa-se que a distribuição dos ângulos iniciais no intervalo de zero a $\pi/2$ obedece a condição na qual, o α_M é definido pela Equação 3.2a e os outros ângulos são distribuídos utilizando as Equações 3.2b e Equação 3.2c para o SHE-Unipolar.

$$\alpha_M^0 = \frac{\pi}{2} \rightarrow i = M \quad (3.2a)$$

$$\alpha_i^0 = \frac{\pi}{2} - \frac{2\pi}{3M+3} * h \rightarrow i < M \quad (3.2b)$$

$$\alpha_{i-1}^0 = \alpha_i^0 - \delta \rightarrow i < M \quad (3.2c)$$

$$para \quad i = [2, 4, 6, \dots, (M-1)] \quad e \quad h = [1, 2, 3, \dots, (\frac{M-1}{2})]$$

No qual o índice de modulação é definido pela Equação 3.3, sendo V_n o pico da tensão fase neutro e V_{cc} a tensão do barramento de corrente contínua.

$$mi = \frac{V_n}{\frac{V_{cc}}{2}} \quad (3.3)$$

Assim o vetor com o ângulos iniciais definido pela Equação 3.4 pode ser inicializado utilizando o conjunto de Equações 3.2a, 3.2b e 3.2c.

$$\alpha^0 = [\alpha_1^0, \alpha_2^0, \alpha_3^0, \dots, \alpha_M^0]^T \quad (3.4)$$

- ii. Os valores de α^0 calculados no item anterior são utilizados para inicializar as equações para o SHE-Bipolar e Unipolar 2.8 e 2.4, respectivamente. Para uma condição específica para três ângulos de chaveamento por um quarto de ciclo $M = 3$, são definidos os conjuntos de Equações 3.5 e 3.6 para o SHE-Bipolar e Unipolar.

Bipolar:

$$\begin{aligned} 0 &= [-1 + (2 \cos \alpha_1^0) - (2 \cos \alpha_2^0) + (2 \cos \alpha_3^0)] - \frac{mi * \pi}{4} \\ 0 &= \frac{4}{5 * \pi} [-1 + (2 \cos 5\alpha_1^0) - (2 \cos 5\alpha_2^0) + (2 \cos 5\alpha_3^0)] \\ 0 &= \frac{4}{7 * \pi} [-1 + (2 \cos 7\alpha_1^0) - (2 \cos 7\alpha_2^0) + (2 \cos 7\alpha_3^0)] \end{aligned} \quad (3.5)$$

Unipolar:

$$\begin{aligned} 0 &= [(\cos \alpha_1^0) - (\cos \alpha_2^0) + (\cos \alpha_3^0)] - \frac{mi * \pi}{4} \\ 0 &= \frac{4}{5 * \pi} [(\cos 5\alpha_1^0) - (\cos 5\alpha_2^0) + (\cos 5\alpha_3^0)] \\ 0 &= \frac{4}{7 * \pi} [(\cos 7\alpha_1^0) - (\cos 7\alpha_2^0) + (\cos 7\alpha_3^0)] \end{aligned} \quad (3.6)$$

- iii. São calculadas as derivadas parciais das Equações 3.5 e 3.6 bipolar e unipolar respectivamente, assim obtendo o vetor gradiente $\nabla f_n(x)$ para $i = 1, 2, \dots, n$ Equação 3.7.

$$\nabla f_n(x) = \left(\frac{\partial f_i(x)}{\partial x_1}, \frac{\partial f_i(x)}{\partial x_2}, \dots, \frac{\partial f_i(x)}{\partial x_n} \right)^T \quad (3.7)$$

considerando $x = (\alpha_1, \alpha_2, \dots, \alpha_n)$.

A matriz das derivadas parciais de $F(x)$, matriz Jacobiana é denominada por $J(x)$:

$$\nabla J(x) = \begin{pmatrix} \nabla f_1(x)^T \\ \nabla f_2(x)^T \\ \vdots \\ \nabla f_n(x)^T \end{pmatrix} = \begin{pmatrix} \frac{\partial f_1(x)}{\partial x_1} & \frac{\partial f_1(x)}{\partial x_2} & \cdots & \frac{\partial f_1(x)}{\partial x_n} \\ \frac{\partial f_2(x)}{\partial x_1} & \frac{\partial f_2(x)}{\partial x_2} & \cdots & \frac{\partial f_2(x)}{\partial x_n} \\ \vdots & \vdots & \ddots & \vdots \\ \frac{\partial f_n(x)}{\partial x_1} & \frac{\partial f_n(x)}{\partial x_2} & \cdots & \frac{\partial f_n(x)}{\partial x_n} \end{pmatrix} \quad (3.8)$$

- iv. Para cada interação é verificado se o erro ϵ é menor que um limiar definido ζ , para se obter valores na região linear de modulação o valor de ζ tende a zero, na ordem de $1e^{-6}$. Para a região de sobre-modulação pode-se enfraquecer o limiar, optando por minimização dos harmônicos.

Após encontrar a solução para o primeiro ponto, utiliza-se os valores anteriores dos α 's para os próximos pontos Equação 3.9. No fluxograma da Figura 3.3 observa-se esta condição quando o limite de interações é atingido ou os valores de α 's não atendem os limites.

$$\alpha^0 = [\alpha_1^{i-1}, \alpha_2^{i-1}, \alpha_3^{i-1}, \dots, \alpha_M^{i-1}]^T \quad (3.9)$$

A Figura 3.3 apresenta o fluxograma do processo descrito anteriormente para cálculo dos ângulos de chaveamento para os moduladores SHE bipolar e unipolar. O mesmo processo apresentado na Figura 3.3 pode ser utilizado alterando o método de cálculo das equações não lineares transcendentais, para outros mais sofisticados que o Newton-Raphson como os de inteligência computacional.

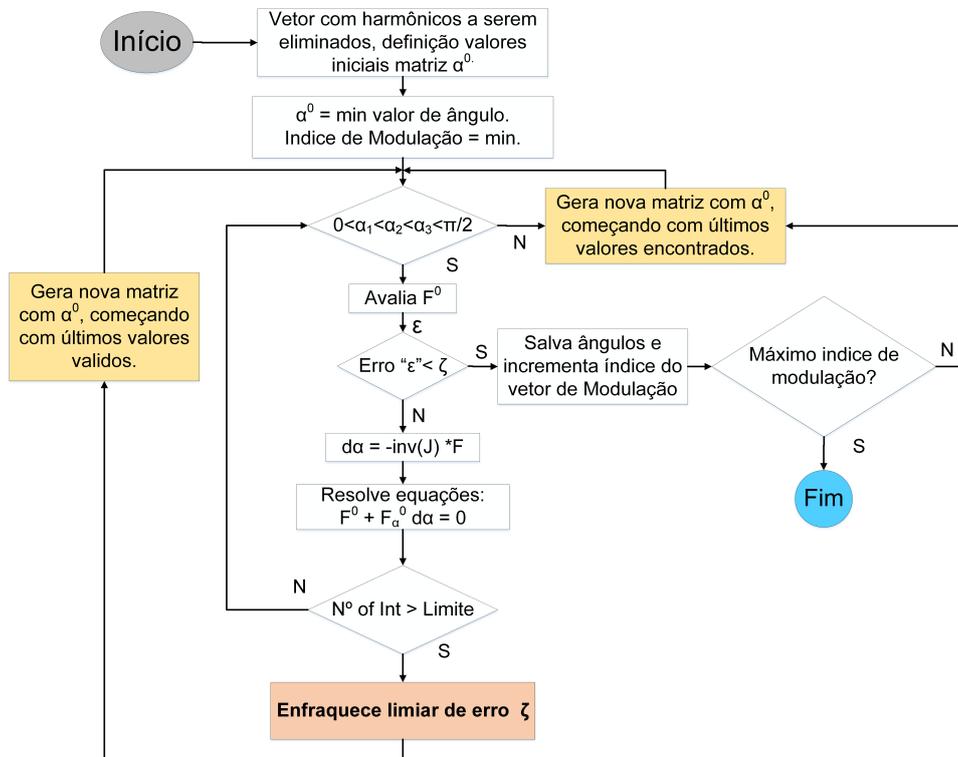


Figura 3.3: Fluxograma do algoritmo para obtenção dos ângulos de comutação SHE Unipolar e Bipolar. Fonte: Desenvolvida pelo autor.

3.2.2 Algoritmo de modulação SHE

Após a geração dos mapas utilizando o algoritmo de pré-processamento descrito na Seção 3.2.1, os ângulos de chaveamento são entradas para o algoritmo de geração dos comandos de PWM.

O índice de modulação determina a amplitude da tensão de saída. Para isto, o valor do índice de modulação é a entrada para selecionar os ângulos de comutação que resultam no requerido valor de tensão. Os pontos do mapa são a solução de cada conjunto de equações para determinados valores de modulação, assim para valores intermediários aos que foram calculados existe a necessidade de interpolação dos ângulos. Para os testes foram utilizadas tabelas *Lookup – Table*, de acordo com o diagrama da Figura 3.4, para um SHE de três ângulos.

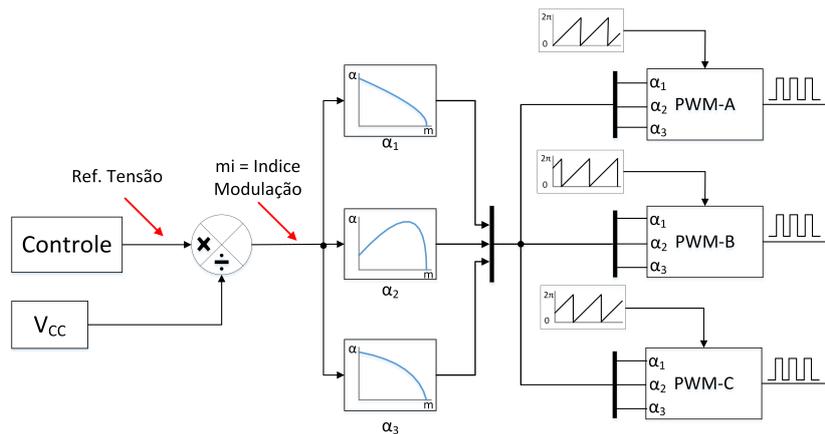


Figura 3.4: Diagrama do Modulador SHE-PWM. Fonte: Desenvolvida pelo autor.

O controle da fase e frequência é determinado pela referência angular por fase, pode se utilizar três dentes de serra com defasamento de 120° entre cada, considerando um sistema trifásico.

A Figura 3.5 representa graficamente a correlação entre os ângulos de chaveamento e a referência angular para o SHE-Bipolar, bloco PWM-x do diagrama da Figura 3.4. Para cada fase compara-se os ângulos previamente calculados com a referência angular, observa-se que o chaveamento em π é fixo

para a implementação do SHE bipolar, assim tal regra deve ser contemplada no algoritmo.

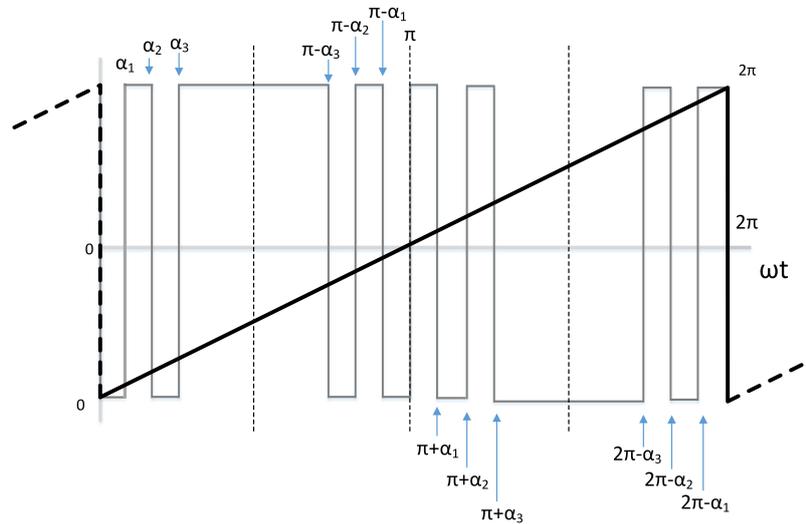


Figura 3.5: Limites de chaveamento SHE-BIPOLAR para 3 ângulos. Fonte: Desenvolvida pelo autor.

Os pulsos de PWM são obtidos a partir de comparações entre os ângulos de chaveamento e a referência angular por fase, para isto aplica-se deslocamentos aos ângulos, Figura 3.5. A forma de onda sintetizada é simétrica por um quarto de ciclo e refletida para semi-ciclo negativo, esta simetria é responsável por não existirem harmônicos pares na forma de onda de saída.

A Figura 3.6 apresenta a implementação das comparações para um mapa de três ângulos de chaveamento, nos quais T_x e T_{x-} seriam os comandos para os chaves Q_{1x} e Q_{2x} do conversor de dois níveis discutido na Seção 2.3.

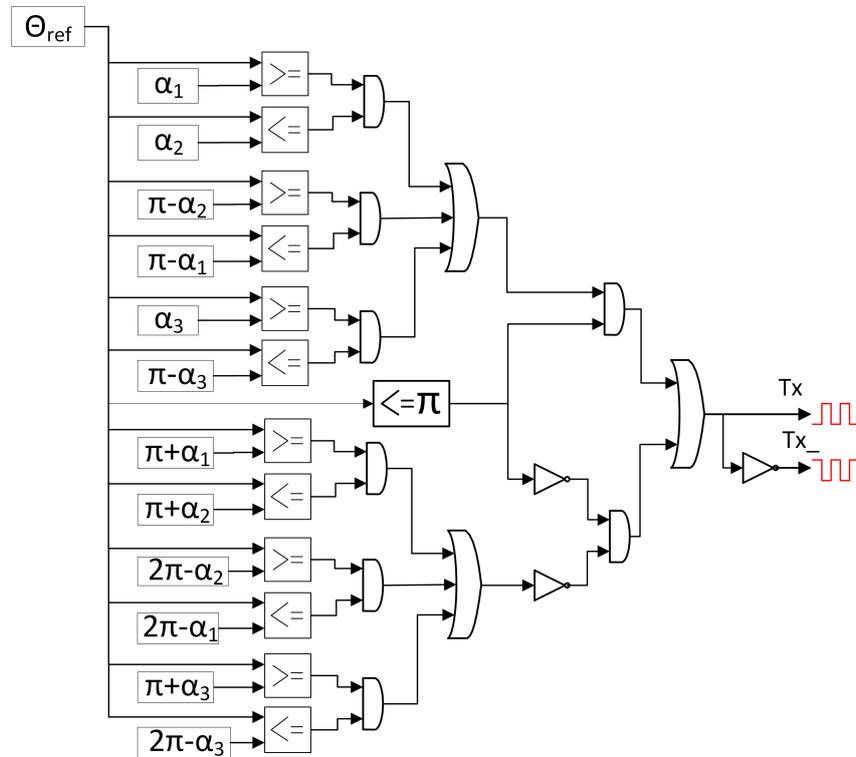


Figura 3.6: Implementação do algoritmo SHE-Bipolar para 3 ângulos. Fonte: Desenvolvida pelo autor.

Para o SHE Unipolar a representação gráfica da correlação entre os ângulos de chaveamento e a referência angular é apresentada na Figura 3.7, que corresponde ao bloco PWM-x do diagrama Figura 3.4. Semelhante ao SHE-Bipolar, o SHE-Unipolar apresenta uma forma de onda simétrica por um quarto de ciclo e refletida para o semi-ciclo negativo, o que idealmente garante a saída livre de harmônicos pares. Diferentemente do SHE-Bipolar, o SHE-Unipolar não possui a transição em π fixa e possibilidade de gerar comando com nível zero, Figura 3.7.

A Figura 3.8 apresenta a implementação do algoritmo SHE-Unipolar para um mapa de três ângulos considerando uma fase. O algoritmo SHE-Unipolar pode ser aplicado ao conversor de NPC três níveis discutido na Seção 2.3. Os pulsos da Figura 3.8 TP_x e TP_{x-} correspondem as chaves Q_{1x} e Q_{3x} e TN_x e TN_{x-} correspondem as chaves Q_{4x} e Q_{2x} , respectivamente.

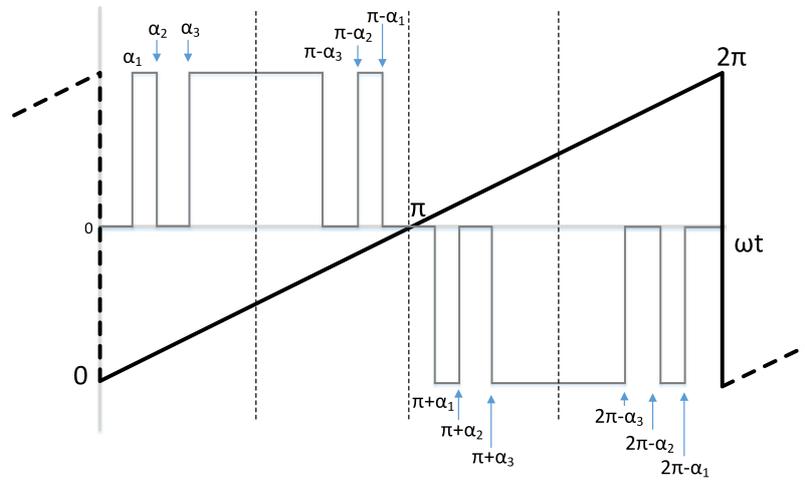


Figura 3.7: Limites de chaveamento SHE-UNIPOLAR para 3 ângulos. Fonte: Desenvolvida pelo autor.

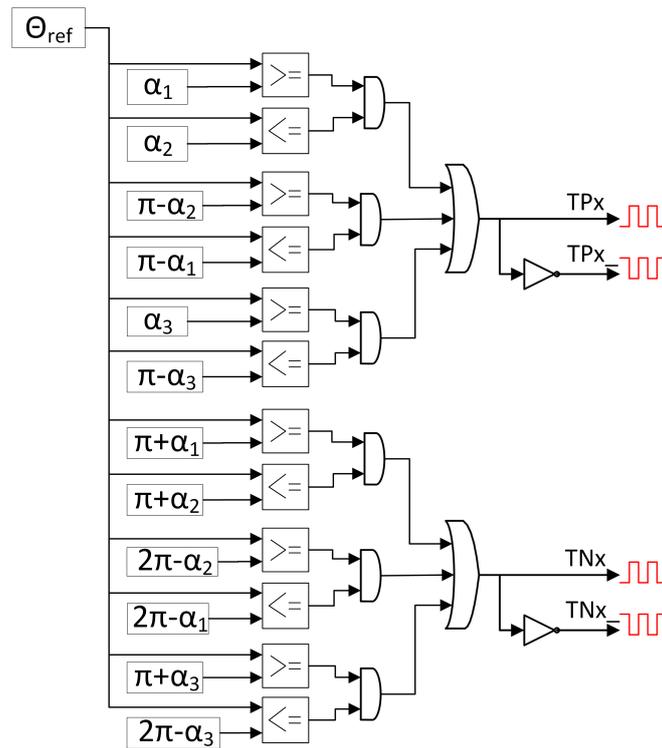


Figura 3.8: Implementação do algoritmo SHE-UNIPOLAR para 3 ângulos. Fonte: Desenvolvida pelo autor.

3.3 Modelamento de perdas em semicondutores de Potência

O modelamento das perdas nos semicondutores de potência é fundamental para o correto projeto de dissipação dos conversores eletrônicos. Erros de estimação de perdas podem gerar efeitos como: sub-dimensionamento do sistema de dissipação, resultando possivelmente na diminuição da vida útil dos componentes e até falhas imediatas, ou o sobre-dimensionamento, que resulta no aumento de custo do conversor e na sua possível inviabilização comercial.

Nesta seção, serão discutidos os principais dispositivos semicondutores de potência e suas características de operação, que resultam nas perdas a serem consideradas no projeto térmico dos conversores estáticos.

3.3.1 Característica de perdas no diodo

Os diodos são vastamente utilizados na eletrônica em diversas aplicações, em ampla faixa de potência, porém, características que são irrelevantes nos diodos de sinais são totalmente relevantes para aplicações de potência, nas quais ocorre o bloqueio de altas tensões e condução de altas correntes, (Pomilio; 2009).

A Figura 3.9 mostra a estrutura construtiva básica para um diodo de junção PN, esta junção é construída a partir da dopagem do cristal intrínseco, por exemplo o silício. O processo de dopagem introduz ao material intrínseco, impurezas doadoras que deixam elétrons livres ou impurezas aceitadoras, que se ligam a rede cristalina deixando lacunas disponíveis. O processo de dopagem usualmente é feito por ionização por impacto ou por difusão, (Pierret; 1996). Materiais com quatro elétrons na camada de valência são usualmente utilizados para fabricação de semicondutores, materiais como Carbono, Germânio e Silício, ou mesmo a composição de materiais como o carbeto de silício (SiC) e o nitrato de Gálio (GaN). A dopagem tipo P ocorre introduzindo na rede cristalina tetravalente, impurezas como alumínio ou boro que possuem 3 átomos na camada de valência, o que altera o equilíbrio entre elétrons e

lacunas, passando a existir uma maior densidade de lacunas. Para materiais do tipo N, o mesmo processo é executado, porém, a dopagem é feita com materiais pentavalentes, como o Fósforo, que resulta na sobra de elétrons no processo de ligação com a rede cristalina.

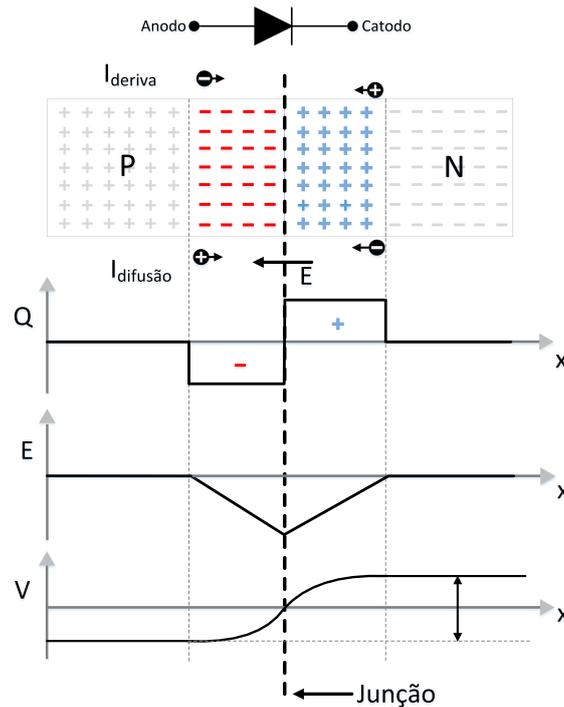


Figura 3.9: Estrutura básica construtiva dos diodos PN. Fonte: Desenvolvida pelo autor com base em Baliga (2008).

A formação de uma junção metalúrgica ocorre quando elétrons livres da região N são atraídos para a região P e se ligam à rede cristalina, e lacunas da região P passam para a região N, de forma a criar uma região de carga espacial, Figura 3.9. Essa região possui um alto campo elétrico responsável por transitar rapidamente elétrons capturados do lado N para o lado P, e lacunas do lado P para o lado N. Este fluxo de cargas resultante do campo elétrico é denominado corrente de deriva. A corrente de deriva depende da mobilidade, que varia com o tipo de material e o tipo de portador, sendo a mobilidade do elétron aproximadamente três vezes maior que a das lacunas para o Si em temperatura ambiente. Todavia, a mobilidade das cargas diminui com o qua-

drado do aumento da temperatura, (Pomilio; 2009). A corrente de difusão é devida a diferentes concentrações de portadores, ocorrendo o movimento de carga pelo processo de equalização, assim alta concentração de elétrons ou lacunas em uma região do dispositivo gera um fluxo de cargas para regiões de menor concentração. Esse processo de difusão das cargas é o responsável pela maior parte do fluxo de corrente no dispositivo, (Pomilio; 2009) (Pierret; 1996).

No diodo durante a polarização direta aplica-se uma diferença de potencial entre as regiões P e N, sendo o terminal positivo conectado a região P denominado anodo e o terminal negativo a região N catodo, Figura 3.9. A polarização direta diminui a barreira de potencial, quando a diferença de potencial supera o V_{bi} que é a tensão natural do dispositivo. Nesta condição os portadores do lado N são atraídos pelo potencial positivo do anodo do diodo e as lacunas do material P serão atraídas pelo potencial negativo do catodo, levando o dispositivo a condução. Na qual, a corrente quase em totalidade é pelo processo de difusão.

Quando polarizado reversamente o diodo PN, mais lacunas migram para o lado N e mais elétrons migram para o lado P aumentando a região de carga espacial. Devido a difusão e efeito térmico portadores minoritários são atraídos pela região de carga espacial e acelerados para o outro lado, essa corrente de deriva é independente da tensão aplicada variando somente em função da temperatura, Pomilio (2009). Em casos extremos quando a elevação da tensão supera o campo elétrico máximo que o dispositivo pode acomodar, portadores em trânsito são acelerados pelo campo elétrico intenso e colidem com a rede cristalina, gerando mais portadores de alta energia que novamente repetem o processo gerando um efeito de avalanche. Caso não seja controlado, e não sendo capaz de dissipar a energia térmica gerada pelo aumento da corrente sem redução significativa da tensão, o dispositivo pode ser levado a destruição, Pomilio (2009) (Pierret; 1996).

Devido à necessidade de suportar grandes tensões foi adicionada a estrutura do diodo uma região intermediária de baixa dopagem N^- , esta região é responsável por acomodar altos campos elétricos quando em polarização reversa, dando origem ao diodo PiN representado na Figura 3.10b, (Pomilio;

2009).

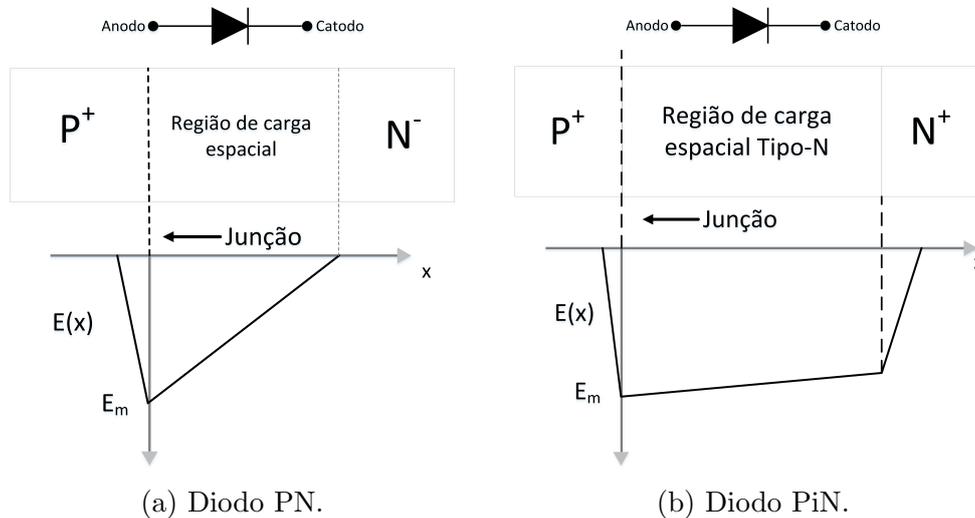


Figura 3.10: Distribuição do campo elétrico. Fonte: Desenvolvida pelo autor com base em Baliga (2008).

O diodo *PiN* possui uma topologia caracterizada por uma região fracamente dopada, que separa a fina camada de cristal fortemente dopado P^+ de uma fina camada fortemente dopada N^+ . A existência da camada N^- permite suportar uma diferença de potencial maior quando polarizado reversamente. A Figura 3.10b apresenta a distribuição do campo elétrico em forma trapezoidal diferentemente da junção PN de alta dopagem, que apresenta uma distribuição especial triangular. Quando polarizado reversamente a região de carga espacial tende a aumentar até abranger todo o material N^+ até a camada N^+ Figura 3.10b. Nessa situação a corrente de difusão tende a zero.

Quando polarizado diretamente a região N^- é inundada por portadores decorrentes das regiões P^+ e N^+ , anulando os portadores existentes no equilíbrio térmico e contribuindo para a atração de elétrons da camada N^+ . Dessa forma, a região intrínseca recebe uma grande quantidade de portadores fazendo com que a resistividade diminua como consequência, este fenômeno é conhecido como modulação de condutividade. O processo de inundação da camada intrínseca leva o dispositivo a condução por processo de difusão.

Para altas taxas de variação da corrente no tempo durante o ligamento do dispositivo ocorre a demora da distribuição de portadores na região N-, o que gera uma alta queda de tensão instantânea. Esse processo resulta em um *overshoot* de tensão, usualmente conhecido como recuperação direta do dispositivo.

O diodo *PiN* quando está ligado possui grande quantidade de portadores na região N^- , o que reduz a resistividade em condução, diminuindo as perdas de condução. Porém, quando uma tensão reversa é aplicada aos seus terminais, a corrente de condução não é interrompida instantaneamente, devido ao tempo que os portadores gastam para se recombinarem. O tempo em que o dispositivo permanece em condução após a aplicação da tensão reversa é chamado de tempo de recuperação reversa t_{rr} . O qual é proporcional a quantidade de cargas de recuperação reversa Q_{rr} armazenadas na junção, tal fenômeno é denominando recuperação reversa do diodo.

A Figura 3.11 representa a recuperação reversa típica de um diodo, (Baliga; 2008). Na condição de condução direta a corrente é limitada pelo circuito $t < T_0$, em T_0 o diodo é polarizado reversamente iniciando o processo de desligamento com a corrente decaindo até I_{RRM} , corrente reversa máxima.

No tempo $t = T_2$ as cargas tornam-se suficientemente pequenas na região intrínseca, neste instante a fase de recuperação começa, assim para $t \geq T_2$ o diodo se torna uma alta impedância, na qual a corrente de difusão reversa é independente da tensão reversa aplicada. Equações obtidas em, Baliga (2008) e Pierret (1996) para $t = T_2$ e $t \geq T_2$:

- Condições para corrente em $t = T_2$: $q_E(T_2) = 0$ e $v(T_1) = 0$

$$i(T_2) = -I_{RM} \rightarrow -\frac{q_M(T_2)}{T_M} \quad (\text{para } t = T_2) \quad (3.10)$$

- Condições para corrente em $t \geq T_2$:

$$I(t) = -\frac{q_M(t)}{T_M} \rightarrow -I_{RM} \cdot \exp\left(-\frac{t - T_2}{t_{rr}}\right) \quad (\text{para } t \geq T_2) \quad (3.11)$$

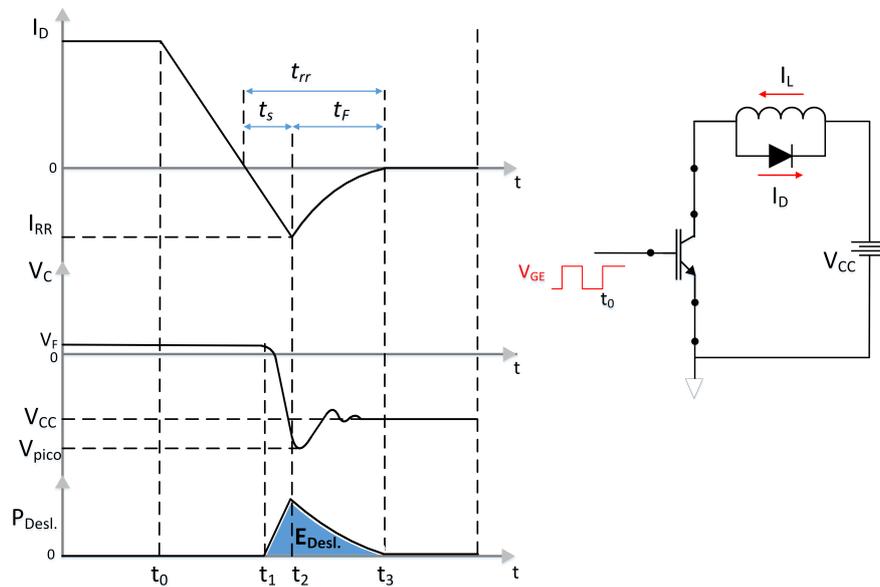


Figura 3.11: Curva característica de recuperação reversa no diodo de potência. Fonte: Desenvolvida pelo autor.

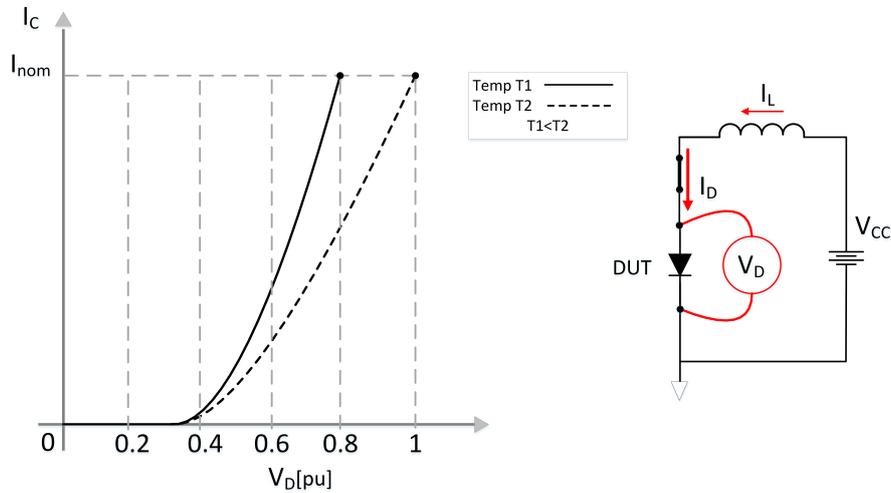


Figura 3.12: Curva característica de queda de tensão V_D em condução do diodo de potência. Fonte: Desenvolvida pelo autor.

A Figura 3.12 mostra a queda de tensão intrínseca quando em condução V_D do diodo de potência, no qual ocorrerá dissipação térmica, a ser contabilizada na parcela de perdas por condução. A outra parcela significativa a ser

contabilizada corresponde as perdas de recuperação decorrente do processo de eliminação de cargas armazenadas durante a polarização direta, Figura 3.11. Perdas de ligamento e perdas de polarização reversa em consequência da corrente de fuga reversa, usualmente não são consideradas para caracterização do dispositivo devido a suas magnitudes. A energia dissipada pela recuperação reversa do diodo pode se aproximada e calculada pela Equação 3.12, [GAZZONI \(2011\)](#).

$$E_{RR} = \int_{t_1}^{t_3} I_D(t) \cdot V_D dt \quad (3.12)$$

3.3.2 Característica de perdas no MOSFET

Os dispositivos *metal-oxide-semiconductor-field-effect-transistor* (MOSFET) foram desenvolvidos na metade da década de 1970, surgindo como opção ao transistor bipolar de maior desempenho. O MOSFET possibilitou o aumento da frequência de chaveamento, o que era inaplicável com o transistor bipolar devido ao grande acúmulo de cargas na região de carga espacial durante a condução ([Baliga; 2008](#)). A substituição do transistor bipolar que apresentava o grande problema de baixo ganho de corrente, por o MOSFET controlado por tensão com alta impedância de *gate* resultou na simplificação dos circuitos de comando, ([Baliga; 2008](#)).

Em contraposição a facilidade de comando do MOSFET-Si e a possibilidade operar em frequências altas acima de 10-50kHz, existe a limitação da potência do dispositivo em função da resistência entre *Drain* e *Source* provocar grande queda de tensão, diminuindo a eficiência do dispositivo para aplicações de alta potência, ([Baliga; 2008](#)).

A Figura 3.13 mostra o transiente de ligamento de um MOSFET inicialmente desligado, sem comando de porta $V_G = 0$, sem corrente de dreno $I_D = 0$ e tensão de bloqueio máxima $V_D = V_{DS}$. Quando o comando de porta é aplicado ao dispositivo inicia-se o processo de ligamento pelo carregamento das capacitâncias do MOSFET, assim até que a tensão V_{GS} não ultrapasse o limite V_{TH} não existe corrente fluindo pelo dispositivo. Em T_1 a corrente começa a fluir pelo dispositivo até T_2 , permanecendo totalmente bloqueado

até que toda corrente do diodo reverso seja transferida para o MOSFET. Durante T_1 a T_2 C_{GS} continua o processo de carregamento, logo V_{GS} continua a crescer até T_2 , no qual a capacitância C_{GS} está totalmente carregada e a corrente de dreno chega a valor nominal.

Em T_2 toda corrente está fluindo pelo MOSFET e o diodo encontra-se bloqueado, neste instante a tensão de dreno-fonte começa a reduzir até o valor de queda de tensão em condução em T_3 . Com a capacitância C_{GS} totalmente carregada, a tensão V_{GS} permanece constante durante toda fase de T_2 à T_3 , no qual toda corrente de porta é utilizada para carregar a capacitância entre a porta para dreno C_{GD} ou capacitância de Miller. Observa-se que o carregamento das capacitâncias de C_{GS} e C_{GD} correspondem ao tempo T_3 sendo este o tempo mínimo requerido para ligamento do dispositivo.

Por último, após as capacitâncias C_{GS} e C_{GD} serem carregadas, a tensão de *gate* V_{GS} começa a crescer até a tensão da fonte de alimentação, em T_4 o crescimento da tensão resulta na redução da resistência R_{Ligado} produzindo uma pequena redução na queda de tensão direta do dispositivo.

A Figura 3.13 também representa a dissipação que ocorre durante o transiente de ligamento do MOSFET, observa-se que a dissipação de potência está concentrada no intervalo T_1 a T_3 .

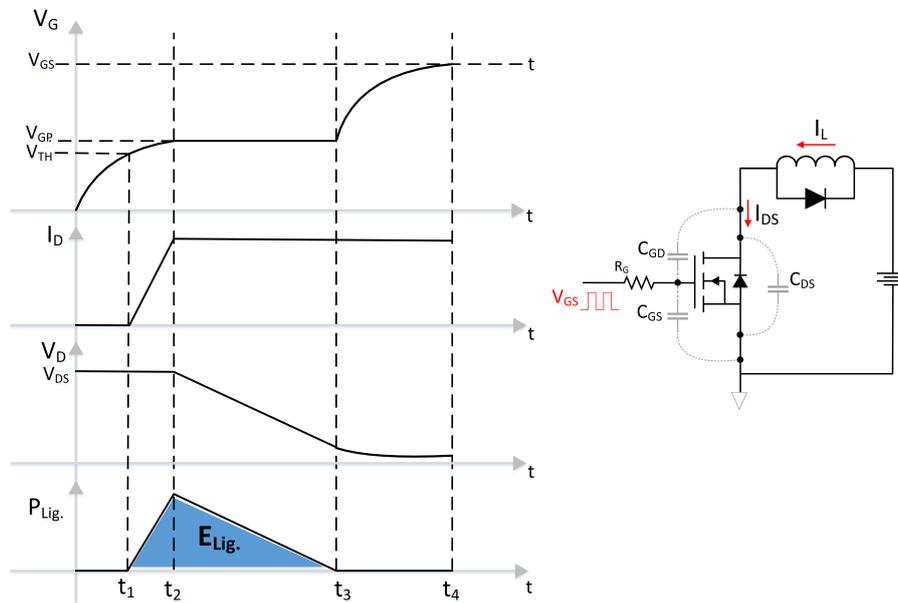


Figura 3.13: Característica de ligamento do MOFET. Fonte: Desenvolvida pelo autor.

O desligamento do MOSFET $T_{Desl.}$ é apresentado na Figura 3.14, sendo as condições iniciais do comando de porta $V_G = V_{GS}$, corrente de dreno igual a conte da carga $I_D = I_L$ e $V_D = V_{GS}$. O desligamento ocorre quando a tensão de comando é retirada e o terminal de *gate* do MOSFET é conectado ao terminal *source* pela resistência de *gate* R_G , iniciando o descarregamento das capacitâncias C_{GS} e C_{GD} . Porém a tensão e corrente de dreno no dispositivo permanecem inalteradas até que a tensão porta atinja o valor para que a corrente de dreno saturada seja igual a corrente de carga, assim durante a redução da tensão V_{GS} até T_4 a capacitância C_{GD} permanece constante, visto que, a tensão V_D permanecer inalterada, assim o tempo de descarga é constante e a tensão V_{GS} decresce exponencialmente, (Baliga; 2008).

A tensão V_{DS} começa a subir no instante T_4 , e a corrente de dreno permanece constante e igual a corrente da carga até que a tensão de dreno do MOSFET ultrapasse a tensão da fonte, polarizando o diodo diretamente e conseqüentemente toda a corrente sendo transferida, (Baliga; 2008).

No intervalo de T_4 a T_5 toda a corrente de *gate* é utilizada para descarregar a capacitância C_{GD} porque não existe alteração na tensão V_{GS} através

da capacitância C_{GS} . Assume que a capacitância C_{GD} é constante durante o transiente T_4 à T_5 assim o crescimento da tensão é linear. Ao final do transiente em T_5 a corrente é totalmente transferida do MOSFET para o Diodo de roda livre, considerando que a tensão V_D permanece constante a capacitância C_{GD} também permanece durante a transferência de corrente. Após T_5 a corrente de *gate* descarrega as capacitâncias C_{GD} e C_{GS} exponencialmente Figura 3.14, (Baliga; 2008).

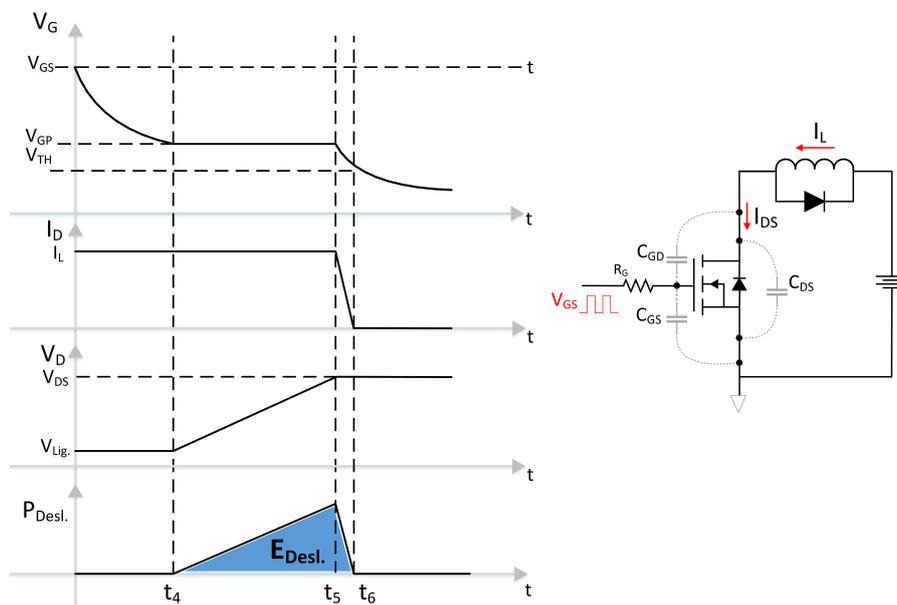


Figura 3.14: Característica de desligamento do MOSFET. Fonte: Desenvolvida pelo autor.

A Figura 3.14 também mostra a dissipação que ocorre durante o transiente de desligamento do MOSFET, observa-se que a dissipação de potência está concentrada no intervalo T_4 à T_6 .

A dissipação de potência no MOSFET ocorre durante a condução devido à resistência $R_{Lig.}$ do dispositivo e durante os intervalos de transição descritos anteriormente. As perdas totais no dispositivo podem ser obtidas pela Equação 3.13.

$$P_T = P_{Lig.} + P_{T_{Lig.}} + P_{T_{Desl.}} \quad (3.13)$$

No qual, as perdas de condução são obtidas pela Equação 3.14 e as perdas de chaveamento pelas Equações 3.15 e 3.16, respectivamente. Considera-se nas equações e os instantes definidos nas Figuras 3.13 e 3.14.

$$P_{Lig.} = \frac{t_{Lig.}}{T} R_{Lig.} I_L^2 \quad (3.14)$$

$$P_{T_{Lig.}} = \frac{t_3 - t_1}{2T} V_{DS} I_L \quad (3.15)$$

$$P_{T_{Desl.}} = \frac{t_6 - t_4}{2T} V_{DS} I_L \quad (3.16)$$

3.3.3 Característica de perdas no IGBT

As características de ligamento do IGBT são semelhantes a do MOSFET, isto devido a estrutura construtiva dos dispositivos, (GAZZONI; 2011). O ligamento do IGBT inicia-se após ser aplicada uma tensão positiva V_{GE} no *gate* do dispositivo, assim a corrente de coletor I_c cresce até o valor nominal, neste instante a tensão de coletor emissor V_{CE} tende a diminuir até o valor mínimo, característica apresentada na Figura 3.15. O valor da energia de ligamento pode se obtido utilizando a Equação 3.17, (GAZZONI; 2011).

$$E_{Lig.} = \int_{t_1}^{t_3} V_{CE}(t) \cdot I_C(t) dt \quad (3.17)$$

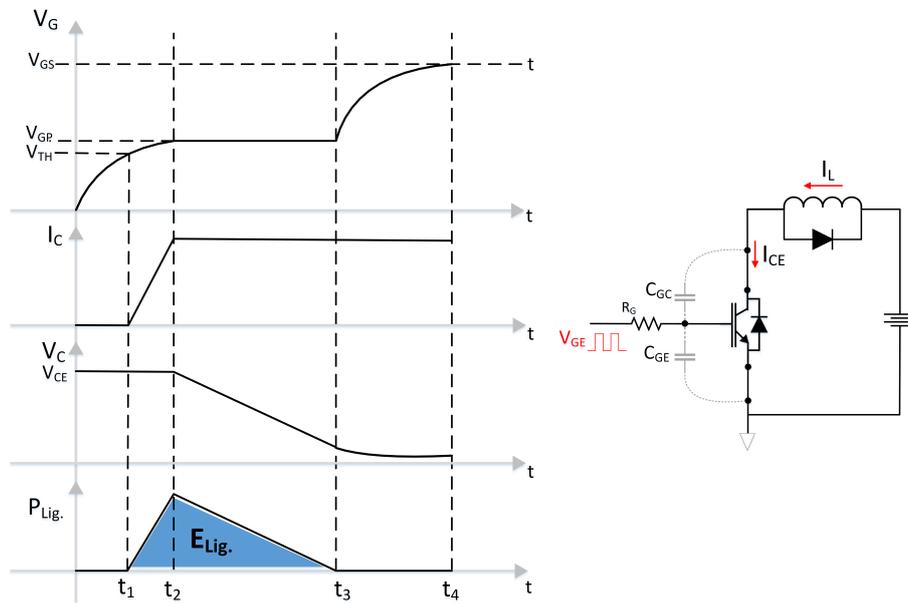


Figura 3.15: Característica de ligamento do IGBT. Fonte: Desenvolvida pelo autor.

Agora considerando o dispositivo ligado, quando é removido a tensão de comando inicia-se o processo de desligamento. Dessa forma, para a tensão entre *gate* e emissor V_{GE} igual a zero, I_c decresce até zero e a tensão sobre o dispositivo cresce até o valor máximo que será bloqueado V_{CE} , característica apresentada na Figura 3.16.

$$E_{off} = \int_{t_1}^{t_3} V_{CE}(t) \cdot I_c(t) dt \quad (3.18)$$

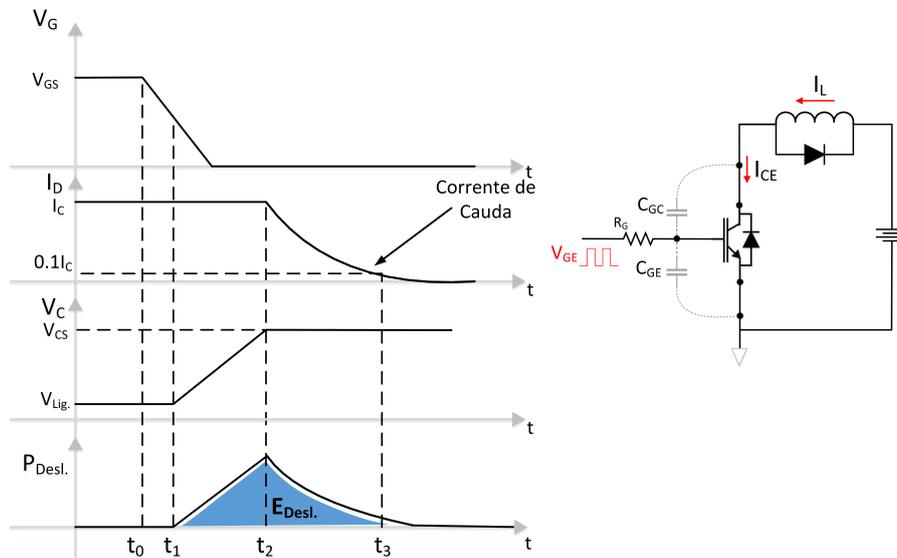


Figura 3.16: Característica de desligamento do IGBT. Fonte: Desenvolvida pelo autor.

Assim considerando uma frequência de chaveamento f_c pode se obter, pelas Equações 3.19 e 3.20, respectivamente, as perdas provenientes do ligamento e desligamento do IGBT.

$$P_{Lig.} = E_{Lig.} * f_c \quad (3.19)$$

$$P_{Desl.} = E_{Desl.} * f_c \quad (3.20)$$

O IGBT apresenta uma queda de tensão V_{CE} diretamente proporcional a corrente de coletor I_c , a curva exponencial $I_c \times V_{CE}$ Figura 3.17 é usualmente fornecida pelos fabricantes.

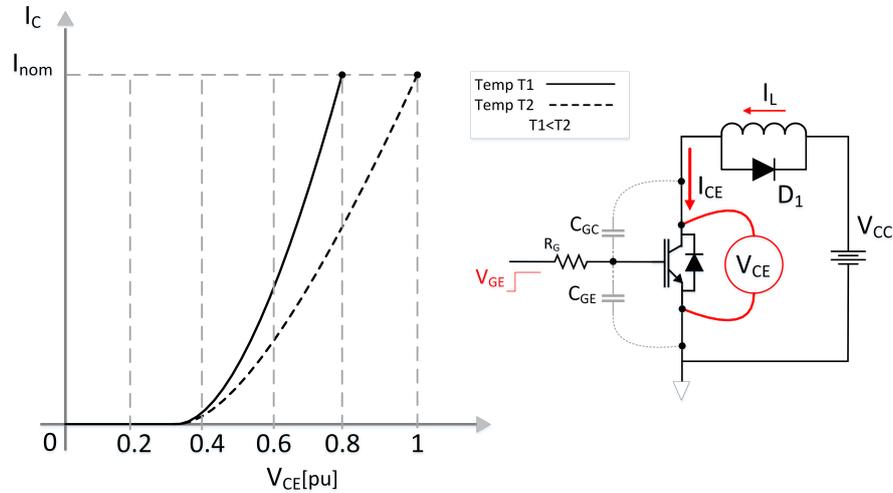


Figura 3.17: Curva característica de queda de tensão V_{CE} em condução do IGBT. Fonte: Desenvolvida pelo autor.

A corrente de coletor I_c que flui pelo IGBT é função da carga gera uma queda de tensão V_{CE} como observado na Figura 3.17, a energia dissipada pode ser calculada utilizando a Equação 3.21 (GAZZONI; 2011).

$$E_{cond.} = \int_0^{t_{Lig.}} V_{CE}(t) \cdot I_C(t) dt \quad (3.21)$$

3.4 Modelamento de perdas nos conversores

Para quantificação correta das perdas do conversor estático, devem ser consideradas as interações entre todos os elementos do mesmo, assim como, o algoritmo de modulação, filtros de saída e característica de carga dentre outros, dessa forma serão utilizados os *softwares* Simulink e PLECS para as simulações.

3.4.1 Perdas de condução

As perdas de condução podem ser calculadas diretamente pelo produto da corrente que flui pelo dispositivo e da queda de tensão provocada. Assim,

a tensão em estado ligado do dispositivo é calculada utilizando os parâmetros elétricos e dada diretamente pela Equação 3.22, (Plexim; 2017).

$$v = V_f + R_{on}.i \quad (3.22)$$

Sendo R_{on} e V_f constantes, respectivamente, resistência de ligamento e queda de tensão direta do dispositivo.

O *software* PLECS permite especificar a queda de tensão em condução do dispositivo para o cálculo de perdas como sendo uma função arbitrária da corrente direta e da temperatura do dispositivo Equação 3.23, sendo a função definida por uma tabela de duas dimensões como na Figura 3.18, (Plexim; 2017).

$$v = v_{on}(i,T) \quad (3.23)$$

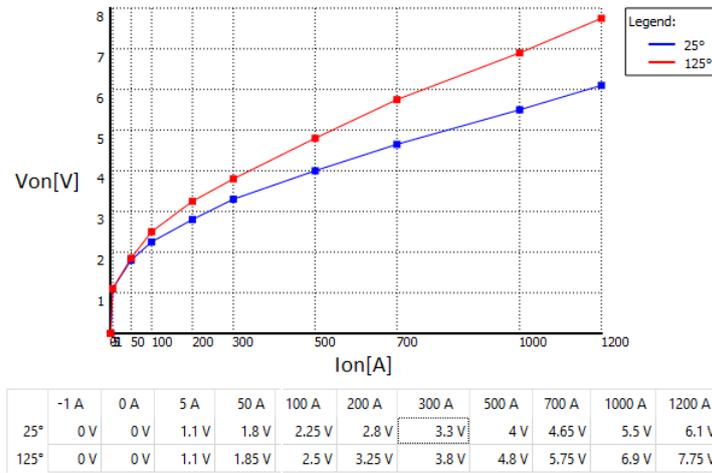


Figura 3.18: PLECS curva de entrada para cálculo de perdas em condução IGBT EUPEC-FZ600R, (EUPEC; 2003).

3.4.2 Perdas de chaveamento

Em Plexim (2017), são definidas as perdas de chaveamento em consequência das transições de ligamento e desligamento dos dispositivos não ocorrer

instantaneamente. Assim se durante o intervalo da transição existir um fluxo de corrente e tensão aplicada sobre o dispositivo substancialmente maior que zero contabiliza-se as perdas instantâneas. A Figura 3.19 ilustra as formas de onda de corrente I_c e tensão V_{CE} no dispositivo durante as transições de desligado para ligado dissipando E_{on} , e ligado para desligado dissipando E_{off} para um braço de inversor a utilizando IGBT's.

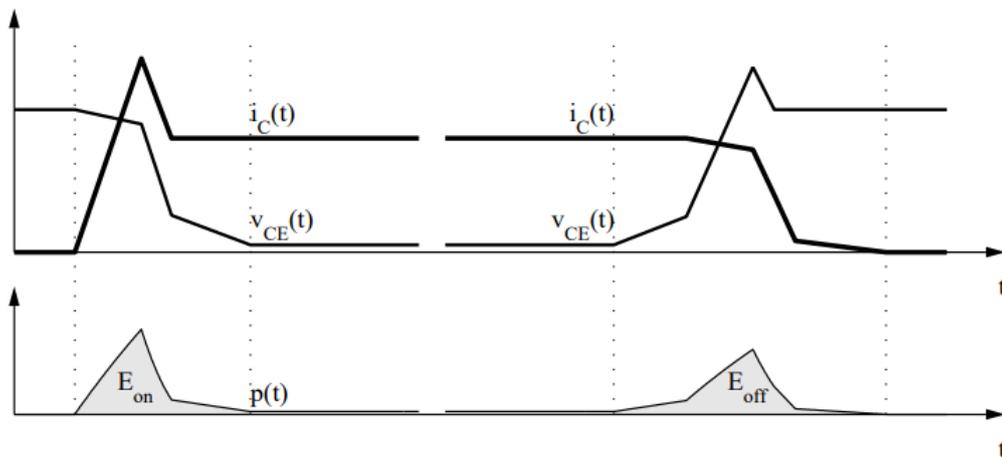


Figura 3.19: Cuvas simplificadas para perdas de ligamento e desligamento de um braço de inversor a IGBT. Fonte: [Plexim \(2017\)](#)

A simulação das transições apresentadas na Figura 3.19 é usualmente um desafio, necessitando modelos de semicondutores muito precisos. Assim é necessário executar a simulação com passos de cálculo da ordem de centenas de nanosegundos para cada transição, ([Plexim; 2017](#)). O problema é ignorado no *software* PLECS, visto que, para um dado circuito corrente e tensão a energia total dissipada são funções das condições pré e pós chaveamento e a temperatura do dispositivo, Equações 3.24a e 3.24b, ([Plexim; 2017](#)).

$$E = E_{on}(v_{block}, i_{on}, T) \quad (3.24a)$$

$$E = E_{off}(v_{block}, i_{off}, T) \quad (3.24b)$$

As características dos semicondutores de potência fornecidas pelos fabri-

cantes de energia de ligamento e deligamento e temperatura de junção podem ser inseridas via matrizes tri-dimensionais. A Figura 3.20 ilustra uma curva de entrada para energia de ligamento ou desligamento para duas temperaturas 25° e 125°. Caso algum valor durante a simulação fique fora dos limites das tabelas de entrada, o *software* PLECS irá extrapolar usando o primeiro e último índices de valores válidos, e para valores negativos de perdas o valor será reduzido para zero, (Plexim; 2017).

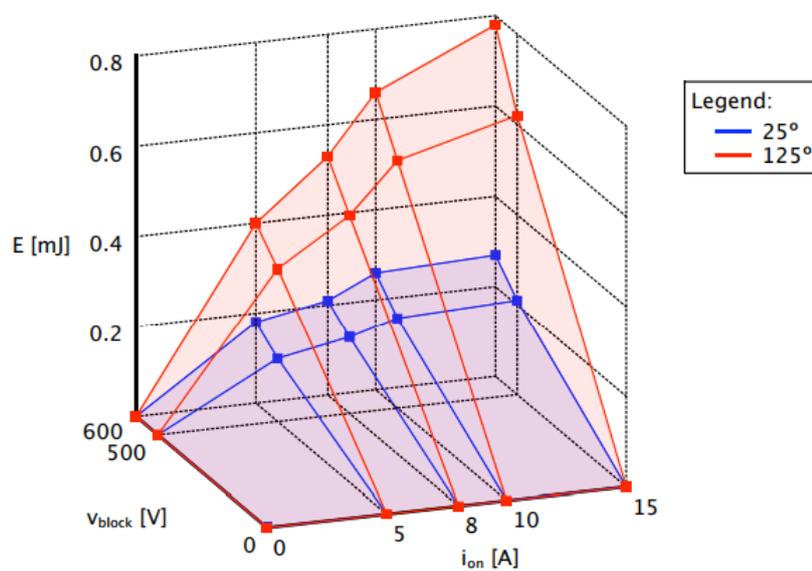


Figura 3.20: Curva de entrada para o PLECS com valores de energia para ligamento ou desligamento para duas temperaturas. Fonte: (Plexim; 2017)

3.5 Estudo para projeto do filtro senoidal de saída

O filtro de saída aplicado a conversores estáticos de potência executa a função de absorver as altas frequências provenientes das comutações dos dispositivos semicondutores de potência. De forma geral, para garantir valores de distorção harmônica nas correntes e tensões dos conversores estáticos utiliza-se aumentar a frequência de chaveamento, implicando em maiores per-

das e problemas com interferência eletromagnética (IEM) e a utilização de filtros senoidais. A opção por utilização de filtro L é caracterizada por grandes valores de indutância reduzindo a resposta dinâmica do conversor, além do aumento das dimensões e custo. Uma opção é a utilização da configuração de filtro LCL, que permite reduzir os valores de indutâncias melhorando a dinâmica do conversor, e conseqüentemente reduzir a frequência de chaveamento, (Liserre et al.; 2002).

Em Reznik et al. (2014), destaca-se que a utilização da configuração de filtro LCL permite atender recomendações como IEEE-519 e IEEE-1542 mesmo operando com baixa frequência de chaveamento, sem a necessidade de se utilizar elevados valores de indutores e capacitor quando comparado ao filtro-L. A utilização de filtros-LCL em conversores estáticos para aplicações como retificadores ativos, inversores conectados a rede elétrica, e regulação de velocidade em acionamentos elétricos, mostra uma redução do custo em consequência da redução dos componentes passivos em peso e volume, (Reznik et al.; 2014).

O filtro-LCL é ilustrado na Figura 3.21, possui como principal problema a definição de critério para escolha dos valores das indutâncias e capacitância. O projeto do filtro LCL necessita ser extremamente criterioso para garantir boa margem de operação longe da ressonância, garantir boa dinâmica ao sistema, e principalmente garantir a viabilidade do projeto relativa as potências reativas dos elementos LCL do filtro.

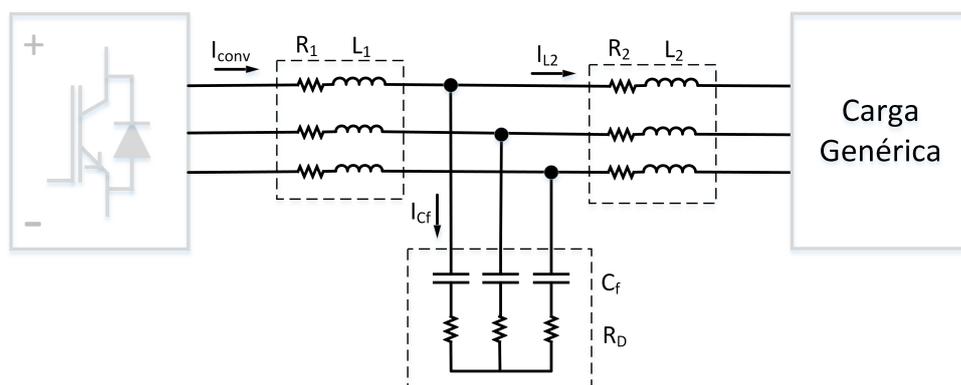


Figura 3.21: Topologia do filtro-LCL com resistor de amortecimento passivo. Fonte: Desenvolvida pelo autor.

Em [Teodorescu et al. \(2003\)](#), define-se as funções de transferência que descrevem o comportamento do filtro-LCL ilustrado na Figura 3.21. Na qual, a função transferência (3.25) descreve o comportamento entre a corrente na saída do filtro (I_{L2}) e a tensão na saída do conversor (V_{conv}) considerando o resistor de amortecimento em série com o capacitor C_f . Assim como a função de transferência (3.26) para a corrente na saída do filtro (I_{L2}) e corrente na saída do conversor (I_{conv}).

$$G(s) = \frac{i_{L2}(s)}{v_{conv}(s)} = \frac{R_D C_f s + 1}{L_2 L_1 C_f s^3 + C_f R_D L_1 s^2 + L_1 s} \quad (3.25)$$

$$G(s) = \frac{i_{L2}(s)}{i_{conv}(s)} = \frac{R_D C_f s + 1}{C_f L_1 s^2 + C_f R_D s + 1} \quad (3.26)$$

Para a escolha dos parâmetros do filtro-LCL optou-se por seguir as contribuições para o projeto de filtro descritas em [Teodorescu et al. \(2003\)](#), [Liserre et al. \(2002\)](#) e [Reznik et al. \(2014\)](#).

Critérios considerados para projeto do filtro LCL:

- Deve-se considerar a potência máxima do sistema, a qual determina a potência máxima reativa possível a ser entregue pelo capacitor usualmente menor que 5%, ([Liserre et al.; 2001](#)).
- Os indutores do filtro não devem provocar uma queda maior que 10% na tensão de saída do conversor em condição nominal de operação, ([Liserre et al.; 2001](#)).
- A frequência de ressonância do filtro-LCL deve permanecer afastada da frequência fundamental do conversor f_n e da frequência de chaveamento f_c , ([Liserre et al.; 2001](#)) ([Li et al.; 2014](#)). Em [Li et al. \(2014\)](#), define-se a Equação 3.27 quando se considera a frequência de chaveamento e as frequências de banda laterais (*side-band frequency*) e a Equação 3.28 quando conhecida a frequência de ressonância do sistema. Assim, o limite superior de frequência de ressonância do filtro é definido como metade do primeiro harmônico do sistema.

$$10 * f_n < f_{res} < f_c * 0.1 \quad (3.27)$$

$$10 * f_n < f_{res} < f_{harm(min)} * 0.5 \quad (3.28)$$

- O valor do resistor R_d deve ser dimensionado avaliando a redução do ganho de ressonância do filtro (melhor estabilidade no controle), redução da atenuação do filtro e perdas.

Em (Liserre et al.; 2001), define-se a parametrização do filtro-LCL em função da potência do conversor, assim o valor para capacitor C_f é definido pela Equação 3.29.

$$C_f = \chi * \frac{P_n}{2\pi f_n V_f^2} \quad (3.29)$$

Sendo χ ajustado em função da potência reativa máxima gerada pelo capacitor C_f , valor percentual da potência nominal e limitado em 5%, (Liserre et al.; 2001).

Em Malinowski and S. (2004), o cálculo do indutor L_1 para um conversor de três níveis pode ser obtido pela Equação 3.30, observa-se que a equação de definição do indutor L_1 tem como parâmetros a tensão eficaz nominal V_f , a frequência de chaveamento f_c e o *ripple* de corrente máximo permitido i_{ripple} .

$$L_1 = \frac{V_f}{2\sqrt{6} * f_c * i_{ripple}} \quad (3.30)$$

Em Rockhill et al. (2011), destaca-se que todas as frequências geradas na saída do conversor serão aplicadas ao indutor L_1 , assim como o mesmo praticamente determina a taxa de variação da corrente na saída do conversor. Devido a necessidade de suportar altas frequências o custo do indutor L_1 é mais elevado que o L_2 , o que explica porquê usualmente L_1 é minimizado. Para tal, considera-se a pior condição de *ripple* de corrente requerida, (Rockhill et al.; 2011). O estudo de (Rockhill et al.; 2011) define Equação 3.31 para dimensionamento do indutor de entrada L_1 , equação esta obtida considerando o modulador *asymmetrical regular sampled* ASR-PWM

que com injeção de terceiro harmônico pode ser considerado quase idêntico ao modulador SV-PWM e a topologia de conversor três níveis NPC. Esta abordagem nem sempre é observada na literatura para obtenção das equações de minimização do indutor L_1 , (Rockhill et al.; 2011).

A análise em Rockhill et al. (2011) utiliza os valores para tensão de fase possíveis para a topologia NPC de três níveis, valores estes de $-2V_{dc}/3$ à $2V_{dc}/3$ com variações de $V_{dc}/6$ por comutação. O pior caso na condição de modulação nominal é quando a tensão de fase passa por zero, gerando o máximo *ripple* de corrente. Esta abordagem definiu Equação 3.31 e de forma semelhante pode ser extrapolada para outras topologias e moduladores.

$$L_{1_{min}} = \frac{V_{dc}}{24 * f_c * \Delta i_{1_{max}}} \quad (3.31)$$

Utilizando uma abordagem semelhante a em Rockhill et al. (2011), pode se obter aproximação para o conversor de dois níveis somente extrapolando a condição de variação máxima da tensão de fase, que assumem os possíveis valores de $-2V_{dc}/3$, $V_{dc}/3$, $-V_{dc}/3$ e $2V_{dc}/3$, (Yoon et al.; 2010). Assim considerando a topologia de dois níveis e o delta máximo de $2V_{dc}/3$ na passagem por zero da tensão de fase, obtém-se a Equação 3.32, que pode ser utilizada para determinar o mínimo indutor L_1 .

$$L_{1_{min}} = \frac{V_{dc}}{14.4 * f_c * \Delta i_{1_{max}}} \quad (3.32)$$

Para especificação do valor do indutor L_2 deve se considerar a indutância natural presente na aplicação por estimação ou medição. De tal forma que, se considera o indutor L_2 como sendo o indutor da carga caso a ressonância do sistema Equação 3.33 esteja dentro dos limites definidos pela Equação 3.27 ou 3.28.

$$F_{res} = \frac{1}{2 * \pi} * \sqrt{\frac{L_1 + L_2}{L_1 L_2 C_f}} \quad (3.33)$$

A definição de L_2 também deve contemplar a relação entre a impedância Z_{L_2} e a impedância do capacitor Z_{C_f} na frequência de chaveamento F_c , de

forma que a impedância Z_{L_2} seja muito maior que a impedância Z_{C_f} , visualizada pelos harmônicos de alta frequência gerados pelos chaveamentos Equação 3.34.

$$\frac{2\pi L 2f_c}{\frac{1}{2\pi C_f f_c}} > \kappa \quad (3.34)$$

para valores de κ maiores que 10 satisfatórios.

3.6 Conclusões

Neste capítulo foi apresentada a metodologia que será utilizada para obtenção dos resultados de perdas de forma comparativa entre moduladores e dispositivos semicondutores de potência. Primeiramente, foi abordado a obtenção dos mapas SHE unipolar e bipolar, assim como a contribuição para obtenção dos ângulos iniciais e para região de sobremodulação. Também foi apresentado a descrição para os algoritmos de modulação SHE-Bipolar e unipolar quando aplicados aos conversores de dois e três níveis, respectivamente. Foi descrito as considerações para perdas nos semicondutores e posteriormente foi descrito detalhadamente o método de simulação para obtenção das perdas no conversor, assim como as dependências entre filtro, carga e moduladores. Por último, foi descrito um método para definição do filtro de saída para o conversor, sendo de total necessidade visto a interação entre o frequência de operação do conversor e filtro de saída. Tal questão que será explorada posteriormente afim de se obter o maior ganho possível para redução de perdas, para utilização dos dispositivos de silício (*Si*) ou de carbeto de silício (*SiC*).

Resultados de Simulação

Neste capítulo são realizados estudos de caso via simulação com o objetivo de obter resultados comparativos entre as topologias de dois e três níveis de conversores, e os métodos de modulação. Os estudos realizados nos capítulos anteriores serão aplicados para obtenção dos mapas, definição de dispositivos, definição de frequência de modulação, obtenção de perdas e ajuste do filtro de saída.

Conteúdo

4.1	Mapas SHE	63
4.1.1	Mapas SHE Unipolar	64
4.1.2	Mapas SHE Bipolar	66
4.2	Equivalência dos moduladores SHE e SV-PWM	69
4.3	Estudo comparativo de perdas	78
4.3.1	Módulos semicondutores de potência	78
4.3.2	Implementação do modelo para cálculo de perdas	85
4.3.3	Resultados de perdas	90
4.4	Análise comparativa de perdas entre topologias de dois e três níveis	101
4.5	Projeto do Filtro de saída	105
4.5.1	Projeto do Filtro LCL com modulação à 1080Hz	108
4.5.2	Estudo comparativo do filtro de saída e perdas	115
4.6	Conclusões	124

4.1 Mapas SHE

Os mapas do modulador SHE são as matrizes de saída do algoritmo SHE unipolar e bipolar descrito na Seção 3.2. Os mapas obtidos são valores de ângulos dados em radianos para α_n , em função da variação do índice de modulação, o qual é definido pela Equação 3.3.

Para aplicações de frequência fixa ou que a variação não ultrapasse os critérios de troca de mapas, somente é necessário obter resultados para um único mapa. Diferentemente para aplicações de frequência fundamental variável é necessário obter resultados com diferentes números de harmônicos

eliminados, sendo o resultado final um conjunto de mapas. Estes mapas são utilizados para alterar o número de chaveamentos, e conseqüentemente os harmônicos eliminados em função da variação da frequência de saída.

4.1.1 Mapas SHE Unipolar

Os mapas apresentados nas Figuras 4.1, 4.2 e 4.3 foram obtidos utilizando o método descrito na Sub-Seção 3.2.1, utilizando o *software* Matlab. Em resumo o processo consiste no *loop* de cálculo descrito no fluxograma da Figura 3.3. Estes mapas são entrada para o algoritmo SHE descrito na Sub-Seção 3.2.2.

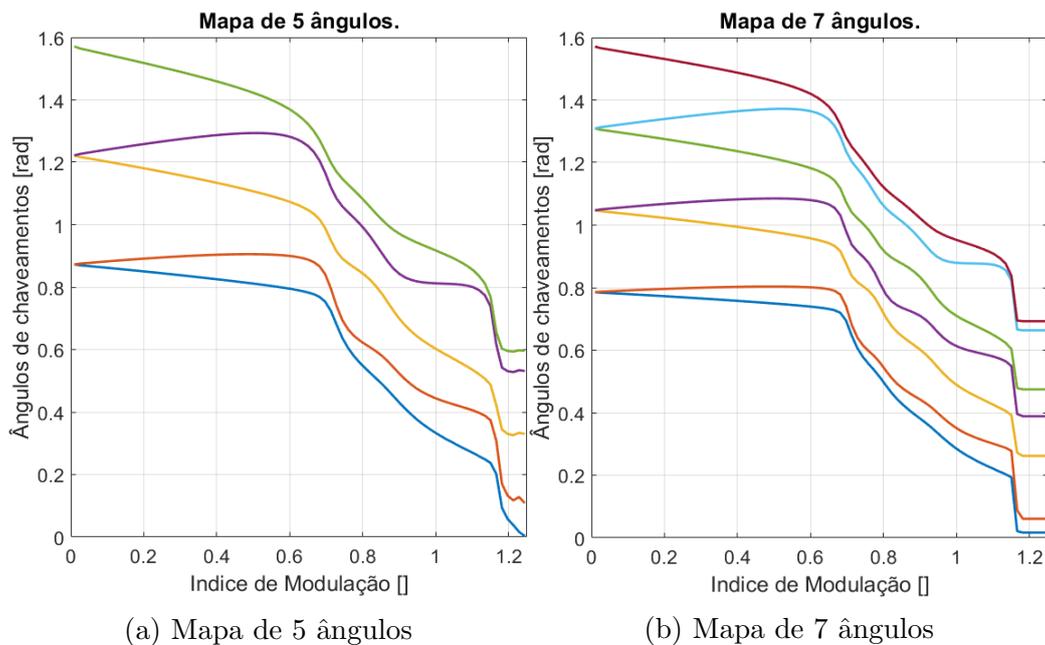


Figura 4.1: Mapas SHE-PWM Unipolar com 5 e 7 ângulos de chaveamentos. Fonte: Desenvolvida pelo autor.

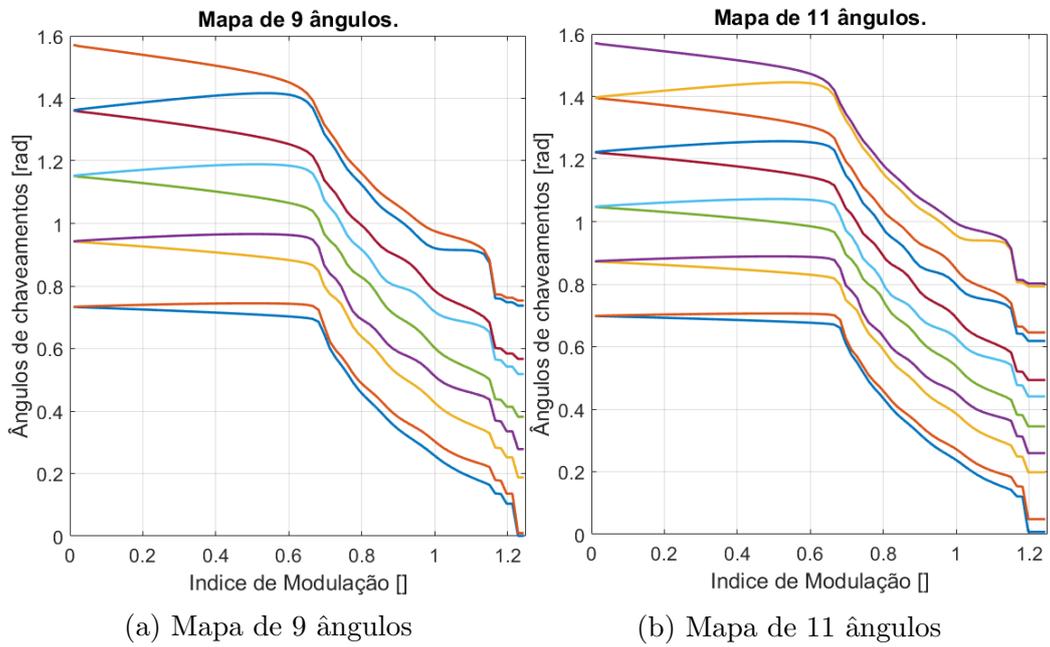


Figura 4.2: Mapas SHE-PWM Unipolar com 9 e 11 ângulos de chaveamentos. Fonte: Desenvolvida pelo autor.

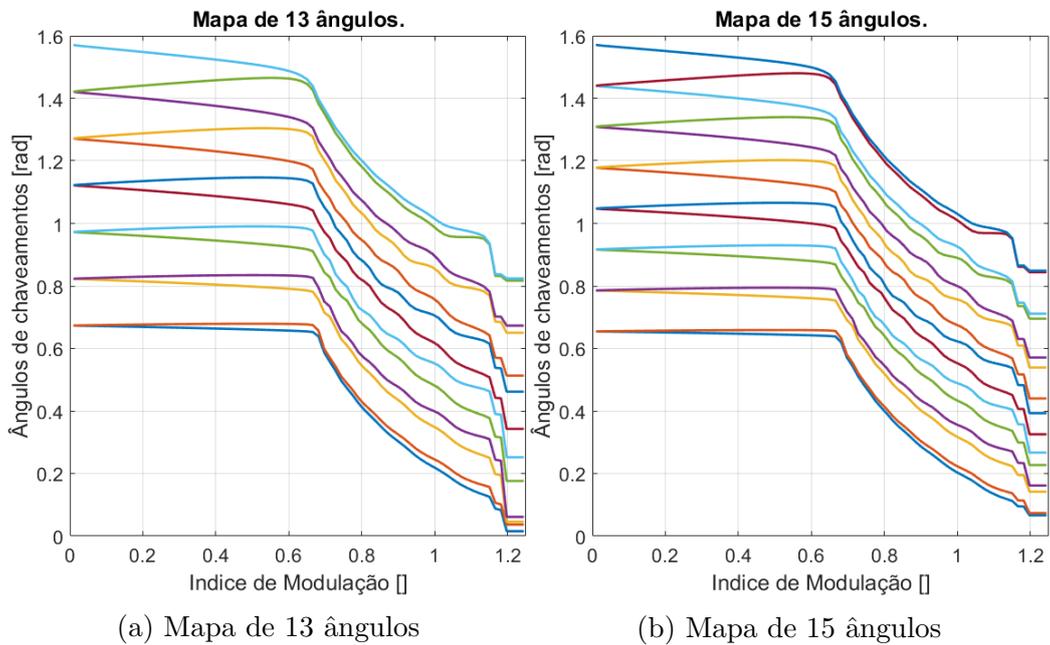


Figura 4.3: Mapas SHE-PWM Unipolar com 13 e 15 ângulos de chaveamentos. Fonte: Desenvolvida pelo autor.

Observa-se que nas Figuras 4.1, 4.2 e 4.3 os ângulos finais são saturados pelo ultimo valor possível para solução das equações, assim limita-se a modulação máxima com eliminação seletiva de harmônicos. Destaca-se que quanto menor o número de ângulos mais fácil é solucionar as equações e obter a solução para valores de modulação maiores, para região linear e de sobremodulação, [Guimarães et al. \(2015\)](#).

4.1.2 Mapas SHE Bipolar

Os mapas para o SHE Bipolar também foram obtidos em função da variação do índice de modulação definido pela Equação 3.3. Os mapas apresentados nas Figuras 4.4, 4.5 e 4.6, também são resultados do processo descrito na Sub-Seção 3.2.1 e do *loop* de cálculo descrito no fluxograma da Figura 3.3. Processo este necessário para solucionar as equações descritas na Seção 2.4.3, também foi utilizado o *software* Matlab.

Como previamente discutido na Seção 2.4.3 a transição na passagem por π não participa da eliminação de harmônicos no SHE-Bipolar. Porém, o chaveamento em π aumenta a frequência de chaveamento real, o que implica em maiores perdas para mesma condição de operação com M ângulos de comutação, comparando-o ao SHE-Unipolar. As Figuras 4.4, 4.5 e 4.6 apresentam os ângulos de comutação em função da variação do índice de modulação para o SHE-Bipolar.

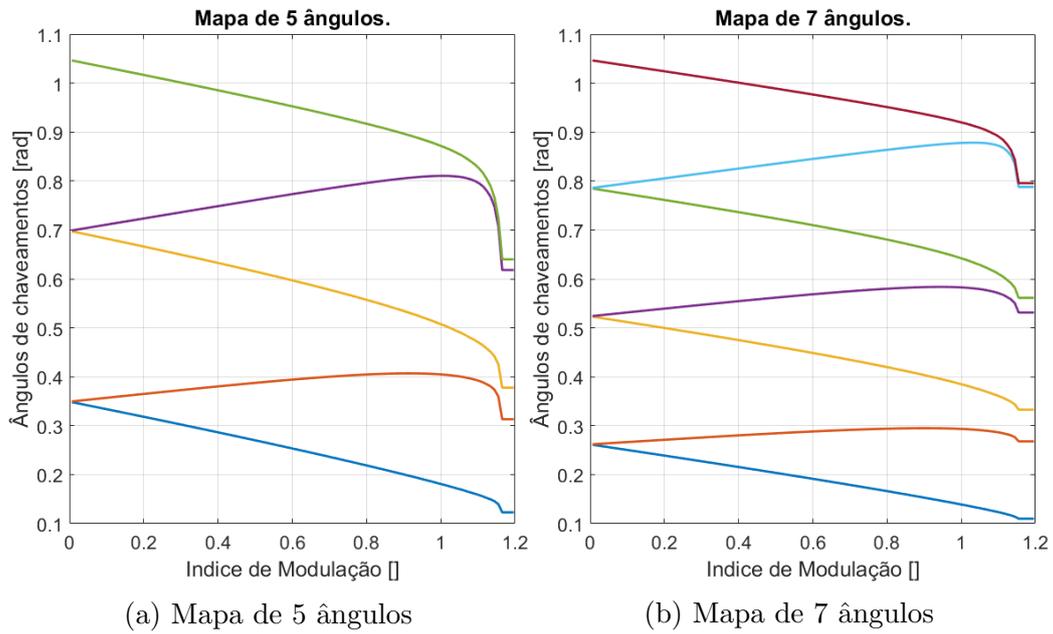


Figura 4.4: Mapas SHE-PWM Bipolar com 5 e 7 ângulos de chaveamentos. Fonte: Desenvolvida pelo autor.

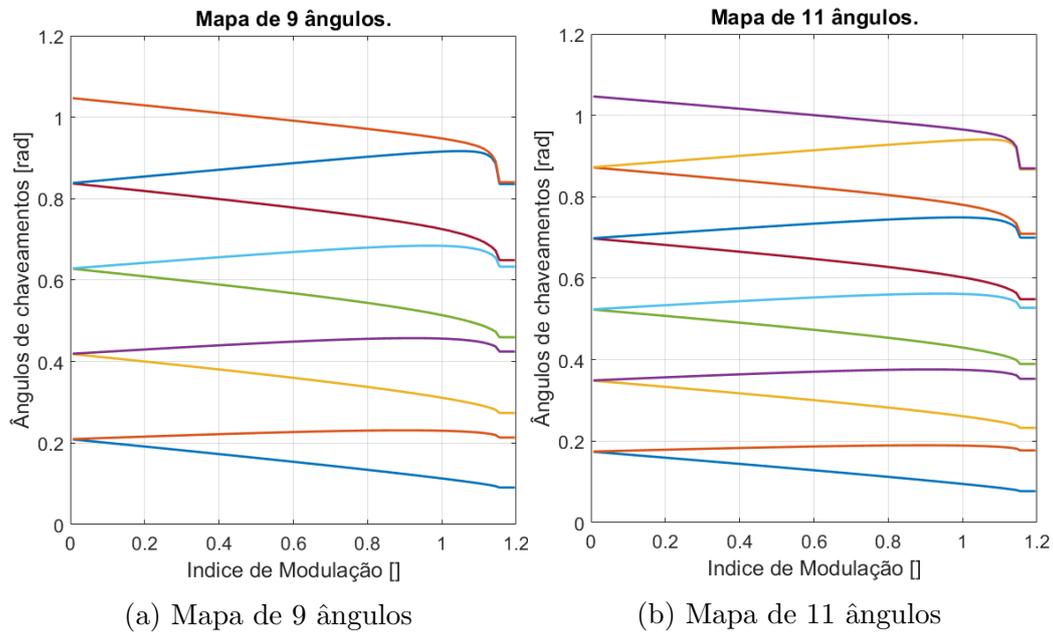


Figura 4.5: Mapas SHE-PWM Bipolar com 9 e 11 ângulos de chaveamentos. Fonte: Desenvolvida pelo autor.

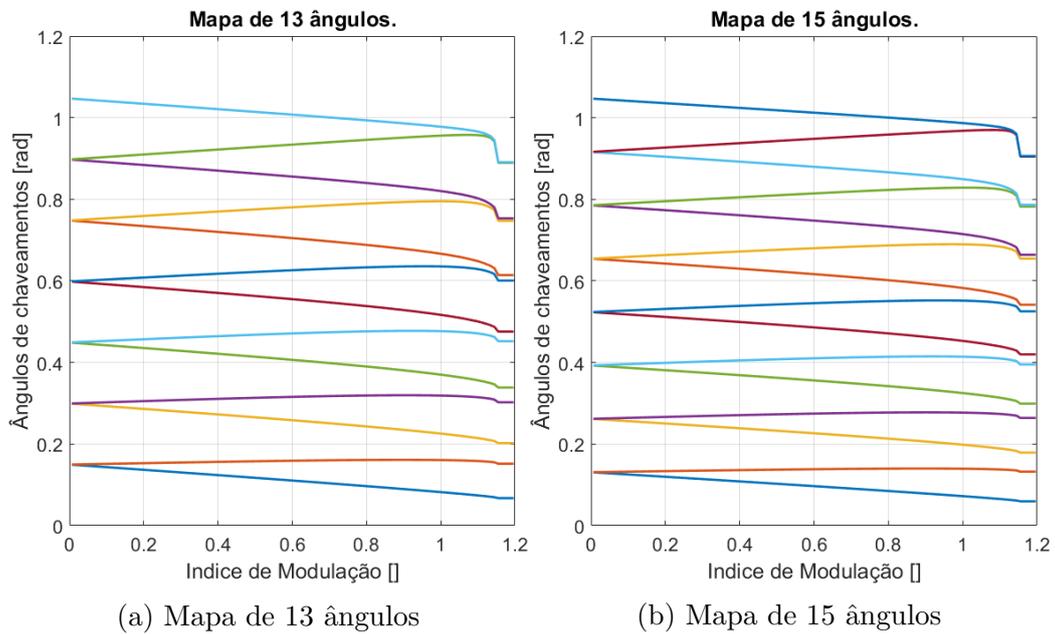


Figura 4.6: Mapas SHE-PWM Bipolar com 13 e 15 ângulos de chaveamentos. Fonte: Desenvolvida pelo autor.

Para ambos os SHE-Unipolar (SHE-U) e SHE-Bipolar (SHE-B), a dificuldade para obtenção dos ângulos está diretamente relacionada com o número de harmônicos a serem eliminados. Na literatura não é observado resultados para números de ângulos elevados para o SHE-Bipolar, como em [Agelidis et al. \(2004\)](#), [Vijayakumar et al. \(2014\)](#), [Murugan and Balaraman \(2014\)](#), nos quais apresentam resultados para eliminação até 19^o harmônico. O estudo realizado e apresentado na seção 3.2.1, para determinação das condições iniciais determinam a convergência ou divergência do algoritmo. Outros métodos como *particle – swarm – optimization* (PSO), Matlab (fsolver) e o método Elipsoidal foram utilizados para solucionar as equações do SHE-B. Todos se mostram extremamente complicados para números de mapas com M ângulos α superiores a 13, e impraticável para maiores que 19. Devido ao crescimento das horas de simulação, que foram limitadas a 48 horas. Esta restrição torna o modulador SHE inviável para aplicações que requerem mapas com número elevados de comutações, como acionamentos a motor com frequência fundamental de saída variável, dentre outras.

Para demonstrar a eficiência do método descrito na Seção 3.2.1 obteve-

se o resultado para um mapa com 133 ângulos Figura 4.7a, gerado com 10 minutos de simulação. O que significa a supressão até o 397º harmônico, assim o primeiro harmônico na saída vem a ser o 401º. Mapas maiores que M de 133 ângulos não foram gerados, mas presume-se que podem ser calculados com a aplicação do método proposto.

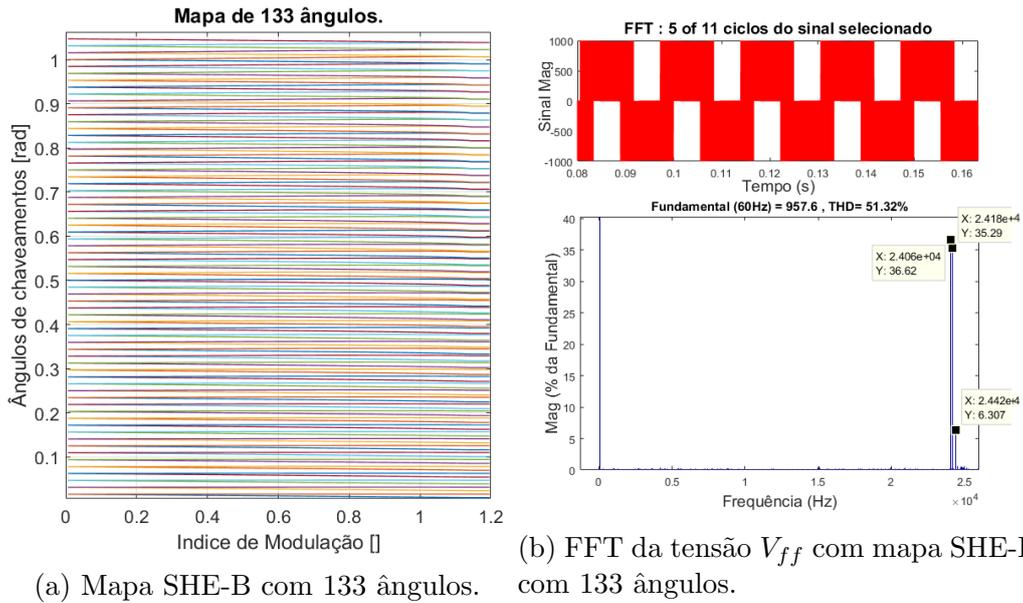


Figura 4.7: Resultados SHE-B para fundamental em 60Hz com mapa de 133 ângulos. Fonte: Desenvolvida pelo autor.

A Figura 4.7b apresenta a FFT da tensão de saída fase-fase V_{ff} de um conversor de dois níveis com eliminação até o 397º harmônico, que para 60Hz significa que o primeiro harmônico na saída na frequência de 24060Hz. Assim, comprovando a correta resolução das equações para números elevados de ângulos de comutação e implementação do modulador.

4.2 Equivalência dos moduladores SHE e SV-PWM

Nesta seção serão definidas as frequências de chaveamento do modulador SV-PWM, assim como, os critérios para os limites dos mapas do modulador

SHE, afim de manter a equivalência de operação com modulador SV-PWM. Para as próximas análises será utilizada uma carga genérica, na qual suas características são apresentadas na Tabela 4.1.

Tabela 4.1: Característica da carga definida para estudo.

Parâmetro	Valor	Unidade
Potência Nominal	230	[kVA]
Tensão Nominal	660	[Volts]
Corrente Nominal	200	[A_{rms}]
Fator de Potência	0,87	[]
Frequência Nominal	60	[Hz]

O projeto do filtro de saída como já foi tratado anteriormente na seção 3.5, é usualmente executado em função de algumas premissas, dentre as quais, está a frequência de ressonância, na qual, o primeiro harmônico significativo da tensão de saída deve estar sempre afastado da ressonância do sistema. Quando é possível determiná-la com precisão, é possível aplicar a Equação 3.27 como critério para ajuste do filtro de saída. As Equações 3.27 e 3.28 também podem ser utilizadas para determinar a frequência de chaveamento, visto que, o filtro pode ser inviável, fazendo necessário ajustar a frequência de modulação.

Para o modulador SV-PWM usualmente é definida uma frequência de chaveamento afastada da ressonância do sistema, para garantir que harmônicos de amplitude significativa não sejam amplificados. Como já foi discutido na Seção 3.5, os harmônicos de bandas laterais devem ser considerados como limites para definição da frequência de chaveamento e filtro de saída. Entende-se que são eles os primeiros harmônicos significativos presentes na saída para moduladores como o SV-PWM, (Rockhill et al.; 2011). Diferentemente do modulador SV-PWM, o modulador SHE não apresenta uma frequência de chaveamento fixa, sendo então necessário alterar o número de chaveamentos em função da variação da frequência fundamental de saída. A alteração do número de comutações é executada pela mudança de mapas. Sendo os limiares para trocas definidos geralmente pela frequência de

chaveamento necessária ou pelo primeiro harmônico significante na saída.

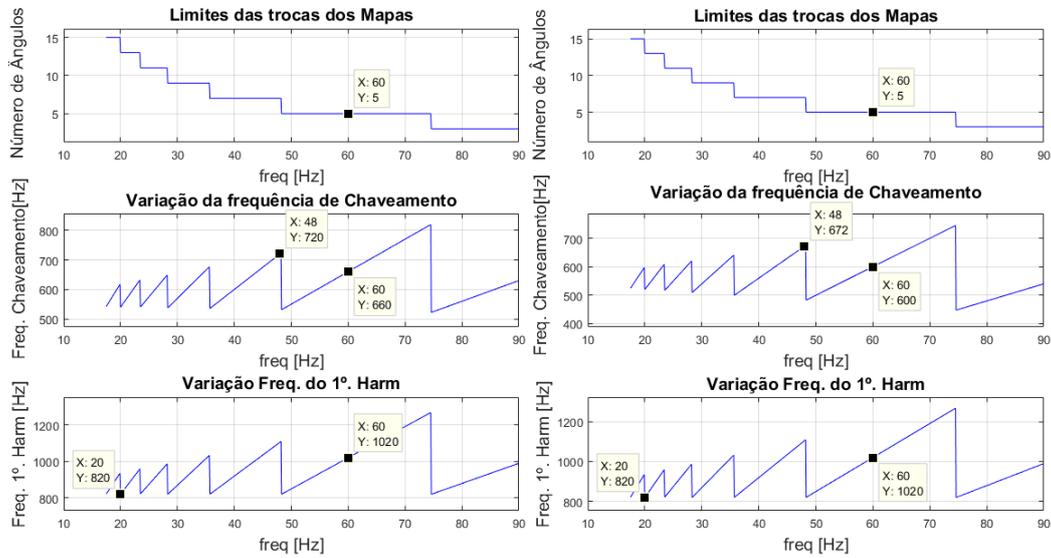
A Tabela 4.2 apresenta os valores para operação em 60Hz com: M número de chaveamentos, último harmônico eliminado (UHE), primeiro harmônico na saída (PHS), frequência do primeiro harmônico (FPH), frequência média de chaveamento em um período da fundamental do SHE Bipolar (F_C SHE-B) e SHE Unipolar (F_C SHE-U).

Tabela 4.2: Tabela de Harmônicos SHE para 60Hz.

M	UHE	PHS	FPH [Hz]	F_C SHE-B [Hz]	F_C SHE-U [Hz]
3	7	11	660	420	360
5	13	17	1020	660	600
7	19	23	1380	900	840
9	25	29	1740	1140	1080
11	31	35	2100	1380	1320
13	37	41	2460	1620	1560
15	43	47	2820	1860	1800

Para realização do estudo comparativo entre os moduladores SV-PWM e SHE-PWM, estabeleceu-se para o SV-PWM a frequência de modulação de 1080Hz, conseqüentemente, o primeiro harmônico na saída estará na frequência de 840Hz devido as bandas laterais para fundamental de 60Hz, Figura 4.9a. A frequência de banda lateral mínima é considerada para o projeto do filtro na literatura e também será um critério para se estabelecer uma análise comparativa entre o SHE-PWM e o SV-PWM neste primeiro momento.

As Figuras 4.8a e 4.8b são uma representação gráfica para os limites de trocas de mapas para o SHE Bipolar e Unipolar, considerando a frequência mínima permitida para o primeiro harmônico na saída em 840Hz. Como pode ser observado a frequência do primeiro harmônico varia em função da frequência da fundamental. Assim, é necessário aumentar ou diminuir o número de chaveamentos, e conseqüentemente, a ordem dos harmônicos eliminados garantindo que não seja menor que 840hz em todas condições de operação.



(a) Limites mapas SHE Bipolar.

(b) Limites mapas SHE Unipolar.

Figura 4.8: Limites de trocas dos mapas SHE. Fonte: Desenvolvida pelo autor.

Deve se assumir sempre um critério para o projeto do SHE-PWM que irá determinar as trocas dos mapas, critérios estes como:

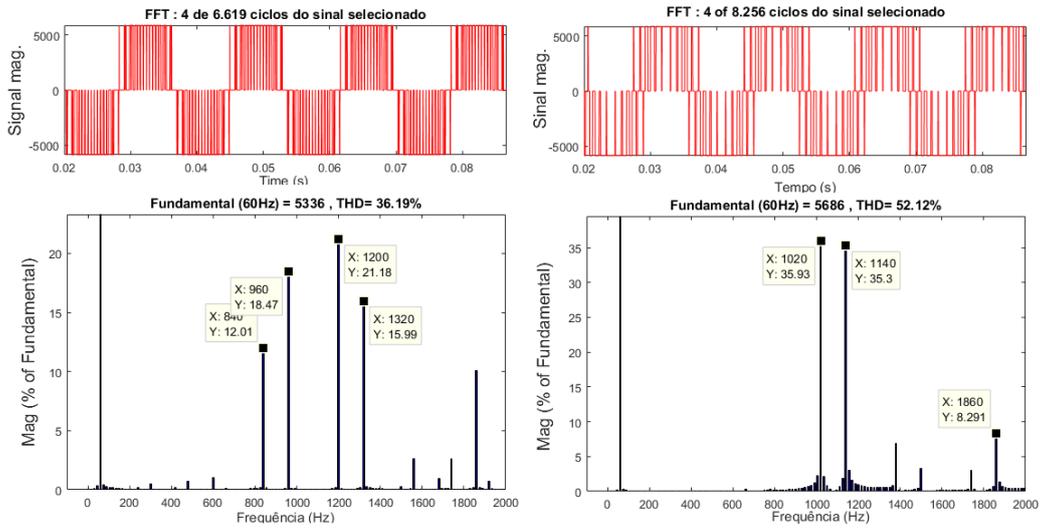
- Critério do primeiro harmônico na saída: As trocas de mapas irão ocorrer sempre para manter o PHS acima do valor estabelecido. Considerando o SV-PWM o harmônico de menor ordem, o critério será a frequência de chaveamento menos quatro vezes a frequência da fundamental máxima. Para 60Hz com F_c de 1080Hz o PHS estará em 840Hz. Para garantir o critério em 60Hz deve se utilizar um mapa de no mínimo 5 ângulos para ambos os moduladores SHE. Assim, garante-se que o PHS será o 17° com a frequência de 1020Hz considerando ao fundamental de 60Hz.
- Critério de mesma frequência de chaveamento: Esse critério pode ser considerado mais não muito aplicado, visto que, normalmente utiliza o SHE para conseguir operar com frequências de chaveamento menores que os moduladores convencionais como o SV-PWM. Porém, é justificado para aplicações em que se utiliza baixas frequências de modulação,

onde a margem entre a ressonância e o PHS é muito estreita. Nessa condição o SHE garante a faixa específica livre de harmônicos diferente do SV. Considerando a frequência de operação do SV-PWM em 1080Hz seria necessário a 60Hz utilizar mapas de 9 ângulos para o SHE Bipolar e Unipolar. Assim é obtido uma equivalência entre frequências de modulação.

- Critério PHS maior que a frequência de modulação: Este critério pode ser considerado intermediário, visto que, não otimiza as trocas de mapas considerando os *side – band* e não iguala as frequências de chaveamento dos moduladores. Todavia, estabelece uma relação mais aplicável com maior margem, em consequência do PHS do modulador SHE ser justamente maior ou igual a frequência de modulação dos moduladores de frequência fixa, como o SV-PWM.

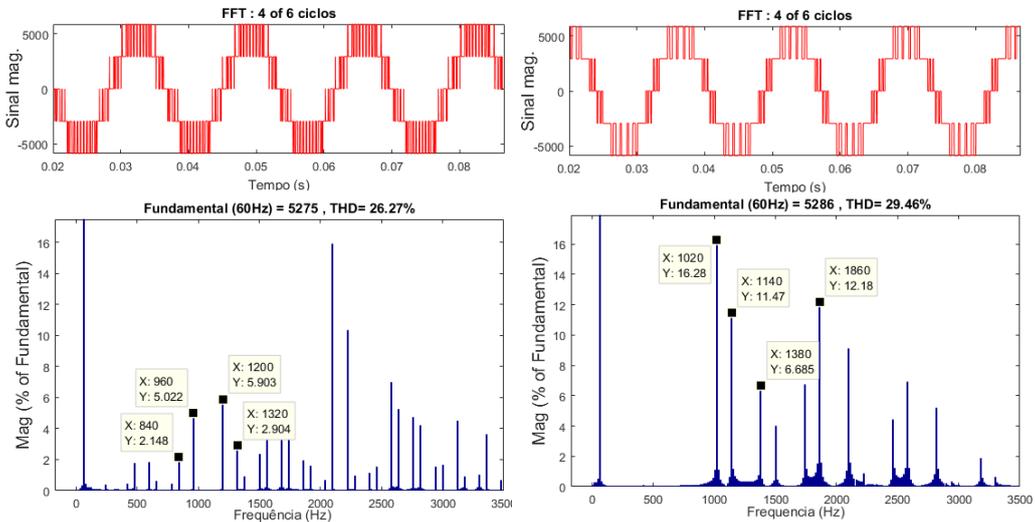
As Figuras 4.9a e 4.9b mostram exatamente os resultados para o primeiro critério discutido anteriormente. Essa condição também exemplifica o ponto de criticidade destacada no segundo critério, quando a frequência de chaveamento é muito baixa e a margem para o aparecimento de harmônicos é muito estreita.

Considerando os conversores de dois níveis e três níveis NPC e os respectivos moduladores, SV-PWM $2n/3n$ e o SHE Bipolar/Unipolar, obteve-se o espectro harmônico da forma de onda de saída, respectivamente, Figuras 4.9 e 4.10. Observa-se que o espalhamento dos harmônicos presente no modulador SV-PWM pode ser crítico, visto que, estes harmônicos podem ser amplificados devido a ressonância do sistema. Em contraposição observa-se que o SHE estabelece um espectro bem definido dos harmônicos presentes na saída. Deve-se ponderar que o SHE tende a concentrar a energia nos primeiros harmônicos na saída, o que pode causar problemas nos filtros de saída, como aumento das perdas nos núcleos dos indutores.



(a) Espectro Harmônico SV-PWM. (b) Espectro Harmônico SHE-Bipolar.

Figura 4.9: Espectro Harmônico da tensão de saída V_{ff} para moduladores SHE-PWM e SV-PWM e conversor de dois níveis. Fonte: Desenvolvida pelo autor.



(a) Espectro Harmônico SVM. (b) Espectro Harmônico SHE-Unipolar.

Figura 4.10: Espectro Harmônico da tensão de saída V_{ff} para moduladores SHE-PWM e SV-PWM e conversor de Três níveis. Fonte: Desenvolvida pelo autor.

Uma importante questão é o deslocamento bandas laterais no SV-PWM em função da frequência da fundamental de saída, observa-se que para baixas frequências o efeito é minimizado, mas é agravado para altas frequências da fundamental. A Tabela 4.3 apresenta algumas condições de operação para as frequências de chaveamento de 1080Hz à 10kHz.

Observa-se para 120Hz com frequência de chaveamento em 1080Hz o primeiro harmônico na saída para o SV-PWM estará em 600Hz (*side – band*), o que pode provocar problemas de ressonância devido a estreita faixa entre a fundamental e a frequência de chaveamento. Efeito semelhante ocorre para altas frequências de operação e de chaveamento, f_{fund} de 600hz e F_C de 10kHz, Tabela 4.3. Esse comportamento é totalmente indesejável, uma vez que, está chaveando à 10kHz, mas deve-se preocupar com PHS em 7600Hz, o que representa uma deterioração da margem de operação em 24%. Como para o modulador SHE é estabelecido um critério para troca de mapas não ocorre a redução da margem de operação, Figuras 4.8a e 4.8b.

Tabela 4.3: Tabela de frequências de banda laterais para SV-PWM.

F_C	f_{fund}	Side-Band-4	Side-Band-2
1080	120	600	840
	60	840	960
	50	880	980
	40	920	1000
	30	960	1020
	5	1060	1070
2160	60	1920	2040
	50	1960	2060
	40	2000	2080
	30	2040	2100
5000	60	4760	4880
	50	4800	4900
	40	4840	4920
	30	4880	4940
10000	600	7600	8800
	60	9760	9880
	50	9800	9900
	40	9840	9920
	30	9880	9840

Para manter a equivalência dos moduladores será respeitado o critério do primeiro harmônico presente na saída igual ou superior a frequência de chaveamento do modulador SV-PWM, sendo esse, o terceiro critério estabelecido no início da seção. Serão utilizadas as frequências de 1080Hz, 2160Hz, 5kHz e 10kHz, afim de se obter um perfil de perdas em função da frequência de chaveamento. Assim como, a variação da frequência fundamental para as frequências de 60Hz (nominal), 50Hz, 40Hz e 30Hz.

As Tabelas 4.4, 4.5, 4.6 e 4.7 apresentam para os pontos de operação de 60Hz (nominal), 50Hz, 40Hz e 30Hz os valores para as quatro frequências de modulação 1080Hz, 2160Hz, 5kHz e 10kHz para o modulador SHE-B e SHE-U.

Tabela 4.4: Tabela de Harmônicos SHE para primeiro harmônico acima de 1080Hz.

f_{fund}	$N\alpha$	UHE	PHS	FPH [Hz]	F_C SHE-B [Hz]	F_C SHE-U [Hz]
60	7	19	23	1380	900	840
50	7	19	23	1150	750	700
40	9	25	29	1160	760	720
30	13	37	41	1230	810	780

Tabela 4.5: Tabela de Harmônicos SHE para primeiro harmônico acima de 2160Hz.

f_{fund}	$N\alpha$	UHE	PHS	FPH [Hz]	F_C SHE-B [Hz]	F_C SHE-U [Hz]
60	13	37	41	2460	1620	1560
50	15	43	47	2350	1550	1500
40	19	55	59	2360	1560	1520
30	25	73	77	2310	1530	1500

Tabela 4.6: Tabela de Harmônicos SHE para primeiro harmônico acima de 5000Hz.

f_{fund}	$N\alpha$	UHE	PHS	FPH [Hz]	F_C SHE-B [Hz]	F_C SHE-U [Hz]
60	29	85	89	5340	3540	3480
50	33	97	101	5050	3350	3300
40	41	121	125	5000	3320	3280
30	55	163	167	5010	3330	3300

Tabela 4.7: Tabela de Harmônicos SHE para primeiro harmônico acima de 10000Hz.

f_{fund}	$N\alpha$	UHE	PHS	FPH [Hz]	F_C SHE-B [Hz]	F_C SHE-U [Hz]
60	55	163	167	10020	6660	6600
50	67	199	203	10150	6750	6700
40	83	247	251	10040	6680	6640
30	111	331	335	10050	6690	6660

4.3 Estudo comparativo de perdas

Nesta seção serão definidos os dispositivos de potência para obtenção das perdas comparativas, as quais foram obtidas utilizando a terceira metodologia para equivalência entre os moduladores SHE-PWM e SV-PWM definida na seção anterior 4.2. Também será definido o cálculo de perdas utilizando o *PLECS*, sob estudo na seção 3.4. Os resultados serão correlacionados com as características dos métodos de modulação, características dos dispositivos e topologias dos conversores de dois e três níveis NPC.

4.3.1 Módulos semicondutores de potência

As definições nas seções anteriores delimitam os possíveis módulos de potência a serem utilizados no estudo, e principalmente, os limites de tensão e corrente reduzem significativamente os módulos aplicáveis. Outro ponto relevante é que, atualmente tem-se um número restrito de módulos *MOSFET's* de *SiC* comerciais com informações operacionais disponíveis.

Devido aos poucos módulos comerciais de *SiC* para a faixa de potência utilizada, primeiramente foram definidos os possíveis módulos de *SiC* com informações disponíveis e depois os módulos de *Si* equivalentes. Os conversores de dois e de três níveis NPC, para quais os módulos de potência são especificados foram previamente estudados na Seção, 2.3.

Módulos MOSFET's *SiC*:

Para o conversor de dois níveis será utilizado o dispositivo MOSFET de potência da fabricante CREE de *SiC* (Cree; 2014b), cujos dados mais relevantes foram compilados na Tabela 4.8. As curvas características de perdas de chaveamento e condução para o módulo de potência CAS300M17BM2 Figura 4.11, foram obtidas em Cree (2014b). O módulo escolhido de acordo com as informações disponibilizadas não apresenta perdas de recuperação reversa no diodo antiparalelo, assim somente as perdas de condução foram utilizadas para os cálculos de perdas nos diodos, Figura 4.11b.

Tabela 4.8: Tabela características CAS300M17BM2.

Wolfspeed-Cree: CAS300M17BM2					
V_{DS}	I_D	V_{LigMos}	R_{LigMos}	$V_{LigDiodo}$	$R_{LigDiodo}$
1,7kV	225A	3,64V	16,2m Ω	2,2V	7,3m Ω
T_{VJmax}	T_{VJ}	T_{dLig}	T_{dDesl}	T_r	T_f
175°	150°	105ns	211ns	72ns	56ns

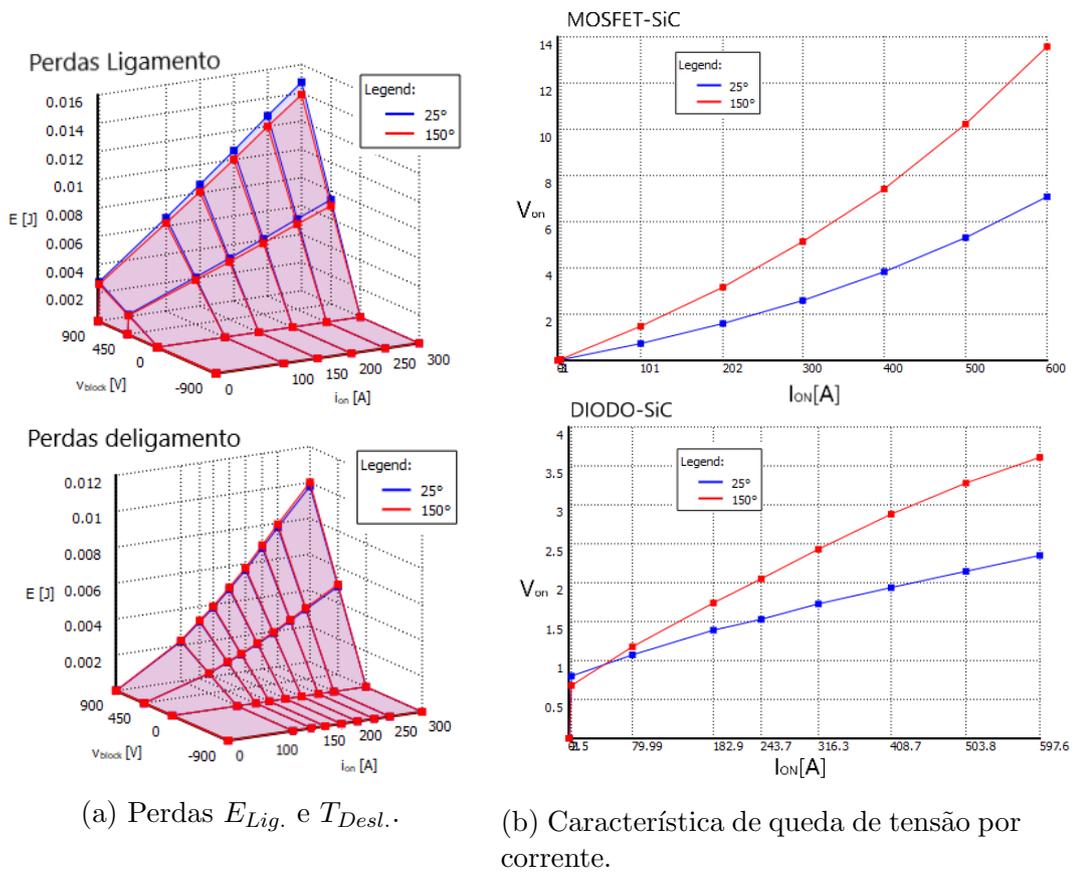


Figura 4.11: Entrada para PLECS, MOSFET e diodo CAS30017-SiC 1.7kV. Fonte: Desenvolvida pelo autor.

Para o conversor de três níveis NPC será utilizado o módulos de potência CAS300M12BM2 também da fabricante CREE, (Cree; 2014a). Os dados mais relevantes foram compilados na Tabela 4.9 e as curvas características de perdas de chaveamento e condução Figura 4.12, foram obtidas em Cree

(2014a). O módulo de acordo com as informações disponibilizadas, também não apresenta perdas de recuperação reversa no diodo antiparalelo, com isso, somente as perdas de condução foram utilizadas para os cálculos de perdas Figura 4.12b.

Tabela 4.9: Tabela características CAS300M12BM2.

Wolfspeed-Cree: CAS300M12BM2					
V_{DS}	I_D	V_{LigMOS}	R_{LigMOS}	$V_{LigDiodo}$	$R_{LigDiodo}$
1.2kV	293A	2,35V	7,7m Ω	2,0V	6,8m Ω
$T_{VJ_{max}}$	T_{VJ}	T_{dLig}	T_{dDesl}	T_r	T_f
175°	150°	76ns	168ns	68ns	43ns

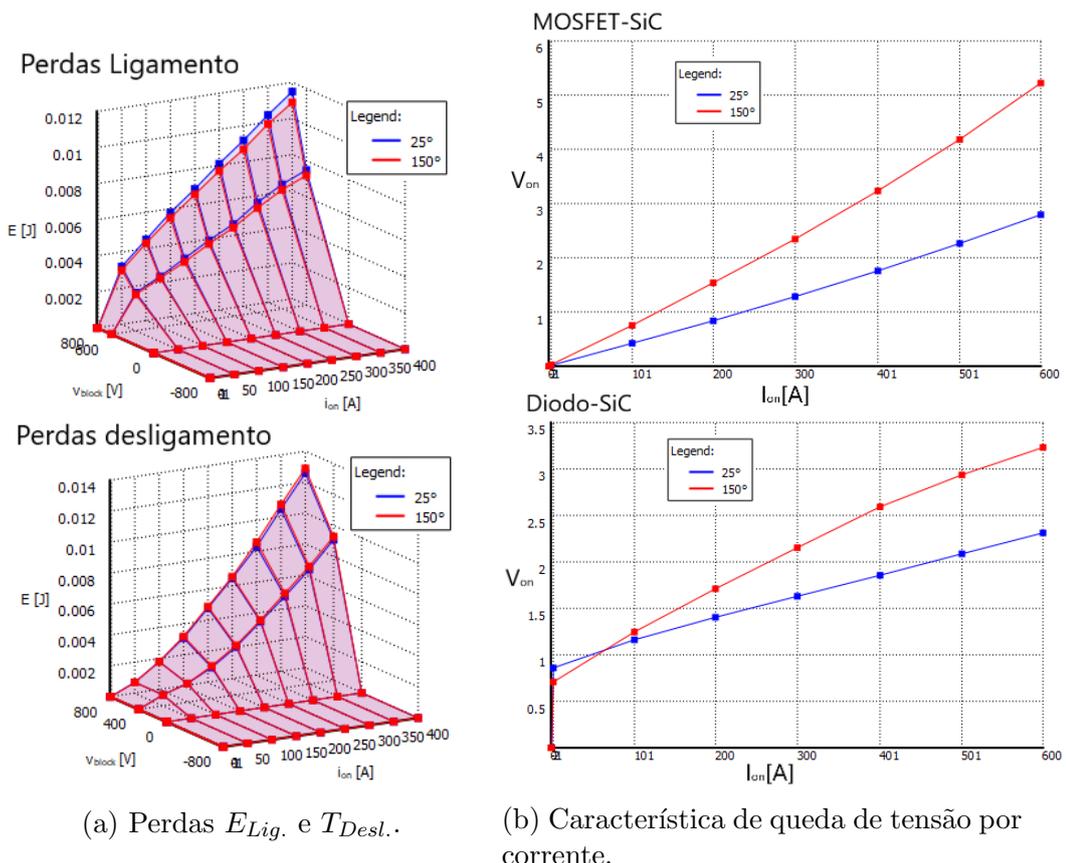


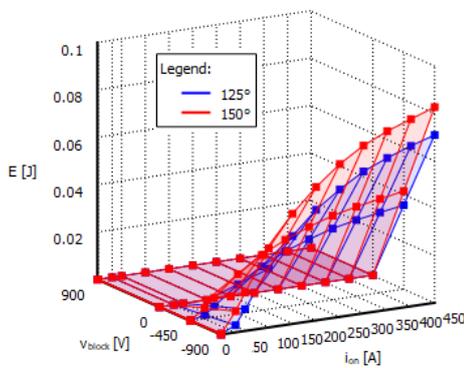
Figura 4.12: Entrada para PLECS, Mosfet e diodo CAS30012-SiC 1.2kV. Fonte: Desenvolvida pelo autor.

Módulos IGBT's *Si*

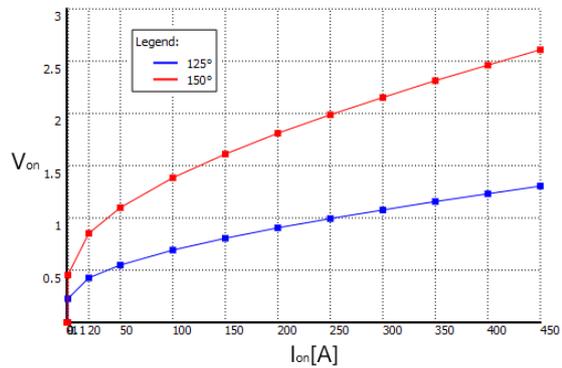
O módulo Infineon FF225R17ME4P IGBT-Si será utilizado para as simulações de cálculos de perdas no conversor de dois níveis. As informações mais relevantes foram compiladas na Tabela 4.10 e as curvas características de perdas chaveamento e condução são apresentadas na Figura 4.14, (Infineon; 2017b). Diferentemente dos dispositivos de *SiC*, a fabricante Infineon apresenta as características de perdas de recuperação reversa do diodo anti-paralelo, Figura 4.13.

Tabela 4.10: Tabela características FF225R17ME4P

Infineon : FF225R17ME4P					
V_{CE}	I_C	$V_{LigIGBT}$	$R_{LigIGBT}$	$V_{LigDiodo}$	$R_{LigDiodo}$
1.7kV	225A	2,45V	10,9m Ω	1,95V	8,7m Ω
T_{VJmax}	T_{VJ}	T_{dLig}	T_{dDesl}	T_r	T_f
175°	150°	225ns	840ns	85ns	540ns



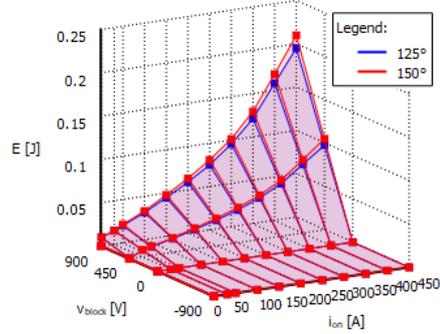
(a) Perdas E_{Lig} e T_{Desl} .



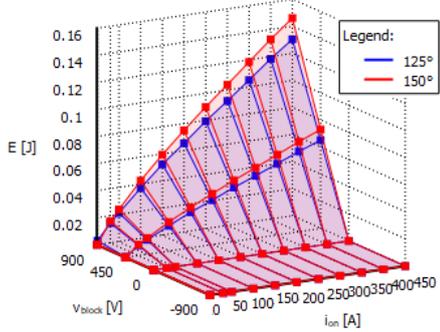
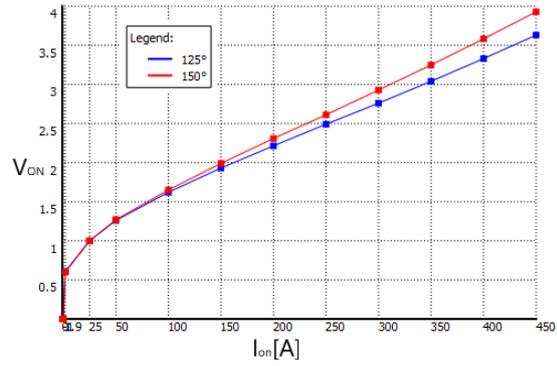
(b) Característica de queda de tensão por corrente.

Figura 4.13: Entrada para PLECS, Diodo-Si FF225R17ME4P 1.7kV. Fonte: Desenvolvida pelo autor.

Perdas de ligamento



Perdas de desligamento

(a) Perdas $E_{Lig.}$ e $T_{Desl.}$.

(b) Característica de queda de tensão por corrente.

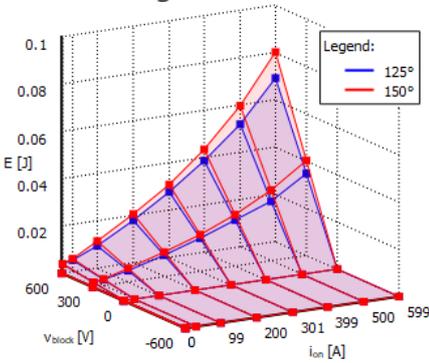
Figura 4.14: Entrada para PLECS, IGBT-Si FF225R17ME4P 1.7kV. Fonte: Desenvolvida pelo autor.

Para o conversor de três níveis NPC será utilizado módulo Infineon F3L300R12MT4PB22 IGBT-Si para as simulações de cálculos de perdas, este específico para aplicações multiníveis possuindo o diodo de *clamping* interno. As informações mais relevantes foram compiladas na Tabela 4.11 e as curvas características de perdas chaveamento e condução são apresentadas na Figura 4.15, (Infineon; 2017a). As características de perdas de recuperação reversa do diodo antiparalelo são apresentadas na Figura 4.16.

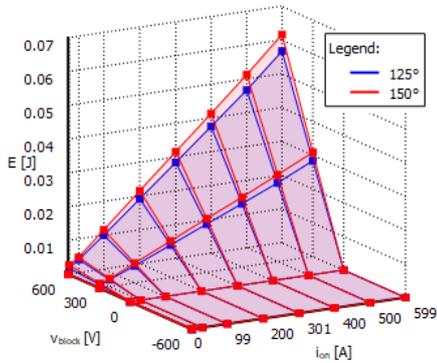
Tabela 4.11: Tabela características F3L300R12MT4PB22.

Infineon : F3L300R12MT4PB22					
V_{CE}	I_C	$V_{LigIGBT}$	$R_{LigIGBT}$	$V_{LigDiodo}$	$R_{LigDiodo}$
1.2kV	300A	2,05V	6,8mΩ	1,65V	5,5mΩ
$T_{VJ_{max}}$	T_{VJ}	T_{dLig}	T_{dDesl}	T_r	T_f
175°	150°	200ns	480ns	60ns	80ns

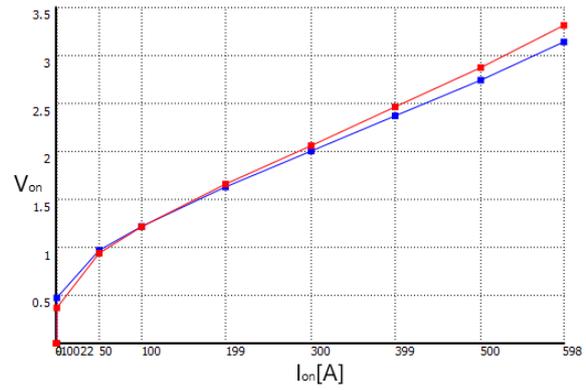
Perdas de Ligamento



Perdas de Desligamento



(a) Perdas $E_{Lig.}$ e $T_{Desl.}$.



(b) Característica de queda de tensão por corrente.

Figura 4.15: Entrada para PLECS, IGBT-Si F3L300R12MT4PB22 1.2kV. Fonte: Desenvolvida pelo autor.

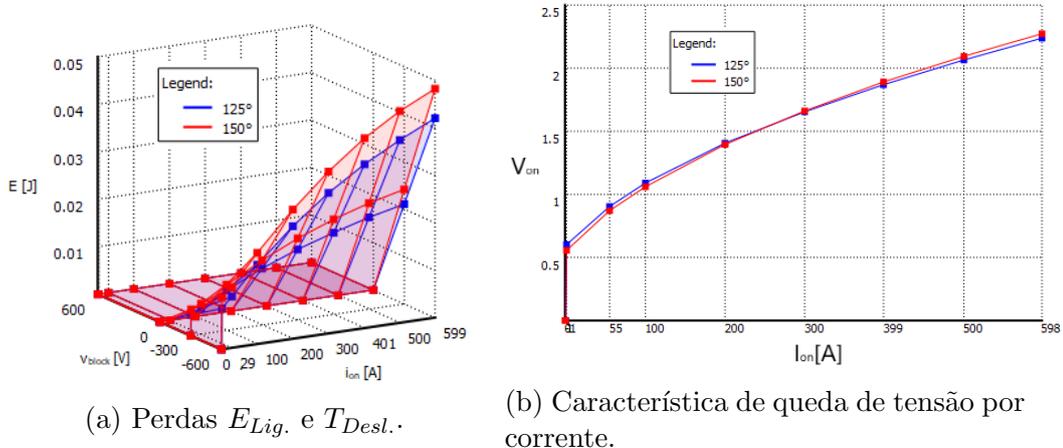


Figura 4.16: Entrada para PLECS, Diodo-Si F3L300R12MT4PB22 1.2kV. Fonte: Desenvolvida pelo autor.

Análise comparativa:

A utilização do carbetto de silício viabilizou a construção de MOSFET's para as faixas de tensão de 1.2kV e 1.7kV, devido as características de elevado *band – gap*, e maior mobilidade dos portadores no carbetto de silício quando comparado ao *Si*. Além disso, a utilização do *SiC* resultou em dispositivos MOSFET's, com baixa queda de tensão de condução, mesmo com altas tensões de bloqueio, o que não é possível para dispositivos de *Si*, usualmente discutido na literatura esse *trade – off* da tecnologia, (Baliga; 2008).

Como destacado anteriormente, a fabricante CREE não apresenta dados de recuperação reversa para os diodos antiparalelo. A informação não é relevante devido ao diodo ser possivelmente do tipo *Schottky*, que de forma semelhante ao MOSFET's para tensões elevadas, somente foi viabilizado com a utilização do carbetto de silício.

Os dispositivos IGBT's de *Si* da fabricante Infineon são do tipo *Trench Field Stop* de quarta geração. Estes apresentam elevada temperatura de operação equivalendo-se aos dispositivos de *SiC*. Além de otimizações que resultam em características de baixas perdas de chaveamento e redução da corrente de cauda.

Os IGBT's Infineon Infineon (2017a) e Infineon (2017b), apresentam baixa

tensão em condução, melhores que as apresentadas para os MOSFET's de *SiC* Cree (2014a) e Cree (2014b). As baixas perdas de condução estão relacionadas ao fenômeno de modulação da condutividade, característica inerente dos IGBT's, e que a resistência em condução dos MOSFET's aumenta em função da tensão de bloqueio do dispositivo. Pontos estes fundamentais e discutidos na Seção 3.3, assim deve-se considerar que os dispositivos Infineon são de quarta geração, já os MOSFET's Cree são de primeira geração. O que é totalmente significativo considerando uma evolução gradual da tecnologia.

Os diodos antiparalelo presentes nos módulos F3L300R12MT4PB22 e FF225R17ME4P contribuem diretamente para o aumento das perdas de chaveamento, o que não ocorre nos módulos CAS30012 e CAS30017. Considerando a tensão de bloqueio de 1.2kV e 1.7kV os diodos antiparalelo dos módulos Infineon possivelmente possuem uma estrutura do tipo *PiN* para suportar todo campo elétrico em polarização reversa. Os diodos do tipo *Si* apresentam baixas quedas de tensão e perdas de recuperação reversa consideráveis, características observadas nos dados dos dispositivos F3L300R12MT4PB22 Infineon (2017a) e FF225R17ME4P Infineon (2017b).

4.3.2 Implementação do modelo para cálculo de perdas

A modelagem matemática para obtenção dos resultados de perdas foi desenvolvida nos *softwares* Matlab Simulink (MATLAB; 2015) e PLECS *Toolbox* (Plexim; 2017). A estrutura macro do fluxo de dados é apresentada na Figura 4.17, as informações de perdas de condução e chaveamento de cada semiconductor do bloco (PLECS Circuito) são enviadas para o bloco (Cálculo de perdas) através do PLECS *Probe*. Os algoritmos de modulação são executados no bloco (SV-SHE PWM) gerando o comandos de para as chaves.

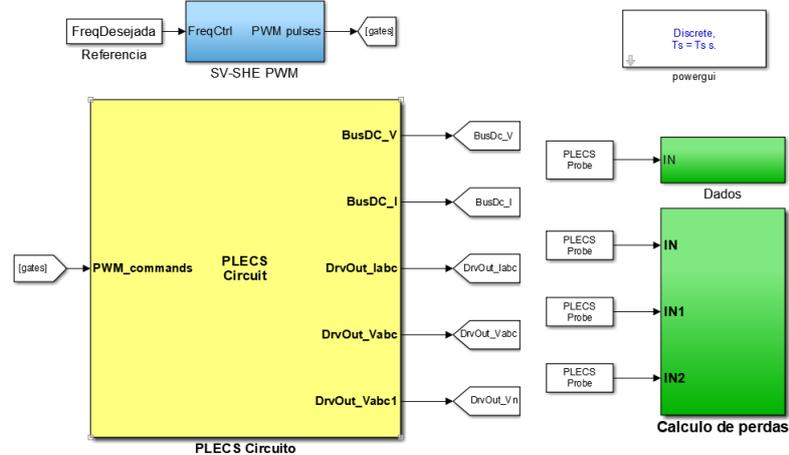


Figura 4.17: Estrutura do modelos Simulink/PLECS para cálculo de perdas. Fonte: Desenvolvida pelo autor.

A mesma estrutura da Figura 4.17 é utilizada para simulação dos conversores de dois níveis e de três níveis contemplados neste estudo, somente diferenciando os algoritmos de modulação do bloco (SV-SHE PWM), previamente discutidos no Capítulo 3. As Figuras 4.18 e 4.19 apresentam a estrutura para as topologias de conversores de dois e três níveis utilizadas na simulação de perdas, em ambas foi considerado o dissipador (*heat – sink*) ideal para manter a temperatura dos componentes constante. Para manter os dispositivos sob temperatura constante durante os teste, utiliza-se o *heat – sink* diretamente conectado a fonte de temperatura sem impedância térmica e com capacitância térmica nula, (Plexim; 2017).

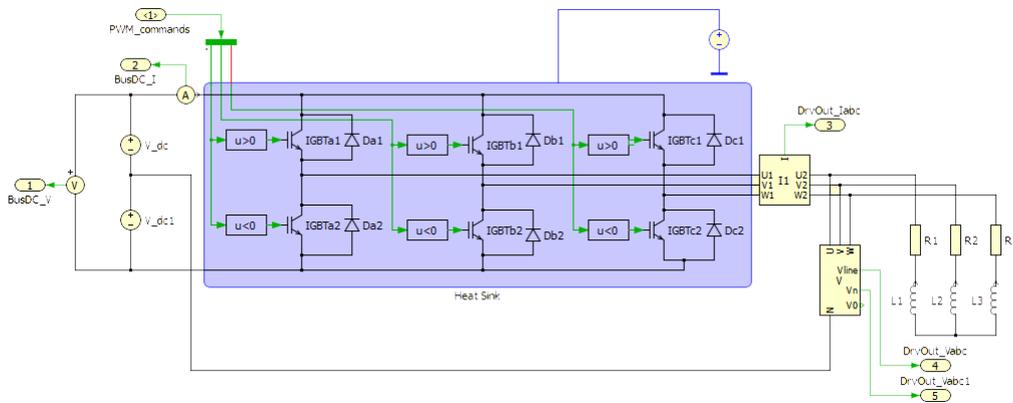


Figura 4.18: Circuito PLECS para Conversor de dois níveis. Fonte: Desenvolvida pelo autor.

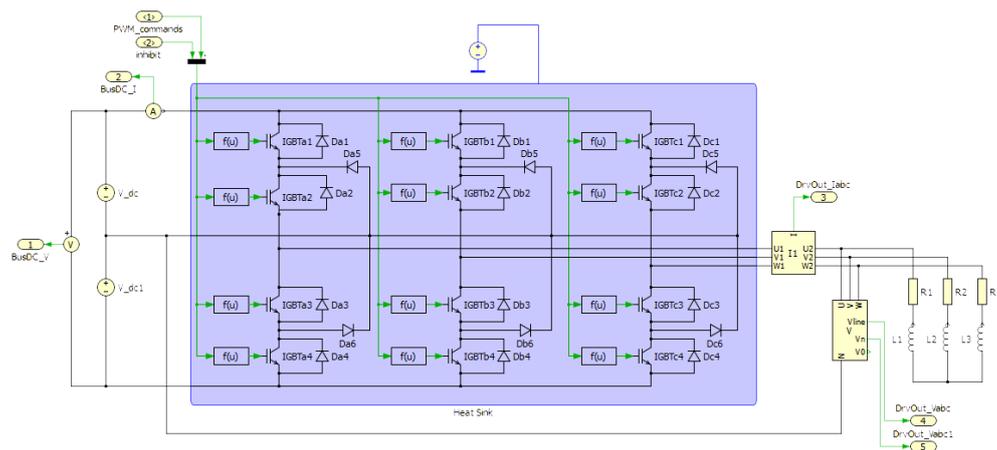


Figura 4.19: Circuito PLECS para Conversor NPC de três níveis. Fonte: Desenvolvida pelo autor.

As informações de perdas de condução e chaveamento foram obtidas pela interface PLECS *Probe* e enviadas ao bloco (Cálculo de perdas) conforme a Figura 4.17 para processamento. Os dados de perdas gerados pelo PLECS são processados diretamente no *solver*, utilizando o mesmo passo cálculo. As perdas de condução para cada dispositivo são obtidas pelo valor médio das perdas do PLECS em um janela média de execução de um ciclo da fundamental, conforme Equação 4.1, (MATLAB; 2015).

$$Media(f(t)) = \frac{1}{T} \int_{t-T}^t f(t).dt \quad \text{sendo } T = 1/f_{fund} \quad (4.1)$$

As perdas de chaveamento são obtidas pela acumulação das perdas instantâneas de ligamento e desligamento de cada dispositivo, em uma janela de tempo específica. A Figura 4.20 indica o processo no qual as perdas instantâneas obtidas do PLECS são somadas, e posteriormente, divididas pelo período no qual foi executada a acumulação. Os valores iniciais são desprezados devido à dinâmica inicial.

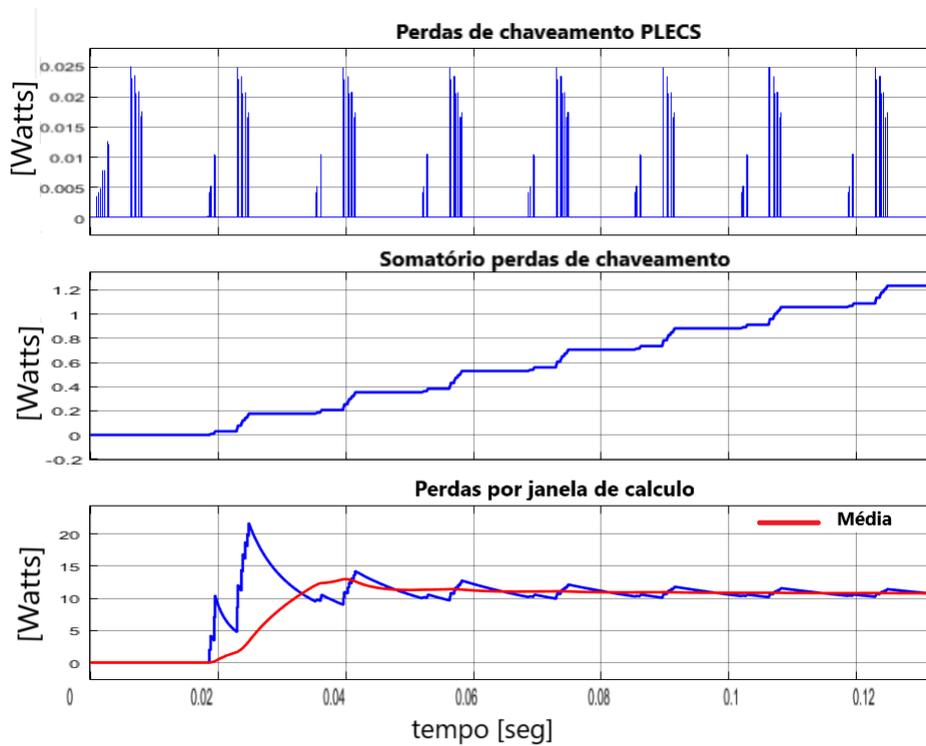


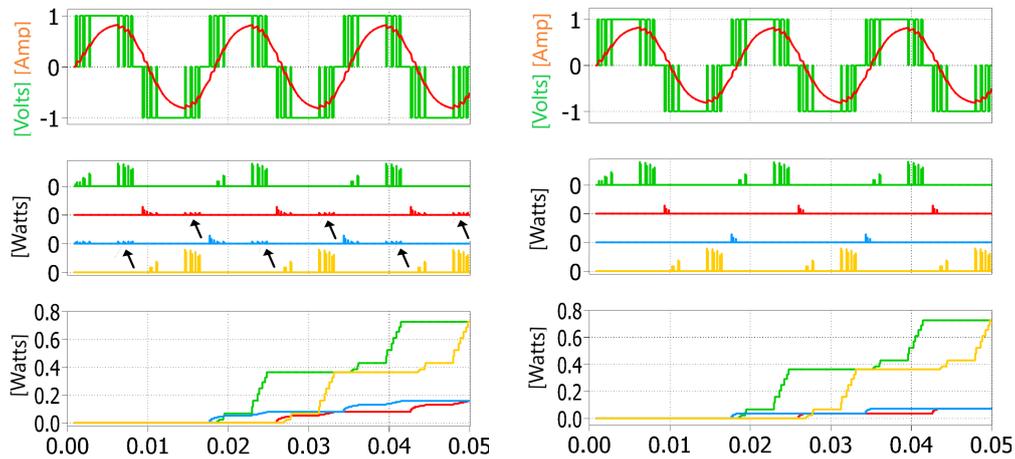
Figura 4.20: Perdas de chaveamento. Fonte: Desenvolvida pelo autor.

Para correta aproximação da simulação foram executados alguns precedimentos de testes para validação do modelo utilizado. A validação do modelo constatou alguns pontos importantes que podem introduzir mais incertezas aos resultados. Devido à configuração dos dados de entrada, a interpolação das características de perdas pode gerar alguns problemas.

A redução errada dos valores das perdas ocorre quando configura-se per-

das nulas para corrente zero. Este problema ocorre em razão de que os fabricantes nem sempre apresentam as perdas para baixas correntes. A solução utilizada neste trabalho foi interpolar os dois últimos pontos linearmente, determinando o valor de perdas para correntes baixas, 1% da nominal.

O aumento das perdas devido à interpolação errônea ocorre quando os pontos para corrente zero e corrente negativa no dispositivo são omitidos. Assim, o algoritmo de interpolação PLECS utiliza os dados disponíveis para calcular perdas que não existem, indicados por setas na Figura 4.21a. A forma para solucionar o problema é forçar perdas zero para corrente zero e negativa, o resultado da solução está apresentado na Figura 4.21b.



(a) PLECS perdas chaveamento erradas. (b) PLECS perdas chaveamento corretas.

Figura 4.21: Teste para validação do cálculo de perdas PLECS. Fonte: Desenvolvida pelo autor.

4.3.3 Resultados de perdas

Nesta subseção são apresentados os resultados das simulações de perdas para os dispositivos semicondutores de potência de forma comparativa entre moduladores, topologia de conversores e tecnologia dos dispositivos. Destaca-se que teorias e metodologias estudadas no decorrer deste trabalho são base fundamental para a convergência do estudo.

Os resultados foram obtidos sob as seguintes considerações:

- Barramento de corrente contínua fixo.
- Desprezado tempo morto na simulação.
- Tempo de pulso mínimo de $3\mu\text{seg}$.
- Capacitância térmica do *heatsink* nula.
- Fonte ideal de temperatura configurada para 150° Celsius.
- Simulações em passo de cálculo fixo de $0.5\mu\text{seg}$
- Os resultados foram apresentados em função da frequência de chaveamento do SV-PWM e equivalência do primeiro harmônico para o SHE-PWM.

Conversor de dois níveis

A Figura 4.22 mostra os resultados de perdas resultantes da utilização dos dispositivos de *Si* e *SiC* para o conversor de dois níveis, em função da variação da frequência fundamental e frequência de chaveamento utilizando o modulador SV-PWM. Na Figura 4.22 observa-se o crescimento mais acentuado das perdas de chaveamento com o aumento da frequência para a configuração utilizando os dispositivos IGBT's de *Si*. Os resultados de perdas de condução para o dispositivo *SiC* (Cree; 2014b) mais altos que o *Si* (Infineon; 2017b) já eram esperados, uma vez que a alta tensão de bloqueio dos MOSFET's *SiC* demanda uma maior região de carga espacial, assim criando maiores resistências em condução, o que não ocorre com os IGBT's que se beneficiam do fenômeno de modulação da condutividade.

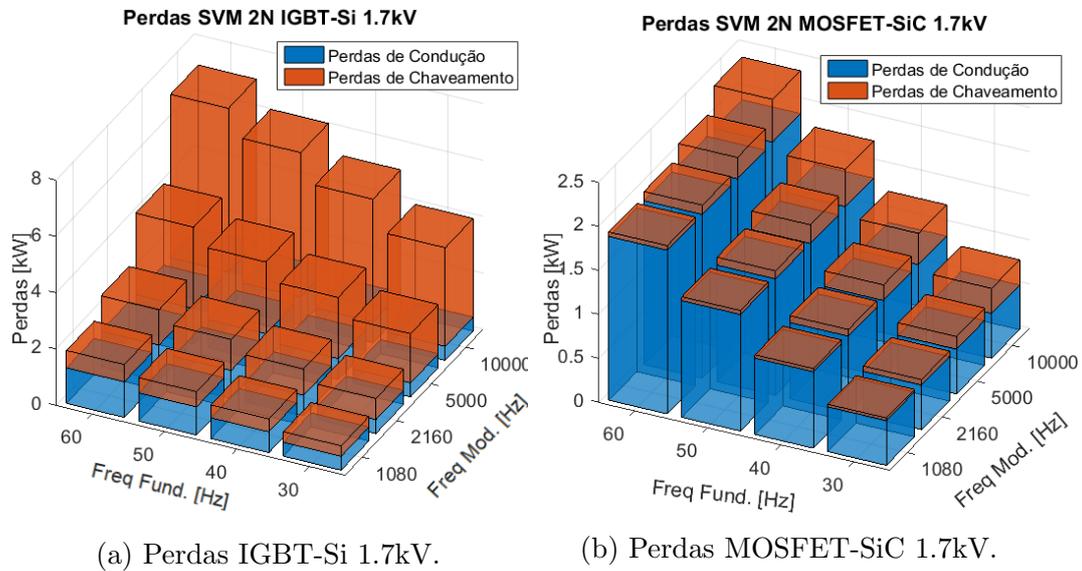


Figura 4.22: Perdas Conversor de 2–Níveis SV-PWM. Fonte: Desenvolvida pelo autor.

Freq. PWM	1080Hz	2160Hz	5kHz	10kHz
Freq. Ref [Hz]	60	60	60	60
Conv. PCond. IGBT A [W]	382,96	383,04	382,60	384,89
Conv. PCond. DRL A [W]	38,05	38,12	38,10	37,98
Conv. PCond. ABC [W]	1263,03	1263,48	1262,10	1268,61
Conv. Chav. IGBT A [W]	152,98	307,62	703,50	1410,96
Conv. Chav. DRL A [W]	53,32	112,21	263,05	532,31
Conv. Chav. ABC [W]	618,93	1259,49	2899,65	5829,80
Conv. perdas Totais [W]	1881,96	2522,97	4161,75	7098,40
Vab Inv Rms [V]	763,60	764,83	725,40	724,33
Ia Inv Rms [A]	197,96	197,97	197,83	198,46
Vcc [V]	1000	1000	1000	1000
Icc [A]	198,32	198,26	180,14	180,58
Pot. Saída Conv. [kW]	196,43	195,73	175,98	173,48
Rendimento Conv. []	0,991	0,987	0,977	0,961
PF Conv. []	0,876	0,874	0,875	0,875
Conv. THD (Vabc)	46,154	37,622	21,098	20,368
Conv. THD (Iabc)	4,400	2,064	0,240	0,260

Freq. PWM	1080Hz	2160Hz	5kHz	10kHz
Freq. Ref [Hz]	60	60	60	60
Conv. PCond. MOS A [W]	582,40	582,46	581,41	586,03
Conv. PCond. DRL A [W]	38,32	38,38	38,35	38,24
Conv. PCond. ABC [W]	1862,15	1862,51	1859,28	1872,82
Conv. Chav. MOS A [W]	17,40	35,31	81,19	163,19
Conv. Chav. DRL A [W]	0,00	0,00	0,00	0,00
Conv. Chav. ABC [W]	52,19	105,94	243,56	489,56
Conv. perdas Totais [W]	1914,34	1968,45	2102,84	2362,38
Vab Conv Rms [V]	765,04	766,27	726,77	725,68
Ia Conv Rms [A]	198,51	198,52	198,38	199,02
Vcc [V]	1000	1000	1000	1000
Icc [A]	198,69	198,63	180,47	180,91
Pot. Saída Conv. [kW]	196,78	196,66	178,37	178,55
Rendimento Conv. []	0,990	0,990	0,988	0,987
PF Conv. []	0,876	0,874	0,875	0,875
Conv. THD (Vabc)	46,007	37,503	20,995	20,266
Conv. THD (Iabc)	4,384	2,054	0,233	0,261

(a) Modulador SV-PWM e IGBT-Si. (b) Modulador SV-PWM e MOSFET-SiC.

Figura 4.23: Compilação de resultados Conversor de 2–Níveis SV-PWM. Fonte: Desenvolvida pelo autor.

A Figura 4.23 apresenta os dados de perdas compilados, assim como, as condições equivalentes dos testes utilizando o SV-PWM. Observa-se que,

para baixas frequências de chaveamento até 2kHz as perdas totais são praticamente iguais, mas para frequências maiores, a diferença fica muito grande entre Si e SiC.

A Figura 4.24 apresenta resultados comparativos entre operação dos dispositivos MOSFET-SiC (Cree; 2014b) e IGBT-Si (Infineon; 2017b), porém com modulador SHE-Bipolar aplicado ao conversor de dois níveis. Os resultados mostram novamente uma grande redução das perdas de chaveamento entre MOSFET-SiC e IGBT-Si e também uma redução em relação ao SV-PWM.

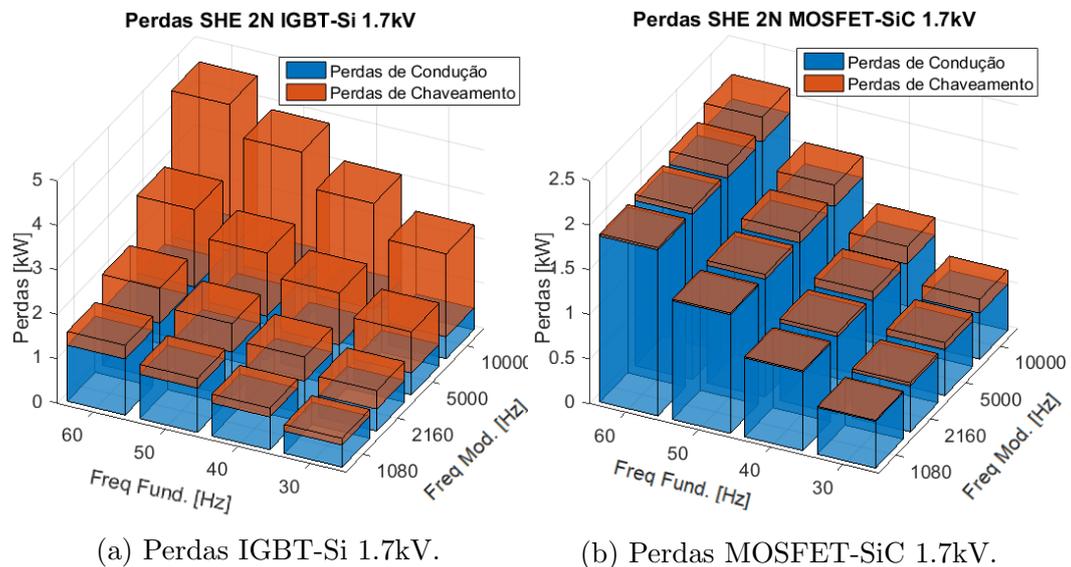


Figura 4.24: Perdas Conversor de 2-Níveis SHE-B. Fonte: Desenvolvida pelo autor.

Freq. PWM	1080Hz	2160Hz	5kHz	10kHz	Freq. PWM	1080Hz	2160Hz	5kHz	10kHz
Freq. Ref [Hz]	60	60	60	60	Freq. Ref [Hz]	60	60	60	60
Conv. PCond. IGBT A [W]	380,93	380,26	379,87	379,95	Conv. PCond. MOS A [W]	578,44	577,01	576,31	576,38
Conv. PCond. DRL A [W]	38,37	38,29	38,33	38,34	Conv. PCond. DRL A [W]	38,62	38,56	38,56	38,57
Conv. PCond. ABC [W]	1257,90	1255,67	1254,60	1254,85	Conv. PCond. ABC [W]	1851,19	1846,72	1844,62	1844,85
Conv. Chav. IGBT A [W]	107,62	190,73	418,19	787,96	Conv. Chav. MOS A [W]	12,09	21,61	48,06	91,16
Conv. Chav. DRL A [W]	34,61	67,17	154,93	297,45	Conv. Chav. DRL A [W]	0,00	0,00	0,00	0,00
Conv. Chav. ABC [W]	426,67	773,71	1719,35	3256,22	Conv. Chav. ABC [W]	36,26	64,84	144,19	273,49
Inv. perdas Totais [W]	1684,57	2029,38	2973,96	4511,07	Conv. perdas Totais [W]	1887,45	1911,56	1988,82	2118,34
Vab Conv Rms [V]	811,54	809,36	809,06	806,79	Vab Conv Rms [V]	812,85	810,67	810,36	808,14
la Conv Rms [A]	197,42	197,25	197,10	197,13	la Conv Rms [A]	197,99	197,79	197,66	197,68
Vcc [V]	1000	1000	1000	1000	Vcc [V]	1000	1000	1000	1000
Icc [A]	197,29	196,81	197,27	198,44	Icc [A]	197,68	197,15	197,65	198,81
Pot. Saída Conv. [kW]	195,60	194,78	194,30	193,93	Pot. Saída Conv. [kW]	195,79	195,24	195,66	196,69
Rendimento Conv. []	0,991	0,990	0,985	0,977	Rendimento Conv. []	0,990	0,990	0,990	0,989
PF Conv. []	0,875	0,876	0,875	0,882	PF Conv. []	0,875	0,876	0,875	0,882
Conv. THD (Vabc)	63,622	58,789	17,375	16,470	Conv. THD (Vabc)	63,402	58,608	17,311	16,421
Conv. THD (Iabc)	5,193	2,871	0,252	0,242	Conv. THD (Iabc)	5,176	2,862	0,248	0,238

(a) Modulador SHE-B e IGBT-Si. (b) Modulador SHE-B e MOSFET-SiC.

Figura 4.25: Compilação de resultados Conversor de 2-Níveis SV-PWM. Fonte: Desenvolvida pelo autor.

Os resultados de perdas indicam uma elevação nas perdas para os dispositivos IGBT-Si, em função do aumento da frequência de chaveamento muito superior aos obtidos para os dispositivos MOSFET's de SiC, Figuras 4.22 e 4.24. Fica evidente que para baixas frequências de chaveamento, até 2kHz, as perdas totais são praticamente iguais, mas para frequências maiores, a diferença entre Si e SiC cresce significativamente, mesmo utilizando o SHE-PWM. A Figura 4.25 apresenta os dados de perdas compilados, assim como as condições equivalentes dos testes.

Ao se considerar a operação em condição nominal com frequência de chaveamento em 10kHz para o SV-PWM, justifica-se a utilização do SHE, que para uma equivalência do primeiro harmônico, gera uma redução de perdas de chaveamento de aproximadamente 43% e uma redução nas perdas totais de aproximadamente 36%. Considerando-se a condição de carga e frequência de chaveamento de 10kHz e assumindo que a potência na carga é a mesma para todas as condições, os ganhos de eficiência em função das mudanças do dispositivo e modulador podem ser traduzidos em:

- Utilizando o SV-PWM e substituindo o IGBT-Si por o MOSFET-SiC:
 - Redução de perdas de chaveamento em 5.3kWatts, cerca de 91%;

- Aumento das perdas de condução em 604Watts, cerca de 47%;
- Redução total das perdas de 4.7kWatts, cerca de 66%;
- Utilizando o SHE-PWM e substituindo o IGBT-Si por o MOSFET-SiC:
 - Redução de perdas de chaveamento em 3kWatts, cerca de 91%;
 - Aumento das perdas de condução em 590Watts, cerca de 47%;
 - Redução total das perdas de 2.4kWatts, cerca de 53%;
- Utilizando o IGBT-Si e substituindo o SV-PWM por o SHE-PWM:
 - Redução de perdas de chaveamento em 2.5kWatts, cerca de 43%;
 - Redução das perdas de condução em 10Watts, cerca de 1%;
 - Redução total das perdas de 2.5kWatts, cerca de 36%;
- Utilizando o MOSFET-SiC e substituindo o SV-PWM por o SHE-PWM :
 - Redução de perdas de chaveamento em 236kWatts, cerca de 43%;
 - Redução das perdas de condução em 26Watts, cerca de 1.4%;
 - Redução total das perdas de 210Watts, cerca de 10%;

As comparações entre as quatro configurações utilizadas nos testes refletem exatamente o rendimento obtido para o conversor de dois níveis compilados na Figura [4.26](#).

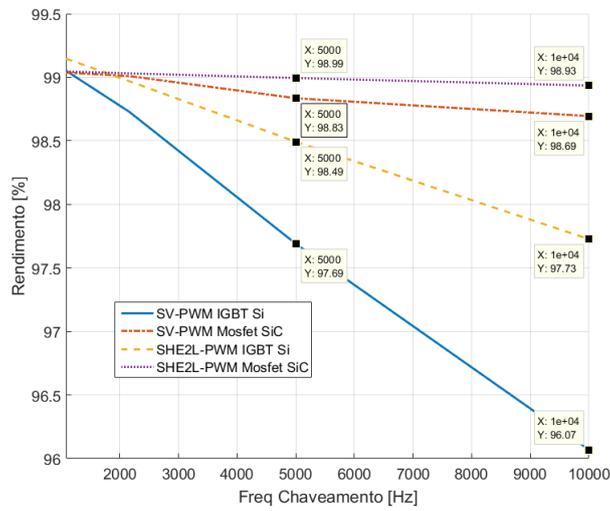


Figura 4.26: Resultados de rendimento em condição nominal para conversor 2n. Fonte: Desenvolvida pelo autor.

A Figura 4.27 mostra os resultados gráficos para condição nominal de 60Hz em função da variação da frequência de chaveamento, para todas configurações de dispositivos e moduladores utilizando o conversor de dois níveis.

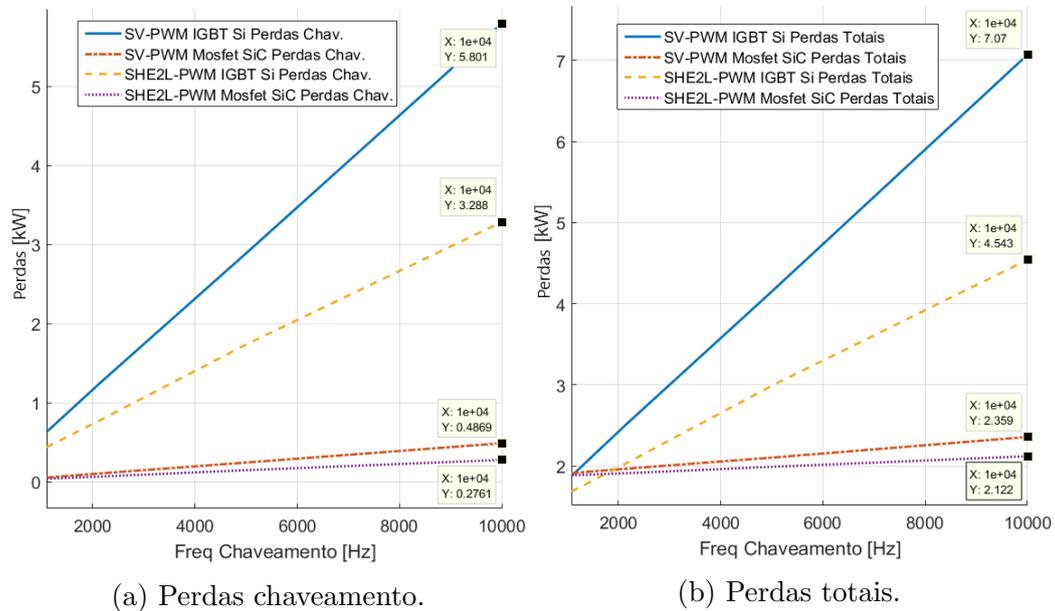


Figura 4.27: Comparação de perdas Conversor de 2–Níveis para condição nominal. Fonte: Desenvolvida pelo autor.

Conversor de três níveis NPC

A Figura 4.28 mostra os resultados de perdas dos dispositivos de *Si* e *SiC* para o conversor de três níveis NPC, em função da variação da frequência fundamental e frequência de chaveamento utilizando o modulador SV-PWM. Semelhante aos resultados obtidos para o conversor de dois níveis, observa-se o crescimento mais acentuado das perdas de chaveamento para o dispositivo de Si, em função do aumento da frequência de chaveamento, Figuras 4.28 e 4.30.

As perdas de condução para os dispositivos de MOSFET-SiC (Cree; 2014a) e IGBT-Si (Infineon; 2017a) utilizados para o conversor de três níveis NPC, não apresentam grandes diferenças quanto às entre os dispositivos IGBT'S e MOSFET's do conversor de dois níveis. Essa diferença é consequência da redução da tensão de bloqueio de 1.7kV para 1.2kV afetar diretamente a característica de condução dos MOSFET's, assim existe uma redução significativa das perdas de condução entre os dispositivos de *SiC* – 1.7kV utilizados no conversor de dois níveis CAS300M17BM2 (Cree; 2014b), e o dispositivo de 1.2kV utilizado no conversor de três níveis CAS300M12BM2 (Cree; 2014a). Assim, verifica-se nos resultados perdas de condução muito próximas entre os dispositivos de IGBT-SI e MOSFET-SiC para ambos os moduladores SV-PWM e SHE-PWM.

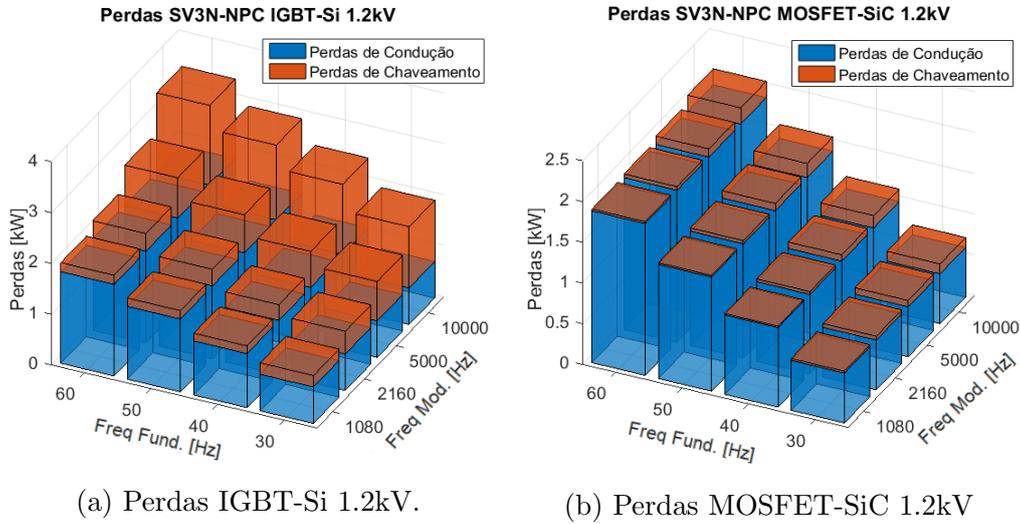


Figura 4.28: Perdas Conversor de 3–Níveis NPC SV-PWM. Fonte: Desenvolvida pelo autor.

Freq. PWM	1080Hz	2160Hz	5kHz	10kHz
Freq. Ref [Hz]	60	60	60	60
Conv. PCond. IGBT A [W]	542,43	543,11	543,75	543,89
Conv. PCond. DRL A [W]	5,45	5,38	5,33	5,49
Conv. PCond. Clamp. A [W]	52,70	52,68	52,67	52,47
Conv. PCond. ABC [W]	1801,73	1803,49	1805,25	1805,54
Conv. Chav. IGBT A [W]	37,75	72,45	163,05	320,67
Conv. Chav. DRL A [W]	2,64	4,91	10,48	20,70
Conv. Chav. Clamp. A [W]	19,64	39,74	92,49	183,74
Conv. Chav. ABC [W]	180,08	351,32	798,06	1575,32
Conv. perdas Totais [W]	1981,81	2154,81	2603,30	3380,86
Vab Conv. Rms [V]	682,65	683,84	687,60	689,12
Ia Conv. Rms [A]	196,86	196,99	197,12	197,13
Vcc [V]	1000	1000	1000	1000
Icc [A]	197,74	198,02	199,43	181,13
Pot. Saída Conv. [kW]	195,76	195,86	196,82	177,75
Rendimento Conv. []	0,990	0,989	0,987	0,981
PF Conv. []	0,875	0,875	0,876	0,875
Conv. THD (Vabc)	23,978	13,299	5,021	9,564
Conv. THD (Iabc)	1,886	0,765	0,102	0,103

Freq. PWM	1080Hz	2160Hz	5kHz	10kHz
Freq. Ref [Hz]	60	60	60	60
Conv. PCond. MOS A [W]	548,62	549,49	550,39	550,53
Conv. PCond. DRL A [W]	6,53	6,44	6,39	6,58
Conv. PCond. Clamp. A [W]	65,68	65,66	65,64	65,40
Conv. PCond. ABC [W]	1862,50	1864,77	1867,25	1867,52
Conv. Chav. MOS A [W]	7,79	14,97	33,74	66,38
Conv. Chav. DRL A [W]	0,00	0,00	0,00	0,00
Conv. Chav. Clamp. A [W]	0,00	0,00	0,00	0,00
Conv. Chav. ABC [W]	23,38	44,91	101,23	199,14
Conv. perdas Totais [W]	1885,88	1909,68	1968,48	2066,66
Vab Conv. Rms [V]	687,65	688,84	692,63	694,15
Ia Conv. Rms [A]	198,37	198,50	198,63	198,65
Vcc [V]	1000	1000	1000	1000
Icc [A]	199,04	199,32	200,74	182,32
Pot. Saída Conv. [kW]	197,15	197,41	198,77	180,25
Rendimento Conv. []	0,991	0,990	0,990	0,989
PF Conv. []	0,875	0,875	0,876	0,875
Conv. THD (Vabc)	23,893	13,249	5,021	9,536
Conv. THD (Iabc)	1,880	0,761	0,070	0,074

(a) Modulador SVPWM e IGBT-Si.

(b) Modulador SV-PWM e MOSFET-SiC.

Figura 4.29: Compilação de resultados Conversor de 3–Níveis SV-PWM. Fonte: Desenvolvida pelo autor.

A Figura 4.30 apresenta resultados comparativos entre operação dos dispositivos MOSFET-SiC (Cree; 2014a) e IGBT-Si (Infineon; 2017a), porém com modulador SHE-Unipolar aplicado ao conversor de três níveis NPC. Os

resultados mostram novamente uma grande redução das perdas de chaveamento entre MOSFET-SiC e IGBT-Si e também em relação ao SV-PWM. A frequência de chaveamento das Figuras 4.30a e 4.30b foi mantida em relação ao SV-PWM para facilitar as comparações.

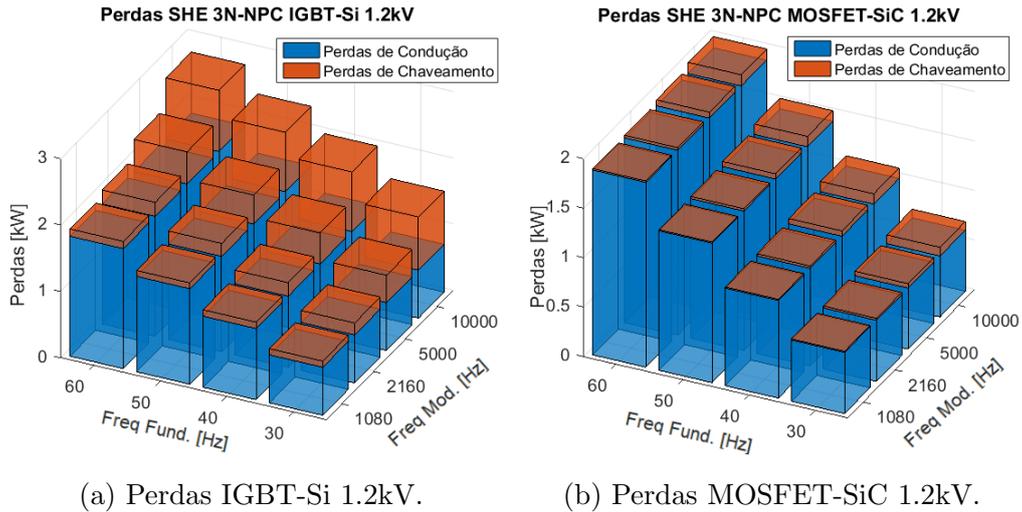


Figura 4.30: Perdas Conversor de 3–Níveis NPC SHE-U. Fonte: Desenvolvida pelo autor.

Freq. PWM	1080Hz	2160Hz	5kHz	10kHz
Freq. Ref [Hz]	60	60	60	60
Conv. PCond. IGBT A [W]	543,69	543,66	543,72	543,67
Conv. PCond. DRL A [W]	2,85	3,36	3,47	3,53
Conv. PCond. Clamp. A [W]	55,07	54,37	54,32	54,24
Conv. PCond. ABC [W]	1804,84	1804,17	1804,51	1804,33
Conv. Chav. IGBT A [W]	22,99	42,65	96,24	182,47
Conv. Chav. DRL A [W]	1,42	3,18	9,29	17,70
Conv. Chav. Clamp. A [W]	11,95	23,69	53,93	104,16
Conv. Chav. ABC [W]	109,09	208,56	478,38	912,98
Conv. perdas Totais [W]	1913,93	2012,73	2282,89	2717,30
Vab Conv. Rms [V]	685,34	683,46	692,34	693,54
Ia Conv. Rms [A]	197,08	197,03	197,05	197,03
Vcc [V]	1000	1000	1000	1000
Icc [A]	198,01	197,82	197,97	198,06
Pot. Saída Conv. [kW]	196,10	195,81	195,68	195,34
Rendimento Conv. []	0,990	0,990	0,988	0,986
PF Conv. []	0,874	0,874	0,874	0,875
Conv. THD (Vabc)	27,645	19,977	3,948	5,267
Conv. THD (Iabc)	2,010	0,947	0,100	0,099

(a) Tabela SHE-U IGBT-Si.

Freq. PWM	1080Hz	2160Hz	5kHz	10kHz
Freq. Ref [Hz]	60	60	60	60
Conv. PCond. MOS A [W]	550,36	550,45	550,40	550,43
Conv. PCond. DRL A [W]	3,40	4,03	4,16	4,23
Inv. PCond. Clamp. A [W]	68,54	67,63	67,59	67,48
Conv. PCond. ABC [W]	1866,91	1866,30	1866,44	1866,41
Conv. Chav. MOS A [W]	4,78	8,73	19,68	37,34
Conv. Chav. DRL A [W]	0,00	0,00	0,00	0,00
Conv. Chav. Clamp. A [W]	0,00	0,00	0,00	0,00
Conv. Chav. ABC [W]	14,33	26,19	59,04	112,01
Conv. perdas Totais [W]	1881,24	1892,49	1925,49	1978,41
Vab Conv. Rms [V]	690,33	688,46	697,35	698,52
Ia Conv. Rms [A]	198,59	198,55	198,56	198,55
Vcc [V]	1000	1000	1000	1000
Icc [A]	199,32	199,13	199,26	199,37
Pot. Saída Conv. [kW]	197,43	197,24	197,33	197,39
Rendimento Conv. []	0,991	0,990	0,990	0,990
PF Conv. []	0,874	0,874	0,874	0,875
Conv. THD (Vabc)	27,645	19,977	3,948	5,267
Conv. THD (Iabc)	2,010	0,947	0,100	0,099

(b) Tabela SHE-U MOSFET-SiC.

Figura 4.31: Compilação de resultados Conversor de 3–Níveis SV-PWM. Fonte: Desenvolvida pelo autor.

Os resultados de perdas, Figuras 4.28 e 4.30 indicam uma elevação nas perdas para os dispositivos IGBT-Si, em função do aumento da frequência de chaveamento, muito superior aos obtidos para os dispositivos MOSFET's de *SiC*, semelhante aos resultados obtidos para o conversor de dois níveis. Ao se considerar a operação em condição nominal com frequência de chaveamento em 10kHz para o SV-PWM, justifica-se a utilização do SHE, que para uma equivalência do primeiro harmônico, gera uma redução de perdas de chaveamento de aproximadamente 41%, e uma redução nas perdas totais de aproximadamente 19%. A relação de redução de perdas para condição nominal é apresentada abaixo:

- Utilizando o SV-PWM e substituindo o IGBT-Si por o MOSFET-SiC:
 - Redução de perdas de chaveamento em 1.37kWatts, cerca de 87%;
 - Aumento das perdas de condução em 61Watts, cerca de 3.4%;
 - Redução total das perdas de 1.3kWatts, cerca de 39%;
- Utilizando o SHE-PWM e substituindo o IGBT-Si por o MOSFET-SiC:
 - Redução de perdas de chaveamento em 808Watts, cerca de 88%;
 - Aumento das perdas de condução em 62Watts, cerca de 3.4%;
 - Redução total das perdas de 745Watts, cerca de 27.4%;
- Utilizando o IGBT-Si e substituindo o SV-PWM por o SHE-PWM::
 - Redução de perdas de chaveamento em 647Watts, cerca de 41%;
 - Redução das perdas de condução em 0.0001Watts, cerca de 0.01%;
 - Redução total das perdas de 647Watts, cerca de 19%;
- Utilizando o MOSFET-SiC e substituindo o SV-PWM por o SHE-PWM :
 - Redução de perdas de chaveamento em 84Watts, cerca de 42%;
 - Redução das perdas de condução em 0.0006Watts, cerca de 0.03%;

- Redução total das perdas de 84Watts, cerca de 4%;

As comparações entre as quatro configurações utilizadas nos testes refletem exatamente o rendimento obtido para o conversor de dois níveis compilados na Figura 4.32.

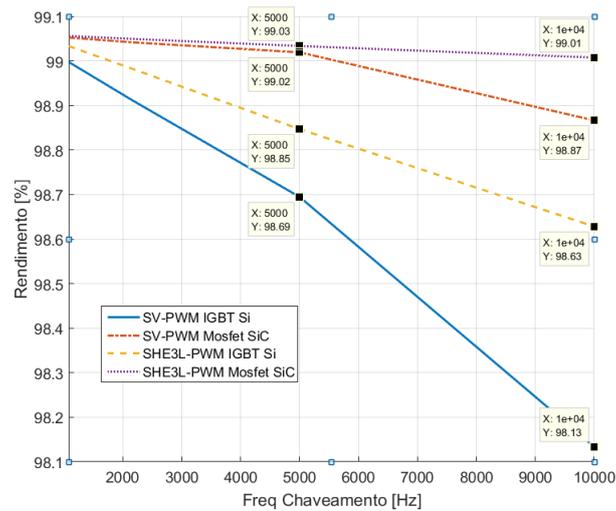


Figura 4.32: Resultados de rendimento em condição nominal para conversor 3n NPC. Fonte: Desenvolvida pelo autor.

A Figura 4.33 mostra os resultados gráficos para condição nominal de 60Hz em função da variação da frequência de chaveamento, para todas configurações de dispositivos e moduladores utilizando o conversor três níveis NPC. Verifica-se menores perdas com a utilização dos dispositivos de *SiC* quando comparado as configurações com *SiC*, observa-se também que o modulador reduz significativamente as perdas para a configuração com IGBT's mais não gera grandes reduções com a utilização dos MOSFET's de *SiC* devido as perdas de chaveamento já serem muito baixas.

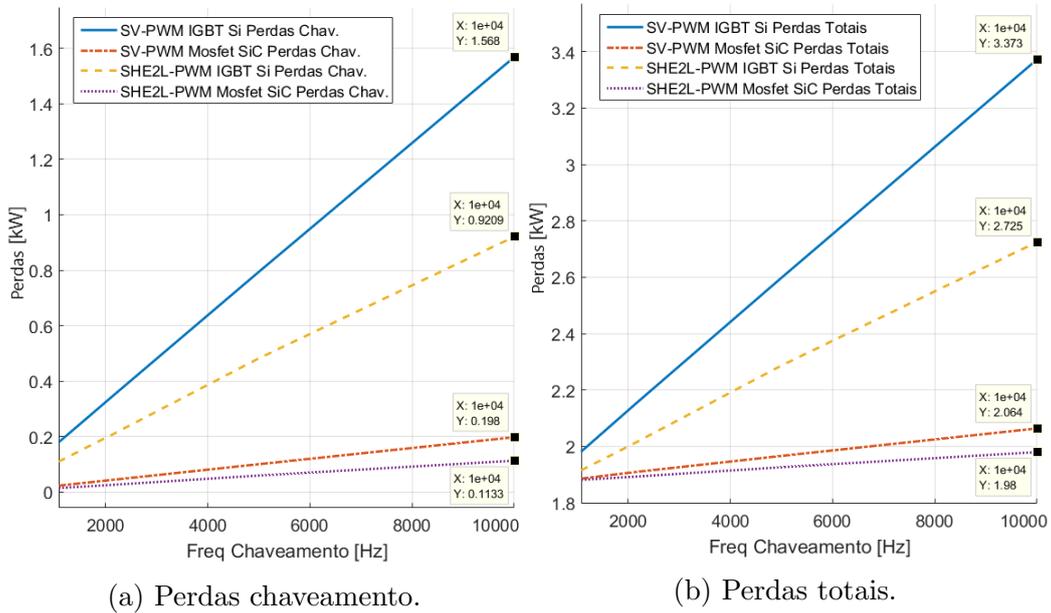


Figura 4.33: Comparação de perdas Conversor de 3–Níveis NPC para condição nominal. Fonte: Desenvolvida pelo autor.

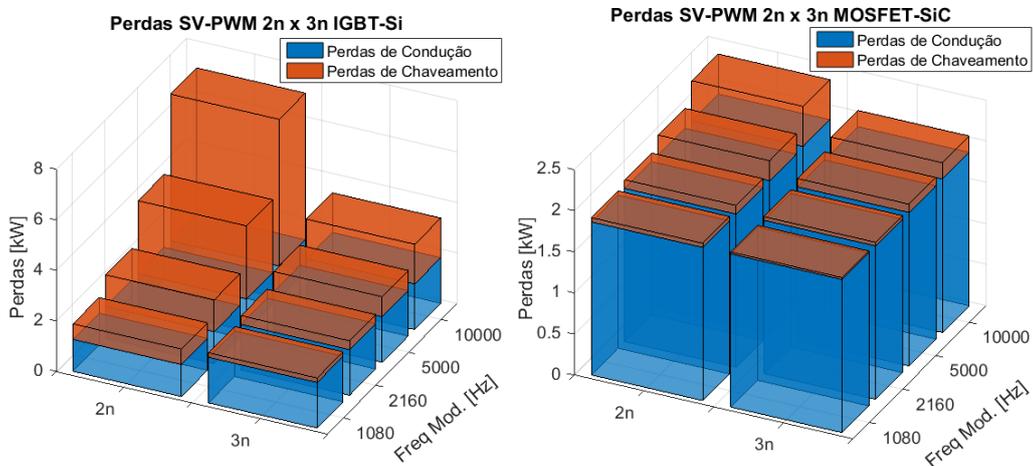
4.4 Análise comparativa de perdas entre topologias de dois e três níveis

Esta seção apresenta os resultados considerando a transição entre as topologias de conversores de dois e de três níveis NPC anteriormente apresentados, deve ser considerado que os resultados são referentes à condição nominal de operação em 60Hz conforme a Tabela 4.1.

Os resultados comparativos entre os conversores e os dispositivos de Si e SiC utilizando o modulador SV-PWM e SHE-PWM são apresentados respectivamente, nas Figuras 4.34 e 4.35. Observa-se que, existe uma redução significativa das perdas de chaveamento da topologia de dois níveis para a de três níveis NPC utilizando dispositivos de silício. A redução é em consequência da menor tensão de bloqueio dos dispositivos 1.2kV utilizados no conversor três níveis NPC, o que implica em dispositivos com melhores características que os de 1.7kV utilizado no conversor de dois níveis.

4.4. ANÁLISE COMPARATIVA DE PERDAS ENTRE TOPOLOGIAS DE DOIS E TRÊS NÍVEIS 102

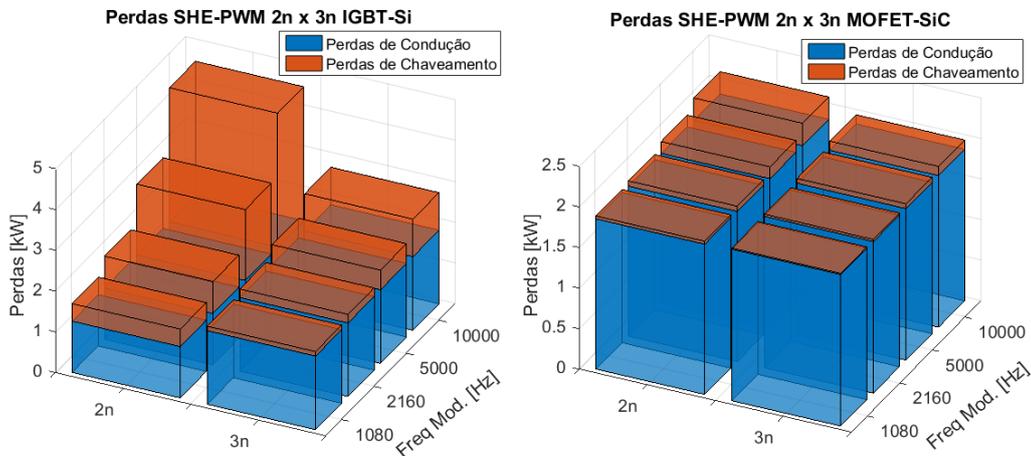
Inicialmente se observa as perdas provenientes da condução, espera-se menores perdas para o conversor de três níveis, visto as melhores características dos dispositivos de de 1.2kV de *Si* e de *SiC*. Porém, o número elevado de dispositivos para o conversor de três níveis resulta em menores perdas por dispositivo e maiores perdas de condução do conversor nesse projeto. Deve-se considerar que, para outras condições a diferença entre os dispositivos pode compensar o dobro de chaves e os diodos de *Clamping* inerente da topologia de três níveis NPC.



(a) Perdas Conv 2n e 3n SV-Si.

(b) Perdas Conv 2n e 3n SV-SiC.

Figura 4.34: Perdas Conversor de 2–Níveis e 3–Níveis SV-PWM. Fonte: Desenvolvida pelo autor.



(a) Perdas Conv 2n e 3n SHE-Si.

(b) Perdas Conv 2n e 3n SHE-SiC.

Figura 4.35: Perdas Conversor de 2–Níveis e 3–Níveis SHE-PWM. Fonte: Desenvolvida pelo autor.

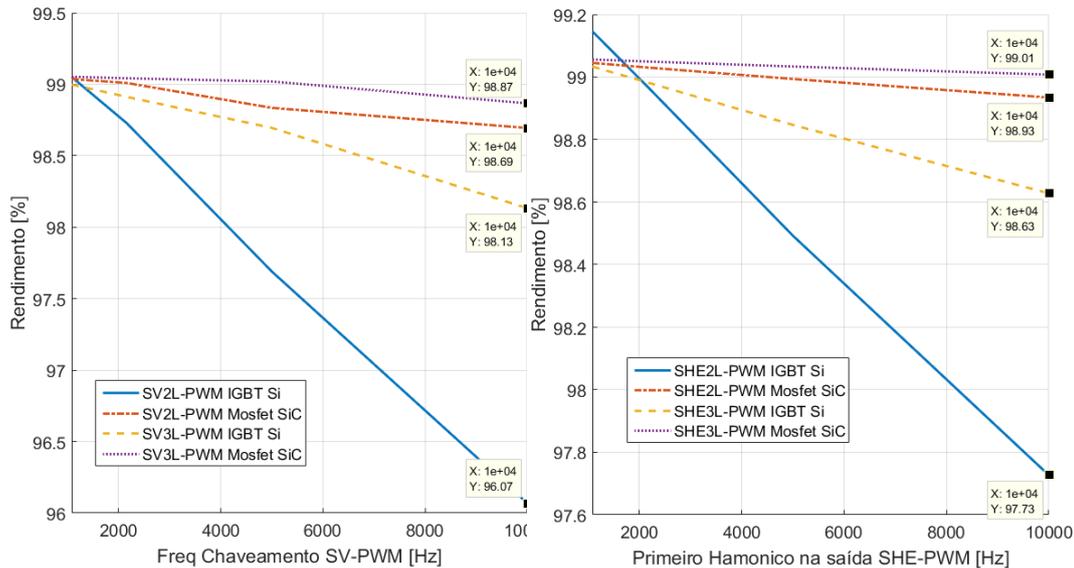
Abaixo são apresentadas as relações entre as perdas das topologias de conversores de dois e três níveis NPC para utilização do modulador SHE-PWM e SV-PWM com dispositivos IGBT's de silício Infineon e MOSFET's de carbeto de silício CREE:

- Utilizando IGBT-Si com SV-PWM e substituindo o conversor 2n por o 3n:
 - Redução de perdas de chaveamento de 4.2kWatts, cerca de 73%;
 - Aumento das perdas de condução em 536Watts, cerca de 42%;
 - Redução total das perdas de 3.7kWatts, cerca de 52%;
- Utilizando MOSFET-SiC com SV-PWM e substituindo o conversor 2n por o 3n:
 - Redução de perdas de chaveamento em 290Watts, cerca de 59%;
 - Redução das perdas de condução em 5Watts, cerca de 0.33%;
 - Redução total das perdas de 295Watts, cerca de 12%;
- Utilizando IGBT-Si com SHE-PWM e substituindo o conversor 2n por o 3n:

4.4. ANÁLISE COMPARATIVA DE PERDAS ENTRE TOPOLOGIAS DE DOIS E TRÊS NÍVEIS¹⁰⁴

- Redução de perdas de chaveamento em 2.37kWatts, cerca de 72%;
 - Aumento das perdas de condução em 550Watts, cerca de 43%;
 - Redução total das perdas de 1.8Watts, cerca de 19%;
- Utilizando MOSFET-SiC com SHE-PWM e substituindo o conversor 2n por o 3n:
 - Redução de perdas de chaveamento em 162Watts, cerca de 59%;
 - Aumento das perdas de condução em 21Watts, cerca de 1%;
 - Redução total das perdas de 141Watts, cerca de 6.7%;

As Figuras e apresentam de forma compilada os resultados de rendimento para configurações utilizando as topologias de dois níveis e três níveis NPC, assim refletindo exatamente as reduções de perdas com a utilização do conversor de três níveis NPC ao de dois níveis. Observa-se que para mesmo modulador e tecnologia de dispositivos o conversor de três níveis apresenta maior eficiência para quase todas condições, exceto para a condição utilizando o modulador SHE2L-PWM com PHS em 1080kHz do SV-PWM, na qual as perdas de condução são dominantes e o número de chaves reduzido da configuração de dois níveis apresenta menores perdas e conseqüentemente maior rendimento, Figura .



(a) Rend. SV-PWM: 2n x 3n e Si x SiC. (b) Rend. SHE-PWM: 2n x 3n e Si x SiC.

Figura 4.36: Comparação rendimento entre os conversor de 2–Níveis e 3–Níveis. Fonte: Desenvolvida pelo autor.

4.5 Projeto do Filtro de saída

Considerando o estudo de perdas da subseção 4.3, existe a possibilidade de redução das perdas utilizando o modulador SHE para condição equivalente do SV-PWM com o critério do primeiro harmônico. Assim, nesta subseção será apresentado um estudo do projeto de filtro senoidal de saída para condições equivalentes dos moduladores SV-PWM e SHE-PWM.

Como foi observado nos resultados de perdas, o ganho relativo entre SHE-PWM e SV-PWM é mais significativo para aplicações com dispositivos de silício, nos quais a redução da frequência de chaveamento implica em grande redução nas perdas totais, justificando a utilização do SHE-PWM.

Para o projeto do filtro senoidal de saída será considerado o estudo realizado Seção 3.5. Considerando o circuito utilizado nas simulações do estudo das perdas Seção 4.3 foi adicionado o filtro de saída LCL representado na Figura 4.37.

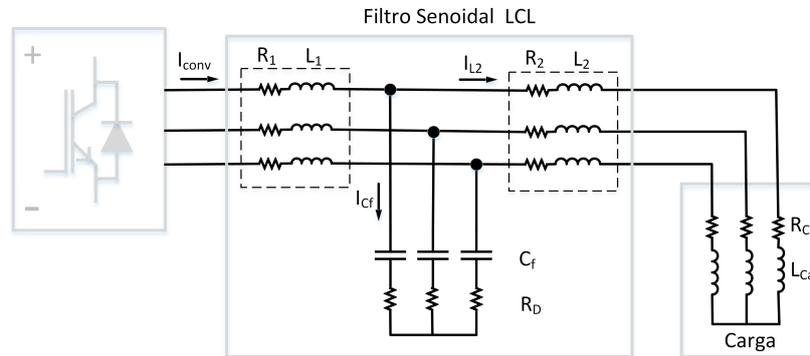


Figura 4.37: Circuito para conversor trifásico e filtro de saída LCL mais carga. Fonte: Desenvolvida pelo autor.

A Tabela 4.12 mostra uma síntese dos parâmetros utilizados para os cálculos do filtro de saída com base nas definições feitas no início do capítulo, entre as quais estão as características da carga apresentadas na Tabela 4.1.

Tabela 4.12: Parâmetros base para projeto do filtro de saída.

Parâmetro	Valor	Unidade
Potência Nominal	230	[kVA]
Tensão Nominal	660	[Volts]
Corrente Nominal	200	[A_{rms}]
Fator de Potência	0,87	[]
Frequência Nominal	60	[Hz]
Resistência Eq.	1,668	[Ω]
Indutância Eq.	2,4	[mH]
Impedância Eq.	1,906	[Ω]
Barramento CC	1000	[V]

No Capítulo 3 foram definidas as funções de transferência que descrevem a relação entre corrente de saída do filtro i_{L2} com tensão e corrente na saída do conversor, Equações 3.25 e 3.26. Outra forma de se investigar o projeto do filtro LCL e carga é a partir do circuito equivalente Figura 4.38 e executar a representação das equações diferenciais em espaço de estados.

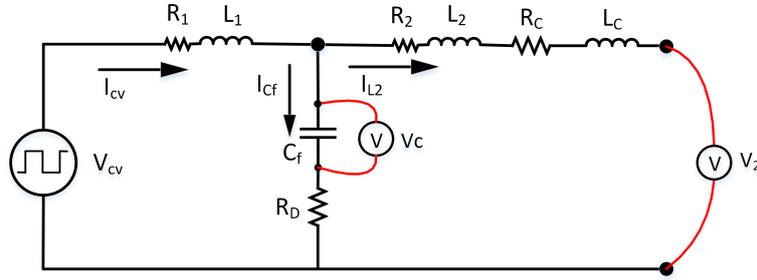


Figura 4.38: Circuito para uma fase do filtro LCL. Fonte: Desenvolvida pelo autor.

Aplicando as leis de Kirchhoff's das correntes ao circuito 4.38 pôde-se obter as Equações 4.2, 4.3 e 4.4.

$$V_{cv} = L_1 \frac{di_{cv}}{dt} + R_1 i_{cv} + V_c + R_D i_{cv} \quad (4.2)$$

$$V_2 = -L_2 \frac{di_2}{dt} - R_2 i_{L2} - L_C \frac{di_2}{dt} - R_C i_2 + V_c + R_D i_c \quad (4.3)$$

$$i_c = i_{cv} - i_2 \quad (4.4)$$

Substituindo a Equação 4.2 nas Equações 4.2 e 4.2, obtém-se:

$$\dot{i}_{cv} = \frac{1}{L_1} [-i_{cv}(R_1 + R_D) + R_D i_{L2} - V_{cv} - V_c] \quad (4.5)$$

$$\dot{i}_{L2} = \frac{1}{L_2 + L_C} [i_{cv}(R_D) + i_{L2}(R_2 + R_C + R_D) - V_{cv} + V_c] \quad (4.6)$$

Visto que, a corrente no capacitor é dada por Cdv/dt a Equação 4.4 pode ser reescrita como:

$$\dot{V}_c = \frac{1}{C_f} [i_{cv} - i_{L2}] \quad (4.7)$$

As Equações 4.5, 4.6 e 4.7 podem ser reescritas na forma de matrizes de espaço de estados Equação 4.8a, na qual a representação completa pode ser

obtida pela Equação 4.9.

$$\dot{x} = Ax + Bu \quad (4.8a)$$

$$y = Cx + Du \quad (4.8b)$$

$$\begin{bmatrix} \dot{i}_{cv} \\ \dot{i}_{L2} \\ \dot{V}_C \end{bmatrix} = \begin{bmatrix} -\frac{R_1+R_D}{L_1} & \frac{R_D}{L_1} & \frac{-1}{L_1} \\ \frac{R_D}{L_2+L_c} & -\frac{R_2+R_C+R_D}{L_2+L_c} & \frac{1}{L_2+L_c} \\ \frac{1}{C_f} & -\frac{1}{C_f} & 0 \end{bmatrix} \cdot \begin{bmatrix} i_{cv} \\ i_{L2} \\ V_C \end{bmatrix} + \begin{bmatrix} -\frac{1}{L_1} & 0 \\ 0 & -\frac{1}{L_2+L_C} \\ 0 & 0 \end{bmatrix} \cdot \begin{bmatrix} V_{cv} \\ V_2 \end{bmatrix} \quad (4.9)$$

A Equação de saída (y), Equação 4.10, pode ser escrita no formato de espaço de estados definido pela Equação 4.8b. Esta representação descreve a saída em função das variáveis de estado para filtro de saída LCL e carga genérica RL, resultando na Equação 4.11 para i_{L2} .

$$y = i_{L2} = (0)i_{cv} + (1)i_{L2} + (0)V_c + (0)V_{cv} + (0)V_2 \quad (4.10)$$

$$y = \begin{bmatrix} 0 & 1 & 0 \end{bmatrix} \cdot \begin{bmatrix} i_{cv} \\ i_{L2} \\ V_C \end{bmatrix} + \begin{bmatrix} 0 & 0 \end{bmatrix} \cdot \begin{bmatrix} V_{cv} \\ V_2 \end{bmatrix} \quad (4.11)$$

Para $y = i_{cv}$ assume-se $C = [1 \ 0 \ 0]$ e para $y = V_c$ assume-se $C = [0 \ 0 \ 1]$.

4.5.1 Projeto do Filtro LCL com modulação à 1080Hz

Esta condição de operação pode ser classificada como crítica devido a baixa frequência de chaveamento, nos quais os critérios de afastamento entre frequência fundamental, frequência de ressonância do sistema e frequência de modulação nem sempre são respeitados. Conseqüentemente, os critérios para dimensionamento dos componentes passivos do filtro são explorados ao limite e em certos casos negligenciados, como limites entre frequências e balanço de

potência reativa.

Nessa condição o modulador SHE possui uma vantagem se comparado a outros moduladores como o SV-PWM, devido ao problema de espalhamento dos harmônicos e *side – band*. Para o projeto do filtro senoidal de saída considerou-se os parâmetros da Tabela 4.12, e o procedimento descrito na Seção 3.5 para frequência de chaveamento em 1080hz e o modulador SV-PWM. Dessa forma, o primeiro harmônico significativo está na frequência de 840hz.

A Tabela 4.13 apresenta o projeto para o filtro LCL, no qual foi estabelecido um *ripple* máximo de 25% da corrente nominal e as características de carga apresentadas na Tabela 4.12.

Tabela 4.13: Parâmetros Filtro LCL para F_c de 1080hz.

Parâmetro	Valor	Unidade
ΔI_{max}	25	$[\%I_n [p - p]]$
Indutor L_1	1,65	[mH]
R série rL_1	66	[m Ω]
Capacitor C_f	70	[μF]
R série rC_f	10	[m Ω]
Indutor L_2	0,165	[mH]
R série rL_2	6	[m Ω]
Frequência Res.	600	[Hz]
Q L_1	32,7	[%VAbase]
Q L_2	7,49	[%VAbase]
Q C_f	5,0	[%VAbase]
ZL_{out}/ZC_f	8,3	[]

A resposta em frequência do filtro foi obtida a fim de se observar e avaliar o filtro LCL projetado para frequência de chaveamento de 1080Hz utilizando o SV-PWM, Figura 4.39. Para tal, foi utilizada a função de transferência entre a corrente na carga e a corrente no conversor, definida pela Equação 3.26, apresentada na seção 3.5. Também realizou-se a variação do resistor série do capacitor C_f , resistor de *damping*. Observa-se que, com o aumento do resistor de amortecimento, diminui-se o pico de ressonância, todavia, a atenu-

ação do filtro após a frequência de ressonância é reduzida de $60\text{dB}/\text{dec}$ para $40\text{dB}/\text{dec}$ para o resistor R_D de 10Ω . Mesmo que a diferença de atenuação não implique em prejuízos maiores, a utilização do resistor de amortecimento introduz mais perdas ao sistema. Assim, pôde-se optar por outras estratégias via *software*, denominadas amortecimento por resistor virtual/ativo *active-damping*. Estas técnicas podem ser utilizadas gerando resultados aceitáveis, (Yan et al.; 2015), (Liu et al.; 2011) e (Ge et al.; 2017).

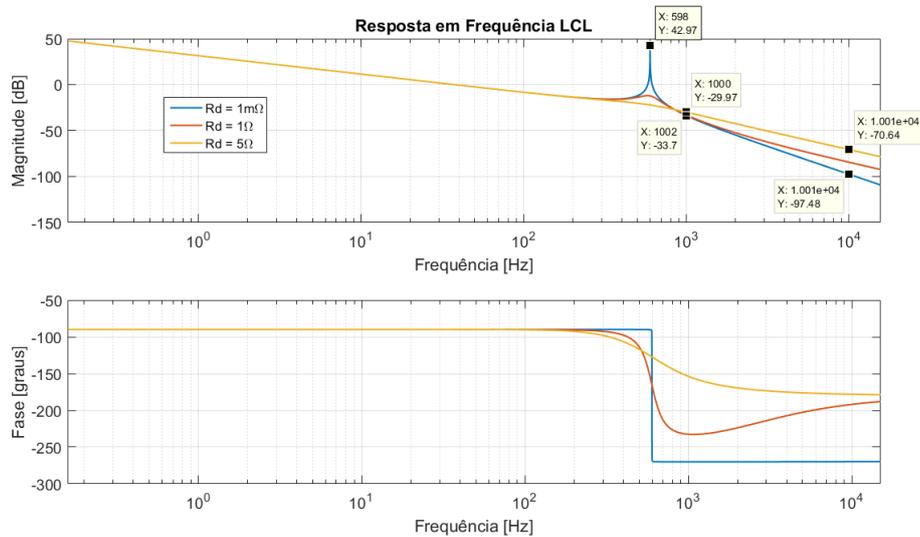
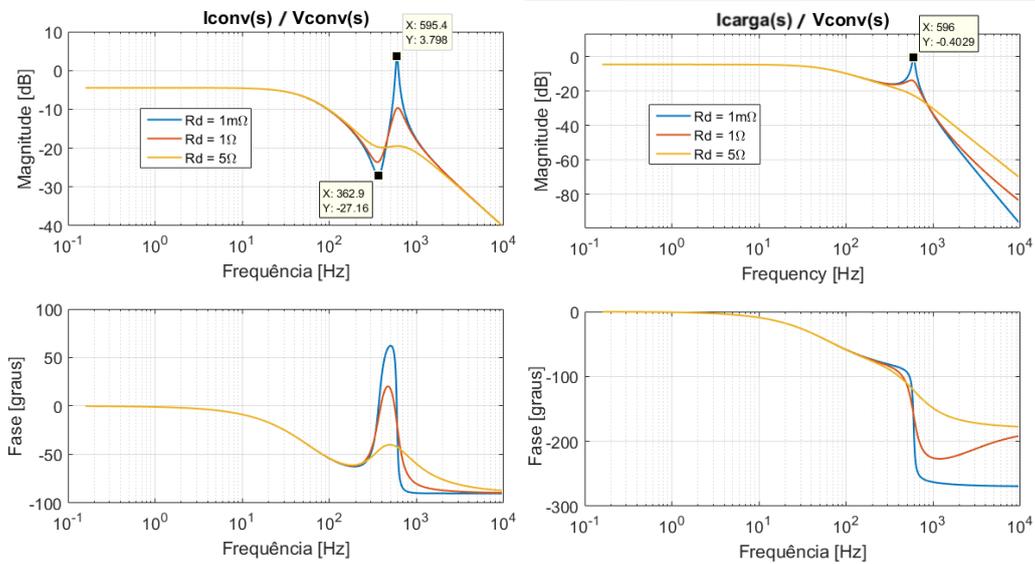


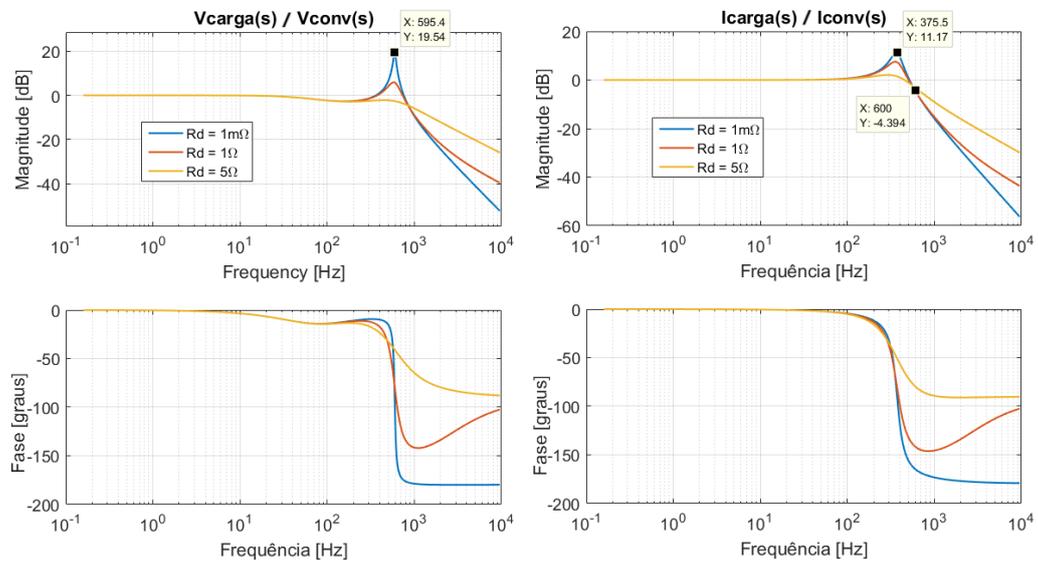
Figura 4.39: Resposta em frequência LCL . Fonte: Desenvolvida pelo autor.

A resposta em frequência para verificação do projeto do filtro LCL e carga genérica RL, foi obtida utilizando as equações diferenciais que descrevem o circuito equivalente do sistema em espaço de estados apresentado anteriormente. Com isso, as relações de entrada e saída que descrevem a dinâmica do sistema considerando o filtro LCL são apresentadas nas Figuras 4.40a, 4.40b, 4.41a e 4.41b.



(a) Corrente do conv. x Tensão no conv. (b) Corrente na carga x Tensão do conv.

Figura 4.40: Resposta em frequência do circuito equivalente LCL e Carga. Fonte: Desenvolvida pelo autor.



(a) Tensão na carga x saída do conv. (b) Corrente na carga x saída do conv.

Figura 4.41: Resposta em frequência do circuito equivalente LCL e Carga. Fonte: Desenvolvida pelo autor.

A atenuação introduzida pelo filtro pode ser verificada considerando o ganho

de corrente na saída do conversor e corrente na carga de $-4.394dB$ em 600Hz, Figura 4.41b. Verifica-se a correta atenuação considerando as FFT's da corrente da saída do conversor e da carga, Figuras 4.42b e 4.43b. Observa-se a correta atenuação do harmônico em 600Hz de 11.31A para 6.82A, aplicando o ganho de $-4.394dB$. Em decorrência do espalhamento dos harmônicos de baixa frequência, utilizando o modulador SV-PWM, alguns harmônicos são amplificados mesmo na condição de operação nominal de 60Hz.

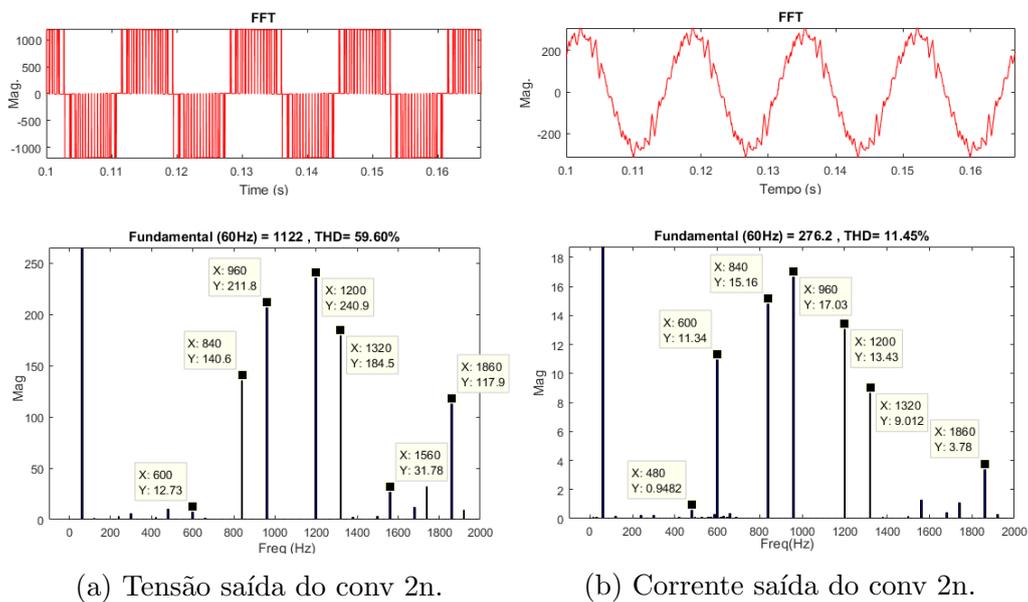


Figura 4.42: FFT corrente e tensão, utilizando filtro LCL e modulador SV-PWM.. Fonte: Desenvolvida pelo autor.

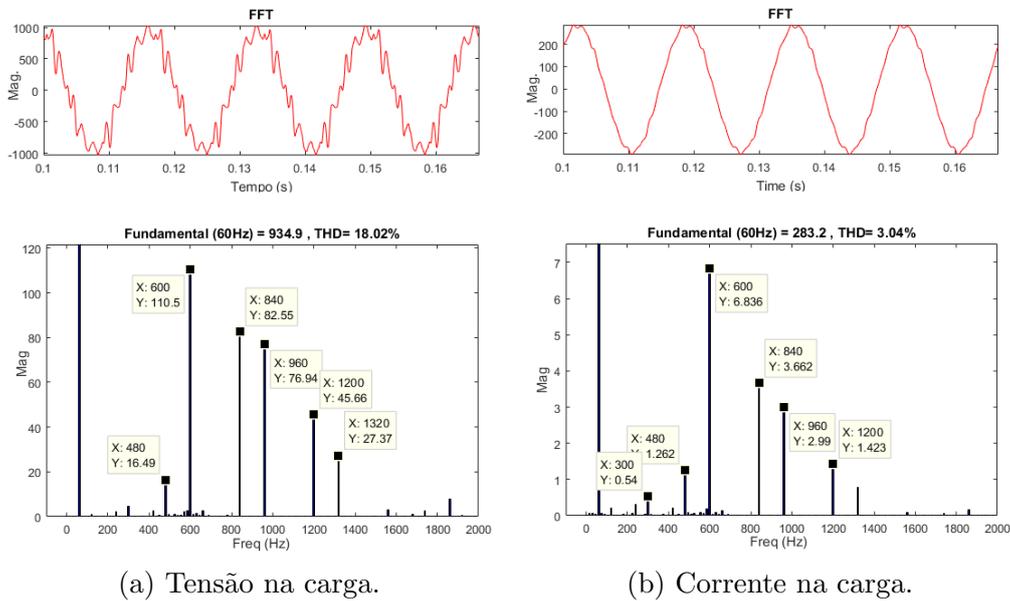
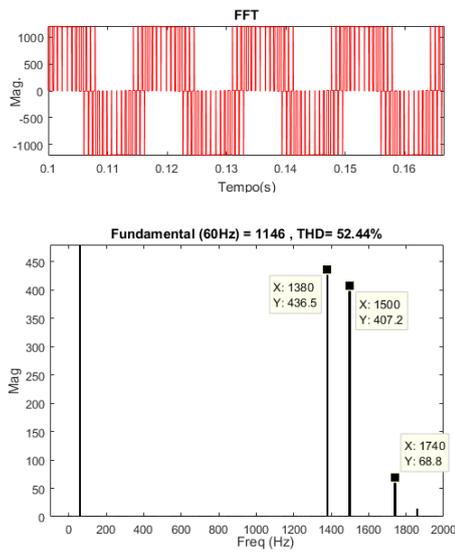


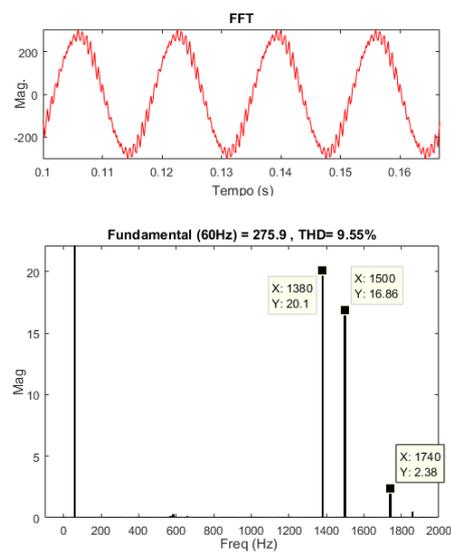
Figura 4.43: FFT corrente e tensão, utilizando filtro LCL e modulador SV-PWM.. Fonte: Desenvolvida pelo autor.

O modulador SHE-PWM mesmo em operando em uma frequência de modulação média de 900Hz, abaixo para a qual foi projetado o filtro de saída, apresentou bom desempenho não observando nenhum harmônico abaixo de 1380Hz, primeiro harmônico na saída não eliminado. Também pôde-se observar uma menor distorção harmônica para tensão e corrente na carga quando comparado ao SV-PWM. Esta configuração para o SHE-PWM de equivalência do primeiro harmônico demonstra a capacidade de operar com frequência de modulação mais baixas, e alta previsibilidade em relação ao primeiro harmônico na saída quando comparado ao o SV-PWM.

Outra condição de equivalência seria entre frequências de chaveamento dos os moduladores SHE-PWM e SV-PWM, assim para a condição de 1080Hz poderia-se utilizar o SHE-Bipolar operando com 9 ângulos. O que, resultaria em uma frequência média de modulação de 1140Hz e primeiro harmônico na saída em 1740Hz para frequência fundamental de 60Hz, contudo ocorreria o aumento nas perdas de chaveamento.

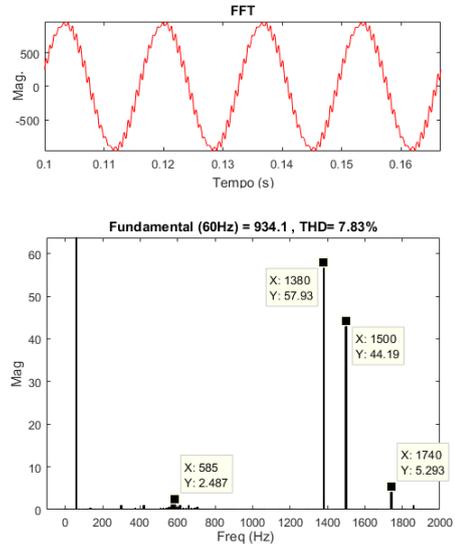


(a) Tensão saída do conv. 2n.

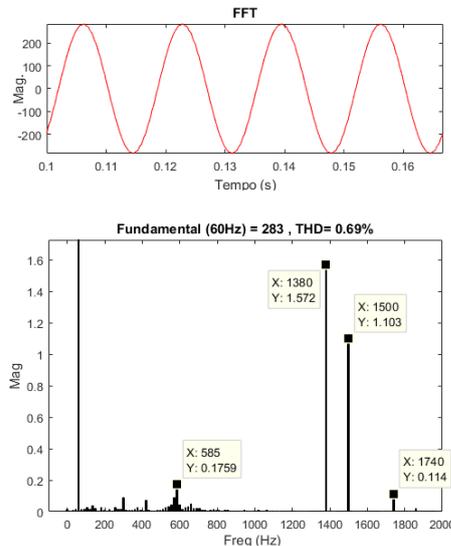


(b) Corrente saída do conv. 2n.

Figura 4.44: FFT da corrente e tensão, utilizando filtro LCL e modulador SHE-PWM. Fonte: Desenvolvida pelo autor.



(a) Tensão na carga.



(b) Corrente na carga.

Figura 4.45: FFT da corrente e tensão, utilizando filtro LCL e modulador SHE-PWM. Fonte: Desenvolvida pelo autor.

4.5.2 Estudo comparativo do filtro de saída e perdas

Nesta seção serão considerados os estudos de perdas em função da utilização de dispositivos de silício e carbeto de silício, os moduladores SHE-PWM e SV-PWM e as topologias de conversores. Também será considerado o estudo do projeto de filtro de saída, assim como serão estimadas de forma correlacional as perdas nos componentes passivos do filtro.

Conversor de dois níveis

As perdas obtidas para os dispositivos na Seção 4.3.3 e Figura 4.27, indicam a possibilidade de obter baixas perdas com configurações distintas. A configuração com o modulador SV-PWM com frequência de chaveamento de 1080Hz e dispositivos IGBT's de Si , é um dos extremos, visto que, opta-se por utiliza uma frequência de modulação extremamente baixa para se conseguir baixas perdas no conversor. Porém, a configuração requer um filtro de saída considerável mesmo para requisitos mínimos, visto a especificação de 25% para *ripple* na corrente de saída do conversor. Como foi observado nos resultados obtidos na Sub-Seção 4.5.1.

Como o projeto e resultados para o filtro LCL para a primeira configuração já foi devidamente apresentado na Sub-Seção 4.5.1, este será comparado aos resultados da configuração oposta. Na qual, utilizou-se o SHE-Bipolar com PHS em 10khz e os dispositivos MOSFET's de SiC , para o conversor de dois níveis. Esta configuração com SHE-Bipolar e frequência do primeiro harmônico na saída de 10020Hz resulta em frequência real de chaveamento de 6660Hz. Assim, o filtro de saída senoidal foi projetado utilizando o mesmo procedimento da Seção 4.5.1.

Nessa condição de operação assumiu um *ripple* máximo de 15% da corrente nominal, e as características de carga apresentadas na Tabela 4.12. Dentre as quais, uma possível configuração do filtro para o modulador SHE-Bipolar com PHS em aproximadamente 10kHz é apresentada Tabela 4.14.

Tabela 4.14: Parâmetros Filtro LCL para F_{PHS} de 10kHz e SHE-Bipolar.

Parâmetro	Valor	Unidade
ΔI_{max}	15	$[\%I_n [p - p]]$
Indutor L_1	245	[uH]
R série rL_1	10	[m Ω]
Capacitor C_f	4	[uF]
R série rC_f	10	[m Ω]
Indutor L_2	25	[uH]
R série rL_2	1	[m Ω]
Frequência Res.	5331	[Hz]
Q L_1	4,9	$[\%V_{Abase}]$
Q L_2	0,5	$[\%V_{Abase}]$
Q C_f	0,3	$[\%V_{Abase}]$
ZL_{out}/ZC_f	17	$[\]$

A resposta em frequência do filtro foi obtida a fim de se observar e avaliar o filtro LCL projetado para frequência do primeiro harmônico de 10kHz utilizando o SHE-Bipolar, Figura 4.46.

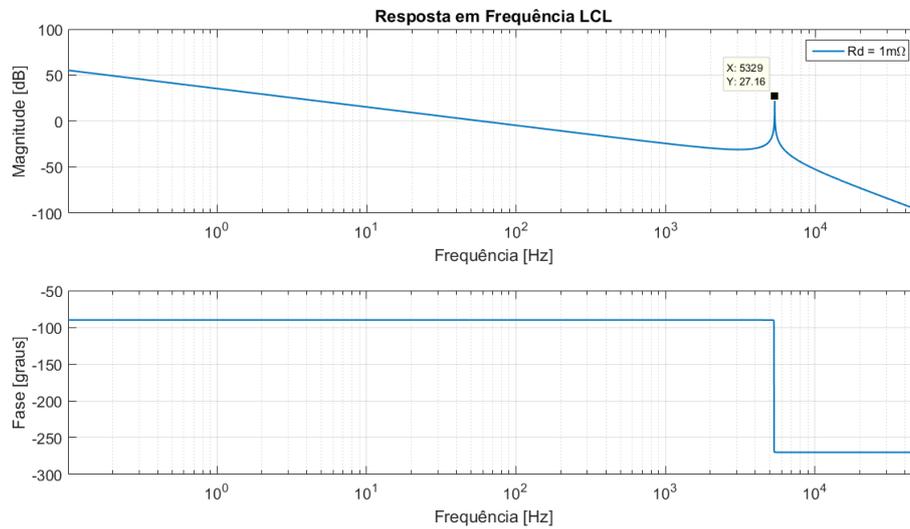
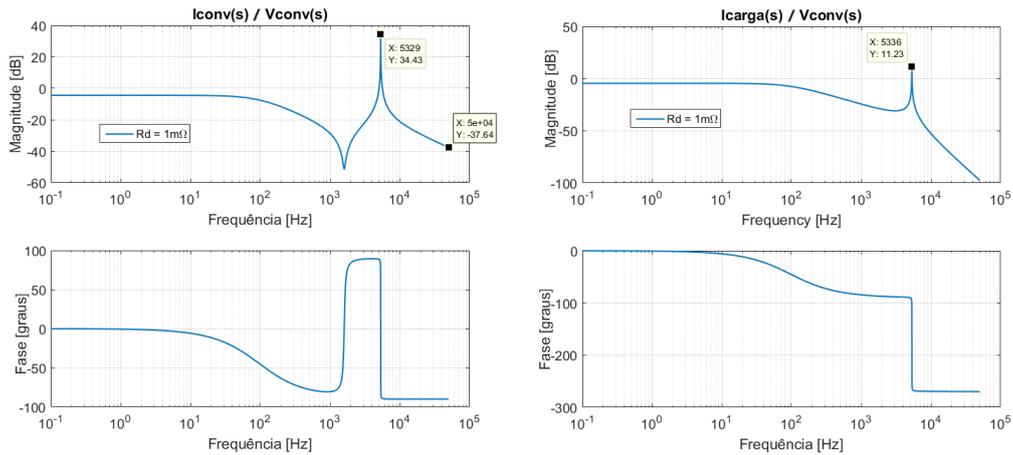


Figura 4.46: Resposta em frequência LCL ressonância em 5khz. Fonte: Desenvolvida pelo autor.

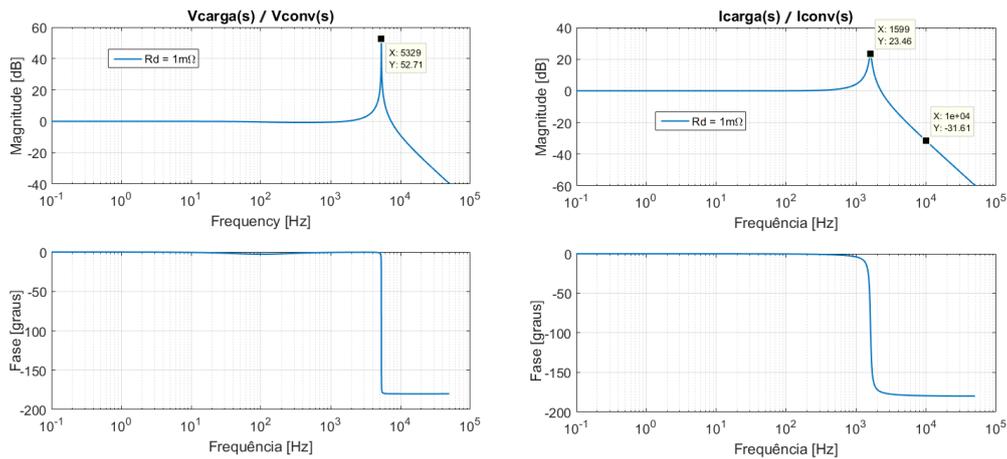
A resposta em frequência para verificação do projeto do filtro LCL, e carga

genérica RL foi obtida utilizando as equações diferenciais que descrevem o circuito equivalente do sistema, em espaço de estados apresentado anteriormente. Assim, as relações de entrada e saída que descrevem a dinâmica do sistema considerando o filtro LCL são apresentadas nas Figuras 4.47a, 4.47b, 4.48a e 4.48b.



(a) Corrente do conv. x Tensão no conv. (b) Corrente na carga x Tensão do conv.

Figura 4.47: Resposta em frequência do circuito equivalente LCL e Carga, para f_C de 10kHz. Fonte: Desenvolvida pelo autor.



(a) Tensão na carga x saída do conv. (b) Corrente na carga x saída do conv.

Figura 4.48: Resposta em frequência do circuito equivalente LCL e Carga, para f_C de 10kHz. Fonte: Desenvolvida pelo autor.

As formas de onda e o espectro harmônico para condição nominal utilizando o modulador SHE-Bipolar com filtro de saída senoidal projetado são apresentados nas Figuras 4.49 e 4.50. Para o projeto foi considerado o primeiro harmônico na saída em 10kHz, frequência real de modulação de 6660Hz e *ripple* máximo de 15%,

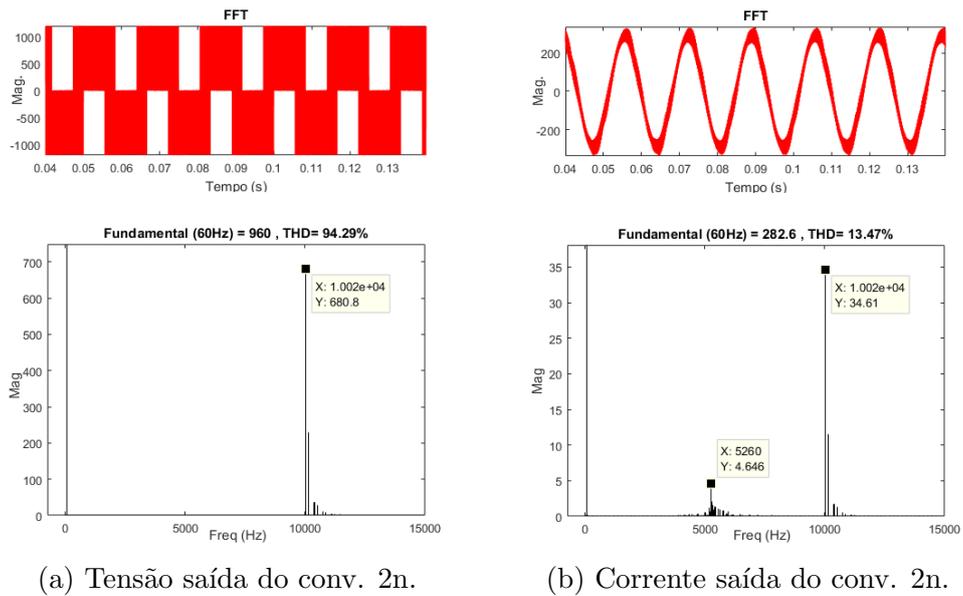


Figura 4.49: Resultados filtro LCL, utilizando modulador SHE-B com primeiro harmônico em 10020Hz . Fonte: Desenvolvida pelo autor.

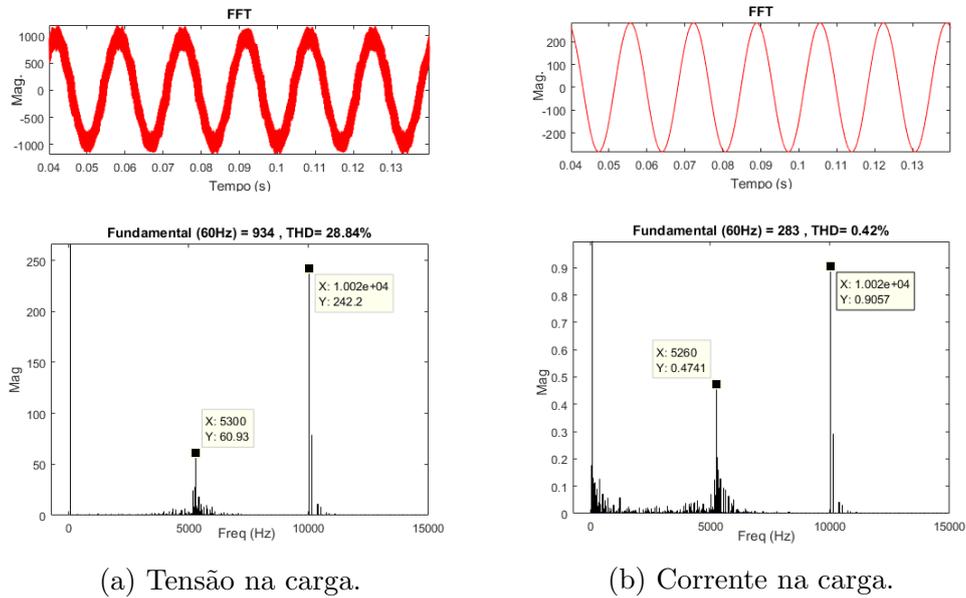


Figura 4.50: Resultados filtro LCL, utilizando modulador SHE-B com primeiro harmônico em 10020Hz . Fonte: Desenvolvida pelo autor.

Comparativo de perdas Conversor 2n:

Os resultados comparativos entre as duas configurações, baixa modulação com modulador SV-PMW e dispositivos semicondutores de silício, e a segunda com elevada frequência de chaveamento com SHE-Bipolar e dispositivos de carbeto de silício são apresentados na Figura 4.51. Os componentes dos filtros utilizados no testes são apresentados nas Tabelas 4.13 e 4.14, respectivamente, para as configurações SV-Si e SHE-SiC. Para os testes assumiu-se para o caso SHE-SiC o valor da resistência série do indutor rL_1 de $10m\Omega$, assim obtêm-se as resistências série para os outros indutores, que para o caso do SV-Si chega a ser 6.6 vezes maior.

Var.	SV2L-1080Hz	SHE-B-PHS10kHz
Freq. Ref [Hz]	60	60
Conv. CL. IGBT [W]	365,98	555,33
Conv. CL. DRL A [W]	48,58	64,11
Conv. CL. Clamp A [W]	0,00	0,00
Conv. CL. ABC [W]	414,55	619,44
Conv. Chav. IGBT A [W]	185,16	112,26
Conv. Chav. DRL A [W]	60,74	0,00
Conv. Chav. ABC [W]	245,90	112,26
Perdas Conv. [W]	1976,81	2198,94
Perdas Indutor [W]	8491,3	1349,0
Perdas Capacitor [W]	26,0	23,2
Perdas Totais [W]	10494,04	3571,15
Rend Conv. []	0,991	0,989
Rend Filtro. []	0,960	0,993
Rend. Conv.+Filtro []	0,951	0,983
Vab Inv Rms [V]	935,4	938,0
Ia Inv Rms [A]	197,1	202,3
Vab Load Rms [V]	673	691
Ia Load Rms [V]	200,9	200,8
Vcc [V]	1200,00	1200,00
Icc [A]	177,36	169,94
P Vcc [kW]	212,83	203,92
P Inv. [kW]	210,33	202,12
P Carga [kW]	201,92	201,81
P Conv. [kVA]	275,66	228,09
P Carga [kVA]	230,93	230,56
PF Conv. []	0,763	0,886
PF Carga []	0,874	0,875
Conv. THD (Van)	44,73	16,31
Carga THD (Van)	17,80	0,78
Conv. THD (Ia)	11,54	0,45
Carga THD (Ia)	2,93	0,24

Figura 4.51: Comparativo entre SV-Si e SHE-SiC e filtros LCL. Fonte: Desenvolvida pelo autor.

Deve-se considerar que a configuração com frequência de chaveamento elevada e utilizando o modulador SHE é uma dentre várias possíveis, porém o objetivo é evidenciar o ganho com a utilização do modulador SHE-PWM e os dispositivos de carbeto de silício. Analisando somente as perdas no conversor de condução e chaveamento não ocorreu grandes alterações quando comparados aos resultados da subseção 4.3.3. Porém, quando se contabiliza as perdas nos dispositivos passivos do filtro para o projeto de baixa frequência de chaveamento, percebe-se grande elevação nas perdas totais estimadas. Pondera-se que, nos cálculos das perdas do filtro não foram considerados a tecnologia dos materiais dos componentes e perdas de histerese e *foucault*, somente foram estimadas as perdas em função da variação dos componentes

passivos do filtro linearmente. O que, pode ocasionar no aumento das perdas para segunda configuração de maior frequência de chaveamento.

Projeto Filtro LCL para topologia 3n

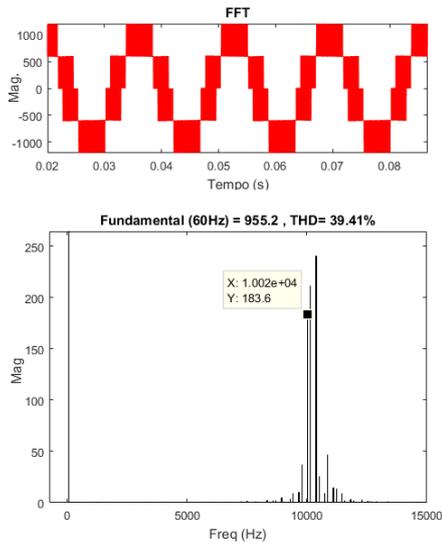
Esta segunda parte do estudo tem como objetivo verificar os ganhos de redução do filtro de saída e de perdas utilizando o conversor de três níveis NPC. Para tal, será considerado configuração com dispositivos de *SiC* e o modulador SHE-PWM, por ter apresentado o melhor desempenho no estudo realizado na Sub-Seção 4.3.3.

Para mensurar o ganho efetivo serão assumidos as mesmas premissas para a configuração de dois níveis, assim como, o mesmo procedimento para definição do filtro de saída. Desta forma, utilizará o modulador SHE-Unipolar com filtro de saída senoidal projetado para primeiro harmônico na saída em 10020Hz, frequência real de modulação de 6600Hz e *ripple* máximo de 15%. Dentre as quais, uma possível configuração do filtro de saída é apresentada Tabela 4.15.

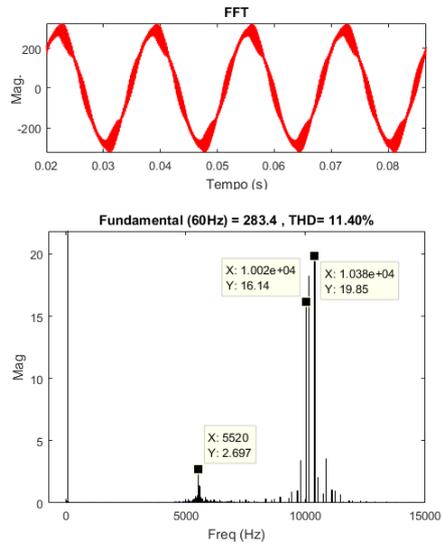
Tabela 4.15: Parâmetros Filtro LCL para F_{PHS} de 10kHz e SHE-Unipolar.

Parâmetro	Valor	Unidade
ΔI_{max}	15	$[\%I_n[p - p]]$
Indutor L_1	150	[uH]
R série rL_1	6	[m Ω]
Capacitor C_f	6	[uF]
R série rC_f	15	[m Ω]
Indutor L_2	15	[uH]
R série rL_2	0,6	[m Ω]
Frequência Res.	5475	[Hz]
Q L_1	3	[%VAbase]
Q L_2	0,3	[%VAbase]
Q C_f	0,4	[%VAbase]
ZL_{out}/ZC_f	25	[]

As formas de onda e o espectro harmônico para condição nominal utilizando o modulador SHE-Unipolar com filtro de saída senoidal são apresentados nas Figuras 4.52 e 4.53.

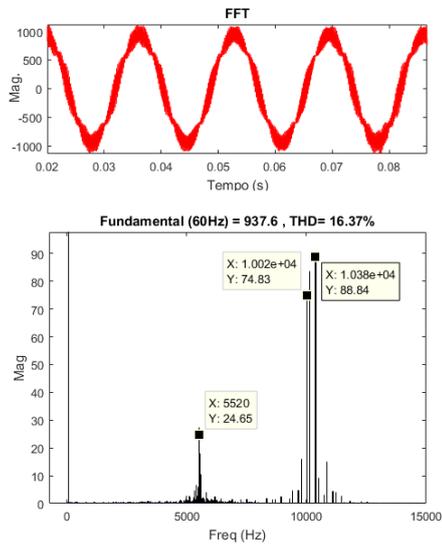


(a) Tensão saída do conv. 3n.

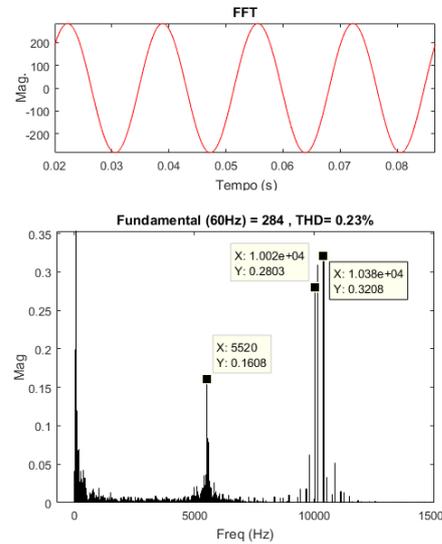


(b) Corrente saída do conv. 3n.

Figura 4.52: Resultados filtro LCL, utilizando modulador SHE-U com primeiro harmônico em 10020Hz . Fonte: Desenvolvida pelo autor.



(a) Tensão na carga.



(b) Corrente na carga.

Figura 4.53: Resultados filtro LCL, utilizando modulador SHE-U com primeiro harmônico em 10020Hz . Fonte: Desenvolvida pelo autor.

Comparativo de perdas Final:

Na configuração 3n NPC foi mantido o mesmo critério para estimar as perdas nos componentes passivos do filtro de saída. Assumiu-se novamente o valor da resistência série do indutor e capacitor da configuração SHE-SiC de dois níveis como base, Tabela 4.14. Assim, obteve-se o valor para a configuração com o conversor de três níveis NPC, valores apresentados na Tabela 4.14. Esta metodologia é justificada, visto que, o objetivo do trabalho é avaliar de forma direta o efeito das diferentes configurações. De tal forma, não se julga necessário aprofundar no estudo de perdas no filtro LCL senoidal.

Os resultados considerando a configuração de três níveis são apresentados na Figura 4.54. Os quais, justificam a utilização da topologia de conversor de três níveis NPC à topologia convencional quando se observa a redução das perdas totais em 18%. As quais, estão relacionadas com a redução das perdas no filtro de saída e chaveamento, que prevaleceram sobre o aumento das perdas de condução. Esse aumento ocorre em consequência do maior número de componentes, inerente da topologia três níveis NPC. Também analisando os resultados apresentados na Figura 4.54 verifica-se um excelente desempenho considerando os valores de THD para o conversor de três níveis NPC.

Var.	SV2L-1080Hz	SHE-B-PHS10kHz	SHE-U-PHS10kHz
Freq. Ref [Hz]	60	60	60
Conv. CL. IGBT [W]	365,98	555,33	526,69
Conv. CL. DRL A [W]	48,58	64,11	1,51
Conv. CL. Clamp A [W]	0,00	0,00	113,29
Conv. CL. ABC [W]	414,55	619,44	641,50
Conv. Chav. IGBT A [W]	185,16	112,26	54,05
Conv. Chav. DRL A [W]	60,74	0,00	0,00
Conv. Chav. Clamp A [W]	0,00	0,00	0,00
Conv. Chav. ABC [W]	245,90	112,26	54,05
Perdas Conv. [W]	1976,81	2198,94	2087,97
Perdas Indutor [W]	8491,3	1349,0	804,8
Perdas Capacitor [W]	26,0	23,2	25,2
Perdas Totais [W]	10494,04	3571,15	2917,99
Rend Conv. []	0,991	0,989	0,990
Rend Filtro. []	0,960	0,993	0,996
Rend. Conv.+Filtro []	0,951	0,983	0,986
Vab Inv Rms [V]	935,4	938,0	747,2
Ia Inv Rms [A]	197,1	202,3	201,7
Vab Load Rms [V]	673	691	672
Ia Load Rms [V]	200,9	200,8	200,8
Vcc [V]	1200,00	1200,00	1200,00
Icc [A]	177,36	169,94	170,43
P Vcc [kW]	212,83	203,92	204,51
P Inv. [kW]	210,33	202,12	202,35
P Carga [kW]	201,92	201,81	201,76
P Conv. [kVA]	275,66	228,09	232,73
P Carga [kVA]	230,93	230,56	230,57
PF Conv. []	0,763	0,886	0,869
PF Carga []	0,874	0,875	0,875
Conv. THD (Van)	44,73	16,31	7,81
Carga THD (Van)	17,80	0,78	0,33
Conv. THD (Ia)	11,54	0,45	0,29
Carga THD (Ia)	2,93	0,24	0,07

Figura 4.54: Comparativo entre SV-Si e SHE-SiC e filtros LCL. Fonte: Desenvolvida pelo autor.

4.6 Conclusões

Na primeira seção deste capítulo foram apresentados os resultados provenientes da aplicação da metodologia para obtenção dos mapas para o algoritmo SHE unipolar e bipolar. Na seção seguinte, foram apresentados alguns critérios possíveis para o projeto das trocas de mapas do modulador SHE, que produz equivalência com os moduladores vetoriais como o SV-PWM. Na Seção 4.2 também foram apresentados resultados iniciais entre os moduladores SV-PWM e SHE-PWM. Os quais, observou-se características do espectro

harmônico para definição do critério utilizado para gerar equivalência entre os moduladores nos testes subsequentes.

Na seção 4.3 foram realizadas as definições dos dispositivos semicondutores, considerando as características operacionais para aplicação nos conversores de dois e três níveis. Assim como: potência nominal, tecnologia do dispositivo, características operacionais de chaveamento e condução, dentre outros aspectos apresentados. Também foi apresentado um estudo do modelo para cálculo de perdas utilizando o *software* PLECS-Matlab. Por fim, foram apresentados resultados considerando os moduladores SHE-PWM e SV-PWM e os dispositivos de *Si* e *SiC* aplicados as topologias de conversores de dois e três níveis. A seção seguinte, é uma continuação do estudo de perdas, no qual foram apresentados resultados e análises comparativas entre as topologias de dois e três níveis NPC ponderando aspectos positivos e negativos.

Na última seção 4.5 foi apresentado o projeto do filtro de saída considerando as características da carga definida no início do capítulo. Assim como, os resultados de desempenho considerando a atenuação harmônica e de perdas totais. Sempre considerando as perdas provenientes dos dispositivos semicondutores e dos elementos passivos do filtro. Das quais, as perdas nos elementos passivos indutor e capacitor foram obtidas por aproximação das resistências série proporcionalmente ao aumento e redução dos componentes. Foram consideradas duas condições extremas para o conversor de dois níveis, com o objetivo de demonstrar a possibilidade de manter as perdas no conversor baixas aumentando a frequência de chaveamento, devido a utilização do modulador SHE-PWM e dos dispositivos de *SiC*. Por fim, apresentou-se o projeto do filtro para o conversor três níveis NPC, mantendo as mesmas restrições do conversor convencional. Os resultados apresentaram redução dos componentes passivos do filtro, redução de perdas e melhoria da THD de corrente e tensão.

Conclusão e Propostas de Continuidade

Neste ultimo capítulo serão apresentadas as conclusões gerais, considerações sobre o estudo realizado e propostas de continuidade.

Conteúdo

5.1 Conclusão	127
5.2 Proposta de Continuidade	131

5.1 Conclusão

A revisão bibliográfica apresentada no Capítulo 2, abordou de forma gradual a evolução dos dispositivos semicondutores de potência até a atual tecnologia de semicondutores de banda larga. Os quais são avaliados nesse trabalho, assim como, as topologias de conversores e moduladores. Foram discutidas as duas topologias de conversores evidenciando suas vantagens e desvantagens e os moduladores SHE-PWM e SV-PWM para as duas topologias. O modulador SV-PWM foi estudado no Capítulo 2 de forma mais superficial, visto que, no estudo proposto o modulador serviu como referência para as comparações como o SHE-PWM. Inicialmente a revisão do modulador SHE-PWM limitou-se ao equacionamento matemático, que posteriormente, seria utilizado para maior aprofundamento. Entende-se que, o capítulo foi fundamental para fornecer ao leitor uma base para os capítulos subsequentes, abordando os pontos base para o estudo.

O terceiro capítulo foi fundamental para o detalhamento do modulador SHE-PWM Unipolar e Bipolar. Para ambos foi apresentado o devido detalhamento para obtenção dos mapas utilizando o processo *offline* e em seguida a implementação dos moduladores. Observa-se que, uma das principais contribuições do estudo é apresentada na Seção 3.2.1 do capítulo. Na qual, define-se principalmente para o SHE-Bipolar um método prático para se obter a solução das equações para eliminação elevada de harmônicos. Dessa

forma, são definidas as corretas equações para as condições iniciais e o método para obtenção dos mapas SHE com número elevados de ângulos. No capítulo também é apresentado uma metodologia de implementação do modulador SHE-PWM Unipolar e Bipolar, respectivamente, para os conversores de três níveis NPC e dois níveis convencional.

A segunda parte do terceiro capítulo Seção 3.3, foi destinada a revisão das principais características dos semicondutores de potência sob estudo. Sendo, necessária para as argumentações sobre as características de operação dos dispositivos. A qual, é uma introdução para a Seção 3.4, na qual justifica-se o método de simulação utilizado para obtenção dos resultados de perdas. O qual, deve considerar as interações entre todos os elementos do sistema como, algoritmo de modulação, filtros de saída e característica de carga, para correta quantificação das perdas no conversor eletrônico. No qual, a última seção do capítulo foi apresentado um estudo detalhando para o projeto do filtro de saída. Em que, foram definidos pontos fundamentais como a topologia do conversor e característica de modulação para otimização dos componentes passivos do filtro senoidal. Também definiu-se os critérios necessários para o projeto do filtro LCL, considerando as frequências de chaveamento, ressonância e da fundamental. Tais quais, foram essenciais para as soluções de filtros de saída apresentadas no capítulo de resultados.

Os resultados obtidos no quarto Capítulo 4, são consequência de toda fundamentação teórica e metodológica escritas nos capítulos anteriores. Verificou-se o desempenho entre os dispositivos semicondutores e moduladores para os conversores de dois e três níveis NPC. Os resultados obtidos sem filtro de saída foram fundamentais para determinar o real desempenho entre os dispositivos semicondutores e moduladores. Os quais, demonstraram reduções significativas com a substituição dos componentes de Si por SiC , e do SV-PWM pelo SHE-PWM. Entende-se que os ganhos com a utilização do SiC ficam evidentes com frequências de chaveamento superiores a 2kHz. Na qual, os dispositivos de Si passam a apresentar perdas de chaveamento muito grandes, o que inviabiliza a utilização dos mesmos.

A redução de perdas com a utilização do modulador SHE são claramente observadas para as configurações com dispositivos de Si . Devido a possibi-

lidade de reduzir a frequência de chaveamento, mantendo o PHS na mesma frequência que o modulador SV-PWM. O que pode ser considerado para minimizar o problema da utilização dos dispositivos de Si em frequências de chaveamento superiores a 2kHz.

Os resultados comparativos de perdas entre os conversores de dois e três níveis NPC foram apresentados na Seção 4.4. Entende-se que, a redução da topologia de $2n$ para $3n$ é evidente quando se utiliza os dispositivos de Si , chegando a 52% com o SV-PWM. Esta redução está diretamente vinculada às perdas de chaveamento, visto as melhores características dos dispositivos e redução da tensão de bloqueio. Quando utilizou-se os dispositivos de SiC observou-se reduções menores, em consequência da parcela das perdas de chaveamento serem muito baixas e as perdas de condução ficarem semelhantes. Assim, limitando-se as perdas o conversor de três níveis NPC é uma alternativa justificável ao dois níveis quando se utiliza dispositivos de Si . Sendo possível optar por dispositivos de SiC a utilização da topologia $3n$ à $2n$ não é justificada, visto a complexidade do conversor de três níveis frente ao convencional. Visto que, as reduções de perdas totais foram somente de 12% com o SV-PWM e de 7% com o SHE-PWM, para valores de perdas extremamente baixos.

Na última Seção 4.5 apresentou-se inicialmente o processo para definição do filtro de saída. O projeto considerou a frequência de chaveamento de 1080Hz, justamente para verificar o desempenho dos moduladores SV-PWM e SHE-PWM, à esta condição crítica. Os resultados demonstram que o espalhamento dos harmônicos presente no SV-PWM é um problema evidente quando as frequências fundamental, de ressonância e de chaveamento estão muito próximas. Os quais, demonstram que os harmônicos próximos da frequência de chaveamento foram amplificados.

No estudo comparativo do filtro de saída e perdas observou-se a possibilidade de transitar entre condições de operação opostas para mesmas perdas no conversor. De tal forma, verificou-se a redução dos componentes passivos do filtro substituindo os dispositivos de Si por SiC e o modulador SV-PWM pelo SHE-PWM para o conversor de dois níveis inicialmente. Para tal modificação, obteve-se uma redução dos indutores do filtro LCL de aproximadamente

6 vezes e do capacitor de 17 vezes, para uma corrente na saída com *ripple* 40% menor. No qual, o aumento das perdas totais no conversor foi de aproximadamente 500 Watts. Porém, considerando um aumento linear nas perdas dos componentes passivos verificou-se que as perdas aumentam também cerca de 6 vezes, o que inviabiliza totalmente o projeto conversor mais filtro de saída. Na segunda parte realizou-se o mesmo projeto considerando a utilização de *SiC* e SHE-PWM com PHS em 10kHz para o conversor de três níveis NPC. Com esta configuração, obteve-se uma redução de quase 650 Watts de dissipação divididas entre redução de 100W nas perdas do conversor e 550 no filtro de saída.

Ambas configurações com conversor de dois e três níveis NPC apresentam excelente desempenho. Todavia, considerando o custo do conversor para aplicações que se pode assumir essa diferença de perdas a topologia dois níveis seria mais indicada. Assim como, para aplicações que as restrições de IEM, eficiência são preponderantes a configuração utilizando o conversor de três níveis é totalmente justificada.

Contudo, entende-se que o presente trabalho obteve resultados satisfatórios dentro do escopo proposto. Contribuindo com o estudo das técnicas de modulação com eliminação seletiva de harmônicos. No qual, foi apresentado resultados comprobatórios da implementação do SHE-Bipolar para eliminação de harmônicos de alta ordem. Assim como, apresentou-se uma abordagem prática para obter ganhos com a utilização do SHE-PWM referentes a redução dos componentes dos filtro de saída e perdas do conversor.

Conclui-se também que, a utilização dos dispositivo de banda larga *SiC* introduzem ganhos significativos de eficiência para frequências a partir de 2kHz para a faixa de potência em estudo e com os atuais dispositivos. De tal forma, abre um novo caminho para aplicações como aeronáutica e automobilística, dentre outras. Julga-se que os objetivos de avaliar e ponderar a utilização dos dispositivos de *SiC* aos *Si* foram feitos de forma satisfatória e coerente com as condições de contorno estabelecidas.

5.2 Proposta de Continuidade

Considerando as contribuições deste trabalho para o estudo nos conversores estáticos de potência, e para modulação com eliminação seletiva de harmônicos, é possível extrapolar a continuidade da pesquisa, em:

- Montagem de um protótipo para validar os resultados de perdas utilizando dispositivos de banda-larga, avaliados via simulação, assim como, a redução de perdas com a utilização do modulador SHE-PWM ao SV-PWM para conversor de dois níveis e de três níveis NPC.
- Estudo do desempenho do modulador SHE-PWM em condições de controle em malha fechada, com o objetivo de verificar os problemas de dinâmica relatados na literatura, e possivelmente propor melhorias para minimização dos mesmos.
- Implementação do algoritmo para o modulador SHE-Bipolar em DSP's, FPGA's.
- Avaliar as componentes de modo comum com em consequência da utilização de frequências de chaveamento elevadas.
- Estudo das tecnologias dos materiais e construção dos componentes do filtro de saída para contornar os problemas verificados.

Bibliografia

- Agelidis, V. G., Balouktsis, A. and Balouktsis, I. (2004). On applying a minimization technique to the harmonic elimination pwm control: the bipolar waveform, *IEEE Power Electronics Letters* **2**(2): 41–44.
- Agelidis, V. G., Balouktsis, A., Balouktsis, I. and Cossar, C. (2006). Multiple sets of solutions for harmonic elimination pwm bipolar waveforms: analysis and experimental verification, *IEEE Transactions on Power Electronics* **21**(2): 415–421.
- AHMED, E., . P. C. T. (2002). Silicon carbide benefits and advantages for power electronics circuits and systems., *IEEE, 2002*, pp. 969 - 986.
- Baliga, B. (2008). *Fundamentals of Power Semiconductor Devices*, Springer.
- Cota, A. P. L. (2016). *Desenvolvimento de ferramentas computacionais para análise de perdas em conversores estáticos: Aplicação ao cálculo de rendimento de upss trifásicas de dupla conversão*, Master's thesis, PPGEE-UFGM, 2016.
- Cree, I. (2014a). *CAS300M12BM2 Rev. A*. Acessado: 28 fev. 2018.
URL: <https://www.wolfspeed.com/cas300m12bm2>
- Cree, I. (2014b). *CAS300M17BM2, Rev. A*. Acessado: 28 fev. 2018.
URL: <https://www.wolfspeed.com/cas300m17bm2>
- Diego, A. A. (2009). Dispositivos de carboneto de silício na eletrônica de potência: Uma revisão, *XX Congresso Brasileiro de Automatica* .
- EUPEC (2003). *FZ600R17KE3*, edition 2003-03-31 edn.

- Fu, W. (2015). *Design and comparison of si-based and sic-based three-phase pv*, Master's thesis, The University of Wisconsin-Milwaukee, 2015.
- GAZZONI, J. (2011). *Comparação de perdas em semicondutores em inversores zczvt*, Master's thesis, Programa de Pós-Graduação em Engenharia Elétrica - UTFPR, 2011.
- Ge, H., Zhen, Y., Wang, Y. and Wang, D. (2017). Research on lcl filter active damping strategy in active power filter system, *2017 9th International Conference on Modelling, Identification and Control (ICMIC)*, pp. 476–481.
- Guimarães, F. G., Severo, M. M., Braga, G. T. and Muniz, L. R. (2015). Shepwm with overmodulation mode in a three-level npc inverter, *2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)*, pp. 1–5.
- Guimarães, G. F., Severo, M. M. A., Braga, G. T., Muniz, L. R. and Ferreira, V. N. (2017). Control of neutral point deviation in 3-level npc converter with selective harmonic elimination, applied in wind generation systems, *2017 IEEE 8th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, pp. 1–6.
- Holtz, J. (1992). Pulsewidth modulation-a survey, *IEEE Transactions on Industrial Electronics* **39**(5): 410–420.
- Infineon (2017a). *F3L300R12MT4PB22*, edition 2017-08-23 edn. Acessado: 28 fev. 2018.
URL: <https://www.infineon.com/>
- Infineon (2017b). *FF225R17ME4P*, edition 2017-08-07 edn. Acessado: 28 fev. 2018.
URL: <https://www.infineon.com/>
- Kizilyalli, I. C., Xu, Y. A., Carlson, E., Manser, J. and Cunningham, D. W. (2017). Current and future directions in power electronic devices and cir-

- cuits based on wide band-gap semiconductors, *2017 IEEE 5th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, pp. 417–417.
- Li, N., Zhi, N., Zhang, H., Wang, Y. and Wang, Z. (2014). A novel output lc filter design method of high power three-level npc converter, pp. 68–71.
- Liserre, M., Blaabjerg, F. and Hansen, S. (2001). Design and control of an lcl-filter based three-phase active rectifier, *Conference Record of the 2001 IEEE Industry Applications Conference. 36th IAS Annual Meeting (Cat. No.01CH37248)*, Vol. 1, pp. 299–307 vol.1.
- Liserre, M., Dell’Aquila, A. and Blaabjerg, F. (2002). Stability improvements of an lcl-filter based three-phase active rectifier, **3**: 1195–1201 vol.3.
- Liu, C., Zhao, Z., Lu, T. and Yuan, L. (2011). Design and implement of an active damping lcl-filter for three-level voltage source pwm rectifier, *2011 International Conference on Electrical Machines and Systems*, pp. 1–5.
- Malinowski, M. and S., B. (2004). Simple control scheme of pwm converter connecting wind turbine with grid - simulation study, *Nordic Wind Power Conference* pp. 1 – 4.
- MATLAB (2015). *version 8.6.0.267246 (R2015b)*, The MathWorks Inc., Natick, Massachusetts.
- Mendes, M. (2000). *Técnicas de modulação em largura de pulso vetorial para inversores multiníveis.*, PhD thesis, PPGEE UFMG, 2000.
- Mirzaee, H., D. A. T. A. . B. S. (2014). Design comparison of high-power medium-voltage converters based on a 6.5-kv si-igbt/si-pin diode, a 6.5-kv si-igbt/sic-jbs diode, and a 10-kv sic-mosfet/sic-jbs diode, *IEEE Transactions on Industry Applications* .
- Murugan, M. and Balaraman, P. (2014). Selective harmonic elimination pwm method in two level inverter by differential evolution optimization technique, *International Conference on Recent Advances and Innovations in Engineering (ICRAIE-2014)*, pp. 1–6.

- Parreiras, T. M. (2015). *Retificador trifásico de fator de potência verdadeiramente unitário sem a utilização de filtros senoidais*, Master's thesis, PPGEE UFMG, 2015.
- Patel, H. S. and Hoft, R. G. (1973). Generalized techniques of harmonic elimination and voltage control in thyristor inverters: Part i—harmonic elimination, *IEEE Transactions on Industry Applications* **IA-9**(3): 310–317.
- Patel, H. S. and Hoft, R. G. (1974). Generalized techniques of harmonic elimination and voltage control in thyristor inverters: Part ii — voltage control techniques, *IEEE Transactions on Industry Applications* **IA-10**(5): 666–673.
- Pierret, R. (1996). *Semiconductor Device Fundamentals*, Addison-Wesley. Acessado: 01 nov. 2017.
URL: <https://books.google.com.br/books?id=GMZFHwAACAAJ>
- Pinheiro, H., Botteron, F., Rech, C., Schuch, L., Camargo, R. F., Hey, H. L., Grundling, H. A. and Pinheiro, J. R. (2002). Space vector modulation for voltage-source inverters: a unified approach, **1**: 23–29 vol.1.
- Plexim (2017). *PLECS User Manual Version 4.1*, Plexim GmbH.
- Pomilio, J. A. (2009). *Eletrônica de potência*, FEEC.
- Rashid, M. H. (1999). *Eletrônica de Potência Circuitos, Dispositivos e Aplicações*, Makron.
- Reznik, A., Simões, M. G., Al-Durra, A. and Muyeen, S. M. (2014). *lcl filter design and performance analysis for grid-interconnected systems*, *IEEE Transactions on Industry Applications* **50**(2): 1225–1232.
- Rockhill, A. A., Liserre, M., Teodorescu, R. and Rodriguez, P. (2011). Grid-filter design for a multimegawatt medium-voltage voltage-source inverter, *IEEE Transactions on Industrial Electronics* **58**(4): 1205–1217.

- Seixas, P. F., Mendes, M. A. S., Donoso-Garcia, P. and Lima, A. M. N. (2000). A space vector pwm method for three-level voltage source inverters, **1**: 549–555 vol.1.
- Seo, J. H., Choi, C. H. and Hyun, D. S. (2001). A new simplified space-vector pwm method for three-level inverters, *IEEE Transactions on Power Electronics* **16**(4): 545–550.
- Teodorescu, R., Blaabjerg, F., Liserre, M. and Dell’Aquila, A. (2003). A stable three-phase lcl-filter based active rectifier without damping, *38th IAS Annual Meeting on Conference Record of the Industry Applications Conference, 2003.*, Vol. 3, pp. 1552–1557 vol.3.
- Vijayakumar, R., Devalalitha, C., Nachiappan, A. and Mazhuvendhi, R. (2014). Selective harmonic elimination pwm method using two level inverter by differential evolution optimization technique, *2014 International Conference on Science Engineering and Management Research (ICSEMR)*, pp. 1–6.
- Yan, X., Tang, J., Zhang, W. and Zhang, Y. (2015). Multi-objective optimization design for active damping lcl grid-connected filter, *International Conference on Renewable Power Generation (RPG 2015)*, pp. 1–6.
- Yoon, D. K., Jeong, H. G. and Lee, K. B. (2010). The design of an lcl-filter for the three-parallel operation of a power converter in a wind turbine, *2010 IEEE Energy Conversion Congress and Exposition*, pp. 1537–1544.

Artigo publicado

Neste apêndice é apresentado o artigo [Guimarães et al. \(2017\)](#), que consiste em uma proposta para solucionar o problema de desvio das tensões dos capacitores do barramento de corrente contínua do conversor três níveis NPC utilizando o modulador *Selective Harmonic Elimination* (SHE) unipolar. O estudo [Guimarães et al. \(2017\)](#) apresentou resultados de simulação assim como resultados experimentais utilizando uma montagem de um conversor de baixa tensão.

O trabalho [Guimarães et al. \(2017\)](#) ocorreu durante estudos realizados no Programa de Pós-graduação em Engenharia Elétrica da Universidade Federal de Minas Gerais e contou com apoio financeiro da CAPES-Brasil, também ressalta-se a colaboração da empresa a PWPLab Sistemas LTDA para realização dos testes e preparação do artigo.

Control of Neutral Point Deviation in 3-Level NPC Converter with Selective Harmonic Elimination, Applied in Wind Generation Systems

Gustavo F. Guimarães^{1,3}, Severo Mendes M. A.^{1,2}, Gabriel T. Braga³, Lucas R. Muniz³, Victor N. Ferreira¹

¹Graduate Program in Electrical Engineering – Federal University of Minas Gerais - Av. Antônio Carlos 6627- Pampulha - Belo Horizonte – MG, Brazil. Zip 31270-010.

²Dept. of Electronic Engineering – UFMG.

³PWP Lab Sistemas Eletrônicos Ltda. - R. Ministro Orozimbo Nonato,392 –Dona Clara- Belo Horizonte- MG, Brazil, Zip 31260-230
e-mail: gustavofontoura@ufmg.br, marcos@cpdee.ufmg.br, gabriel.braga@pwpplab.com, lucasmuniz@ufmg.br, vnferreira89@gmail.com

Abstract –In the multi-MW wind turbine market, the maximum power rating of a commercial wind turbine has been increased more than 5MW with a view to generate more power from Wind Power Sites [1]. The three-level neutral-point-clamped voltage-source converter has been highly applied in wind generation system. Despite the advantages, the capacitor voltage unbalancing in NPC converters has become a burning issue and has invited intensive research to address this problem. This work proposes a method to overcome this problem with the selective harmonic elimination pulse-width modulation (SHE-PWM), in wind generation systems. Real world results are presented using Digital Signal Processor (DSP) to verify the real applicability of the proposed method.

Keywords – Digital Signal Processor (DSP), unbalance, Selective Harmonic Elimination (SHE).

NOMENCLATURE

mi	Modulation Index.
ζ	Threshold error.
ε	Error.
δ	Gain correction angles.

II. INTRODUCTION

In the multi-MW wind turbine market, the maximum power rating of a commercial wind turbine has been increased more than 5MW with a view to generate more power from wind power sites [1]. In this scenario, Medium Voltage (MV) drives are preferred due to better efficiency and higher power density [2-4]. For about 20 years, the three-level Neutral-Point-Clamped Voltage-Source (3L NPC VSC) converter Figure 1 has been the standard solution in medium-voltage range for industrial applications [5], and is being highly applied in wind generation system [1].

Despite the advantages, the capacitor voltage unbalancing in NPC converters has become a burning issue and has invited intensive research to address this problem [6-8]. If the Neutral Point (NP) potential is not controlled effectively, the output voltage of the converter would deviate from the reference value. In practical operation of 3-level NPC converter the NP potential variation, in other words, the unbalanced dc link voltages lead to a frequent trip of converters due to the over-voltage of either upper DC-link capacitor or lower DC link capacitor [9].

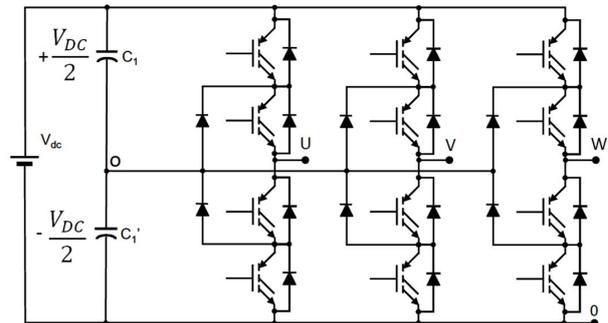


Fig. 1. Three-Level Neutral Point Clamped (NPC) topology.

In flexible AC transmission systems, the frequency of the Pulse-Width modulation (PWM) is limited by switching losses and electromagnetic interferences caused by high dv/dt. Thus to overcome these problems, Selective Harmonic Elimination pulse-width Modulation (SHE-PWM), are often used in multilevel inverters to reduce the switching frequency and total harmonic distortion [10]. Because of the complexity of the problem, most studies on SHE-PWM methods for multilevel inverters are based on the assumption that the dc voltage is balanced ($+V_{dc}$ equals $-V_{dc}$) [10]. In real applications, however, imperfection in the components, parasite currents, aleatory power flow and unbalanced grid supply can generate NP potential variation. To overcome this problem, it has been proposed control techniques to balance the dc bus changing the vectors of SVPWM [8] [9]. Nevertheless this is not extensively studied for SHE-PWM. This work, proposes a technique to control the neutral point deviation with the SHE-PWM. As a case study is chosen a wind generation system. The general diagram of the studied system is shown in Fig. 2.

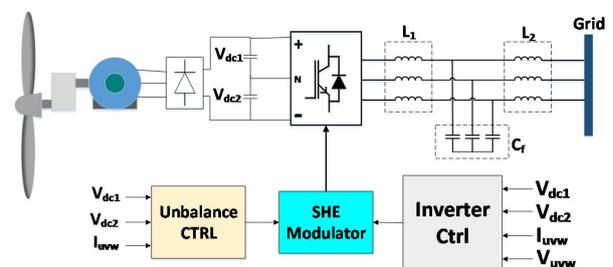


Fig.2. General diagram of the studied system.

II. OFFLINE SHE METHOD

The SHE-PWM is based on the selective harmonic elimination that affects significantly the energy quality considering an application connected to the electrical grid. The biggest challenge is to find out a solution for the non-linear transcendental equations, to obtain the switching angles that eliminates unwanted harmonics. The process is started by solving nonlinear equations. Offline, different set of angles are calculated for each modulation index.

$$mi = \frac{V_{ph}}{E/2} \quad (1)$$

V_{ph} is the phase voltage and E the total bus dc voltage Fig. 3, shows the phase voltage for SHE-PWM algorithm.

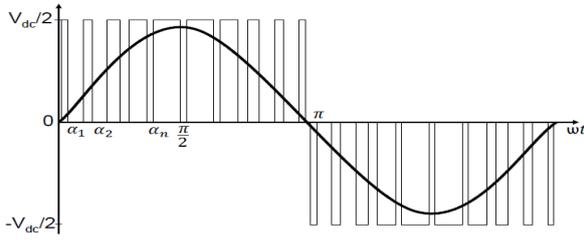


Fig. 3. Voltage waveform V_{ph} using PWM with harmonic elimination (HE).

The definition of any periodic signal may be represented by a sum of sine or cosine, so the multilevel inverter output voltage can be given by Equation (2). Considering the symmetry of half-wave and being Equation (2) an odd function, inverter output voltage can be simplified, reducing in the Equation (3).

$$V_{out} = I_o \sum_{n=1}^{\infty} a_n \cos(n\alpha) + b_n \sin(n\alpha) \quad (2)$$

$$V_{out} = I_o \sum_{n=1,3,\dots}^{\infty} b_n \sin(n\alpha) \quad (3)$$

The generalized expression for b_i Equation (3) to any number of pulses M , physically possible to be implemented, is given by Equation (4).

$$V_n = \frac{4}{n\pi} \sum_{i=1}^M (-1)^{i+1} \cos(n\alpha_i) \quad (4)$$

For:

$$n = 1, 2, 3, \dots \text{ and } 0 < \alpha_1 < \alpha_2 < \alpha_M < \frac{\pi}{2}$$

Equating the equation (3) to zero, it is possible to eliminate or mitigate $(M-1)$ harmonics, where M is the number of switching angles. This process is very difficult because the transcendental nonlinear equations [11]. Considering $M=3$, it is possible to mitigate the fifth and seventh harmonic and to

control the amplitude of the fundamental voltage inverter by the following system of equations:

$$\begin{cases} V_{out} = \frac{4}{1.\pi} (\cos \alpha_1) + (\cos \alpha_2) + (\cos \alpha_3) \\ 0 = \frac{4}{5.\pi} (\cos 5\alpha_1) + (\cos 5\alpha_2) + (\cos 5\alpha_3) \\ 0 = \frac{4}{7.\pi} (\cos 7\alpha_1) + (\cos 7\alpha_2) + (\cos 7\alpha_3) \end{cases} \quad (5)$$

To solve these nonlinear transcendental equations, it can be used the numeric algorithm Newton-Rapison [14]. It is proposed an algorithm to find maps, as described below:

I) Initial values are determined for α_n :

$$\alpha^0 = [\alpha_1^0, \alpha_2^0, \alpha_3^0, \dots, \alpha_M^0]^T \quad (6)$$

II) Values are calculated and assigned in equations for M angles, varying the modulation index.

$$\begin{cases} 0 = [(\cos \alpha_1^0) + (\cos \alpha_2^0) + (\cos \alpha_3^0)] - \frac{mi.\pi}{4} \\ 0 = \frac{4}{5.\pi} (\cos 5\alpha_1^0) + (\cos 5\alpha_2^0) + (\cos 5\alpha_3^0) \\ 0 = \frac{4}{7.\pi} (\cos 7\alpha_1^0) + (\cos 7\alpha_2^0) + (\cos 7\alpha_3^0) \end{cases} \quad (7)$$

III) It is calculated the partial derivative of M equations related in (7), obtaining the gradient vector $\nabla f_n(\alpha)$, as demonstrated in Equation (8). Then, the partial derivatives are represented in Equation (9) as Jacobian matrix:

$$\nabla f_n(\alpha) = \left(\frac{\partial f_n(\alpha)}{\partial \alpha_1}, \frac{\partial f_n(\alpha)}{\partial \alpha_2}, \dots, \frac{\partial f_n(\alpha)}{\partial \alpha_n} \right)^T \quad (8)$$

$$J(\alpha) = \begin{pmatrix} \nabla f_1(\alpha)^T \\ \nabla f_2(\alpha)^T \\ \vdots \\ \nabla f_3(\alpha)^T \end{pmatrix} \quad (9)$$

IV) If the error is greater than the threshold, $\varepsilon \geq \zeta$ and $\zeta = 0 \vee \zeta \rightarrow 0$, a new $\partial \alpha$ is calculated. When $\varepsilon \leq \zeta$, a new modulation index is adopted, the procedure starts again, with the initial condition given by Equation (10).

$$\alpha^0 = [\alpha_1^{n-1}, \alpha_2^{n-1}, \alpha_3^{n-1}, \dots, \alpha_M^{n-1}]^M \quad (10)$$

When the solution is not found the last angle is repeated for the subsequent modulation values. In connections with the electrical grid (50Hz or 60Hz), with slight variations, it is necessary only one angles map to synthesize the waveform exhibited in Fig.3. Fig.4 breaks down a SHE-Map with 7 points at 60 Hz.

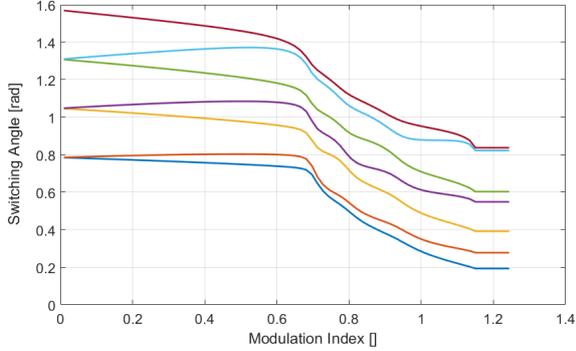


Fig. 4. SHE-Map 7 switches at 60Hz, 19th last harmonic eliminated.

III. NEUTRAL POINT CTRL

The proposed DC bus equalization does not imply in high computational cost. The algorithm acts changing the pulses generated offline adding an angle variation, aiming to charge and discharge the bus dc capacitors.

A lookup table of the SHE-Map is constructed, and α is defined by the modulation index. The error (\square) and the current signals are checked, and it is multiplied to a gain δ . Then, δ is summed to the angle α . The new angles $\alpha_{i\delta}$ must be checked, looking for a possible signal inversion. If the new angles $\alpha_{i\delta}$ do not meet conditions, the original angles α_i are loaded in α_i' , which are the reference angles for the SHE modulator, as shown in Fig. 5.

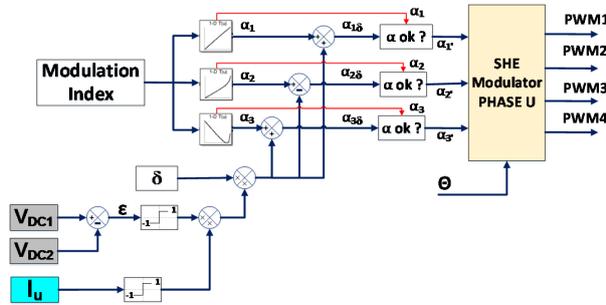


Fig. 5. Diagram algorithm process of NP Control.

Fig. 6, shows the angle variation for a three points SHE map in 60 Hz. The correction δ is a percent of each pulse or can be defined directly like a fixed factor. In this work the second option is adopted, and the gain is a fixed factor.

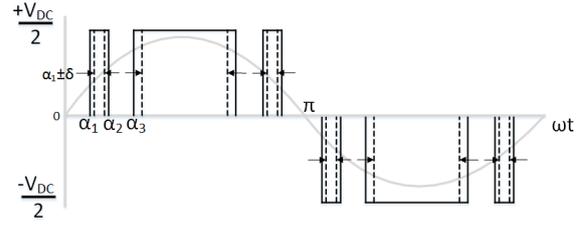


Fig. 6. Angle variation to control the NP deviation.

IV. SIMULATION RESULTS

For the first results, the system was simulated in Matlab/Simulink, considering a 5kW converter with a DC bus of 350V. The 7 points SHE-Map was used.

To check the influence of the NP deviation and the NP control, three operating conditions were taken into consideration:

- I) Firstly, the FFT was calculated with the dc bus perfectly balanced.
- II) The second test was made disturbing the DC bus causing a deviation of 3%.
- III) Finally, the NP control was enabled, and the FFT was calculated after the balancing.

Fig. 7, shows the Fast Fourier Transform (FFT) of the output voltage converter for the first operating condition. The total harmonic distortion (THD) is 26.77%, where the 19th is the last eliminated harmonic. The FFT is calculated for the second condition, as shown in Fig. 8. In this situation, the new THD is 26.96%. When the NP control is enabled, the THD goes to 26.76% as can be seen in Fig. 6. The asymmetry of the output waveform due to the unbalance in the second case, and the angles variation in the third case, resulted in a magnitude increase in the 2nd, 4th and 20th harmonics.

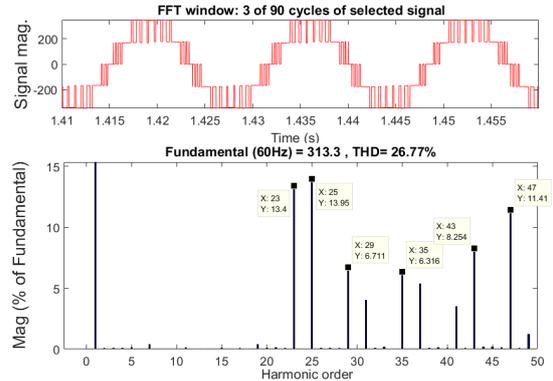


Fig. 7. Output voltage waveform with the 7 points at 60Hz SHE modulator, without DC Bus unbalance.

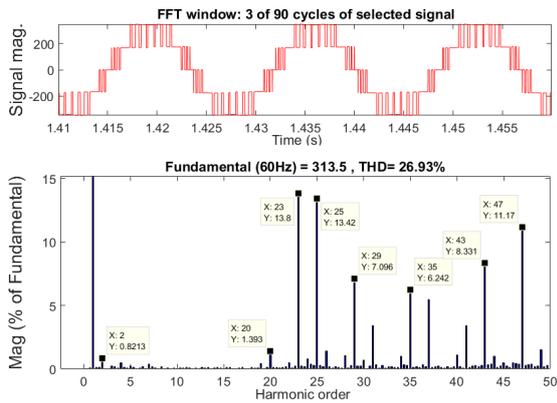


Fig. 8. Output voltage FFT waveform with the 7 points at 60Hz SHE modulator, dc bus unbalanced, NP Ctrl disable.

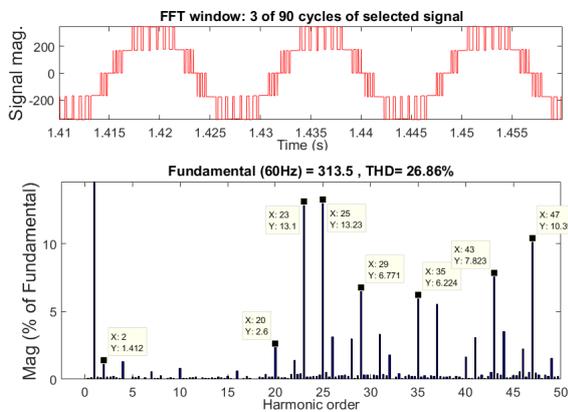


Fig. 9. Output voltage FFT waveform with the 7 points SHE modulator, dc bus balanced by NP Ctrl (enabled).

To verify the acting of the NP deviation control, a transitory situation is demonstrated. The system is pre-charged, and in 0.4s it starts to connect to the grid. In 0.6s the contactor is closed, and the power starts to flow to the grid, a voltage deviation can be observed. In 1s the NP control is enabled, and the voltage is balanced.

IV. EXPERIMENTAL RESULTS

For the experimental results, a low scale setup was constructed, as shown in Fig.11. The three-phase generator BAMBOZI 46530/03 (IG), coupled to a three-phase induction machine (IM) was used. The IM was driven by a WEG CFW-08 frequency inverter. Their respective parameters are exhibited in Table I. The SHE modulator and the NP control was implemented using low-cost and high-speed TMS320F2812 Texas Instruments digital signal processor (DSP). The 7 points map was pre-calculated and loaded into the DSP. A digital real-time scope from Tectronix was used to capture the waveforms.

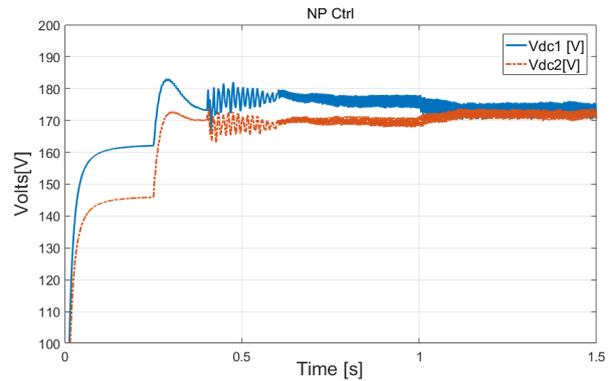


Fig. 10. Acting of the NP Derivation Control, simulation result.

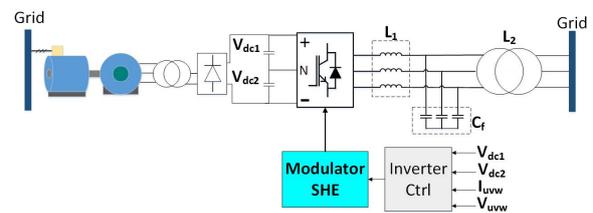


Fig. 11. Experimental setup diagram.

TABLE I
MOTOR/GENERATOR PARAMETERS

Parameters	Value
IG Rated Power	6 KVA
IG Rated Current	15.7A
IG Rated Voltage	220V
IM Rated Power	3.7 KVA
IM Rated Current	14A
IM Rated Voltage	220V

Firstly it is demonstrated the functionality of the system. The system starts closing auxiliary pre-charge contactor, charging bus-dc to 285V approximately. The auxiliary contactor is turned off and the main contactor is turned on connecting the system to the grid as shown in Fig.12. The system starts to control the dc bus at 350V. Fig. 13, shows the line voltage (V_{uv}), at the output of the converter, and the current I_u measured at the input of the converter. The FFT of the V_{uv} is exhibited in Fig. 14. The 19th harmonic is the last one to be eliminated, as expected for the 7 points SHE modulator.

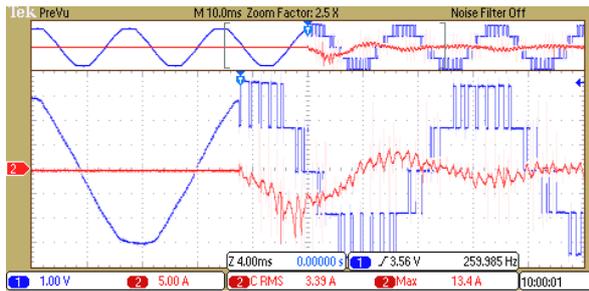


Fig. 12. Instant of grid connection.

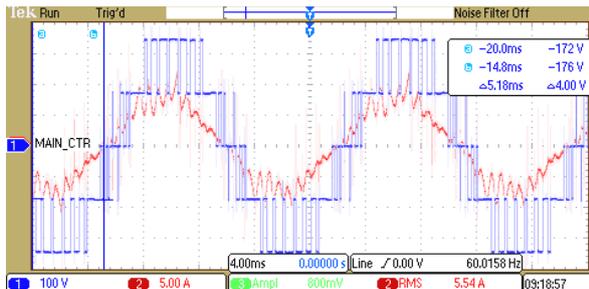


Fig. 13. Output voltage (V_{uv}) and current (I_u).

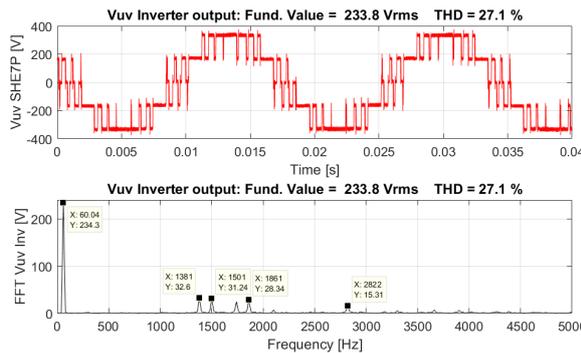


Fig. 14. FFT of the output voltage V_{uv} .

To check experimentally the influence of the NP deviation and the NP control, the same three operating conditions adopted during the simulation were adopted:

- I) Firstly, the FFT was calculated with the dc bus perfectly balanced.
- II) The second test was made disturbing the DC bus causing a deviation of 3%.
- III) Finally, the NP control was enabled, and the FFT was calculated after the balancing.

The results for the three operating conditions are demonstrated in Fig. 16. The THD is very close to that obtained during the simulation. In the same way, an increase in the 2nd, 4th and 20th harmonics can be observed, when the NP control is enabled. To prove experimentally the acting of the NP control, it is demonstrated a situation where the dc bus is

unbalanced, with a deviation of 3%. The NP control is approximately enabled in 3.5s, and the dc bus is perfectly balanced in 6s, as shown in Fig. 17.

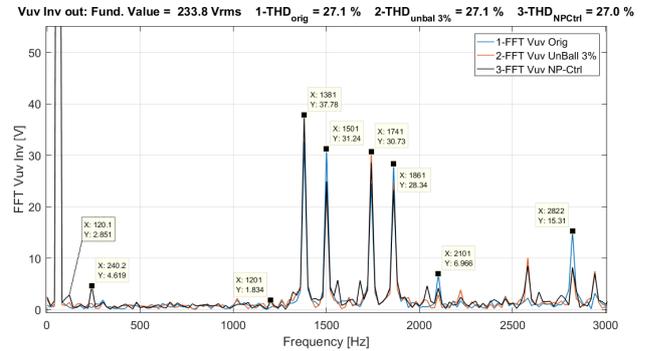


Fig. 16. Compare three operations conditions, V_{uv} FFT get using a digital real-time Tectronix.

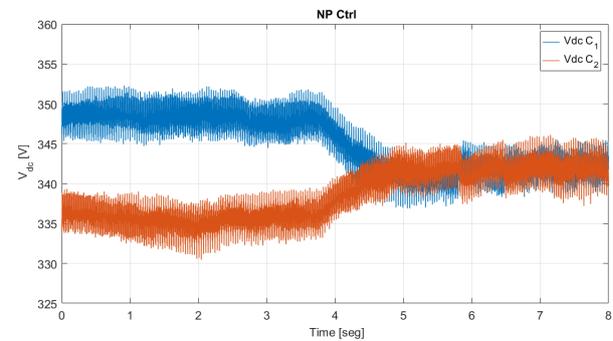


Fig. 17. NP deviation control transitory, experimental result.

V. CONCLUSIONS

Selective Harmonic Elimination pulse-width Modulation (SHE-PWM), are often used in multilevel inverters to reduce the switching frequency and total harmonic distortion. Because of the complexity of the problem, most studies on SHE-PWM methods for multilevel inverters are based on the assumption that the dc voltage is balanced. In real applications, however, imperfection in the components, parasite currents, aleatory power flow and unbalanced grid supply can generate NP potential variation. If the Neutral Point (NP) potential is not controlled effectively, the output voltage of the converter would deviate from the reference value.

The comparison between the real operating conditions showed that the harmonic distortion caused by the use of the NP Ctrl method was close than the results obtained in simulation, since imperfections not present in the simulation like, Dead-time and minimum time. Then it is proved really that the damage caused by the NP Ctrl method is minimal.

The presented algorithm SHE NP Control applied to the three-Level NPC converter proved to be a good option to increase the system robustness. Minimizing the unbalance can

imply in non-programmed disconnections. The optimal cost benefit of the algorithm, which is fully applicable in embedded systems without large computational costs, is an important feature.

ACKNOWLEDGEMENTS

This work has been supported by the Brazilian agency CAPES. The authors thanks the PWP Lab Systems LTDA for the collaboration to preparing this paper.

REFERENCES

- [1] K. Lee, K. Jung, Y. Suh, C. Kim, H. Yoo, and S. Park, "Comparison of high power semiconductor devices losses in 5MW PMSG MV wind turbines," IEEE Applied Power Electronics ConfereR. M. Domingos, L. S. Xavier, A. F. Cupertino e H. A. Pereira, "Current control strategy for reactive and harmonic compensation with dynamic saturation," in 24th International Symposium on Industrial Electronics, 2015.
- [2] S. Madhusoodhanan, A. Tripathi, K. Vechalapu and S. Bhattacharya, "Demonstration using 10kV SiC MOSFETs for High Speed Motor Drive Applications" in IEEE Applied Power Electronics Conference and Exposition (APEC), Long Beach, CA, 2016, pp. 1497-1504.
- [3] E. Cengelci, P. N. Enjeti, and J. W. Gray, "A new modular motormodular inverter concept for medium-voltage adjustable-speed-drive systems," IEEE Trans. Ind. Applicat., Vol. 36, no. 3, pp. 786-796, Aug. 2002.
- [4] J. Dai, S. W. Nam, M. Pande, and G. Esmaeili, "Medium-voltage currentsource converter drives for marine propulsion system using a dualwinding synchronous machine," IEEE Trans. Ind. Applicat., Vol. 50, no. 6, pp. 3971-3976, Nov./Dec. 2014.
- [5] D. Krug, M. Malinowski and S. Bernet, "Design and comparison of medium voltage multi-level converters for industry applications," in Industry Applications Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE, vol.2, pp.781-790, 2004.
- [6] S. Fukuda, Y. Matsumoto, and A. Sagawa, "Optimal-regulator-based control of NPC boost rectifiers for unity power factor and reduced neutral point potential variations," IEEE Trans. Ind. Electron., vol. 46, no. 3, pp. 527-534, Jun. 1999.
- [7] T. Ito, M. Kamaga, Y. Sato, and H. Ohashi, "An investigation of voltage balancing circuit for DC capacitors in diode-clamped multilevel inverters to realize high output power density converters," in Proc. IEEE Energy Convers. Cong. Expo, Sep. 2010, pp. 3675-3682
- [8] F. B. Grigoletto and H. Pinheiro, "Generalized Pulse width modulation approach for DC capacitor voltage balancing in diode clamped multilevel converters," IET Power Electron., vol. 4, no. 1, pp. 89-100, 2011.
- [9] A. Dekka, B. Wu, N. Zargari, "Minimization of DC-bus, Current Ripple in Modular Multilevel Converter Under Unbalanced Conditions". Transaction on Power Electronics TPEL.2016.2630921.
- [10] D. Ahmadi, K. Zou, C. Li, Y. Huang, and J. Wang, "A universal selective harmonic elimination method for high-power inverters," IEEE Trans. Power Electron., vol. 26, no. 10, pp. 2743-2752, Oct. 2011.
- [11] Mendes M. A. S. Técnicas de modulação em largura de pulso vetorial para inversores multiníveis. Thesis, Federal University of Minas Gerais, Mina Gerais, Brazil, 2000.
- [12] H. Bierk, N. Benaifa, N. M. Abdel-Latif and E. Nowicki, "Elimination of low-order harmonics in high power medium voltage inverter applications using a modified SHE-PWM technique", Proc. North Am. Power Symp., pp.1-4 Sep. 2008.
- [13] Hans P. Krug, Tsuneo Kume, Mahesh Swamy, "Neutral Point Clamped Three-Level General Purpose Inverter - Features, Benefits, and Applications", Conference Record, IEEE PESC 2004.
- [14] H.S. Patel and R.G. Hon, "Generalized harmonic elimination and voltage control in thyristor inverters: part I - harmonic elimination", IEEE Transactions on Industry Applications, vol. 9, pp. 310-317, May/June. 1973.
- [15] H.S. Patel and R.G. Hon, "Generalized harmonic elimination and voltage control in thyristor inverters: part II - harmonic elimination", IEEE Transactions on Industry Applications, vol. IE10, pp. 666-673, 1974.
- [16] V. G. Agelidis, A. Balouktsis and I. Balouktsis, "On applying a minimization technique to the harmonic elimination PWM control: The bipolar waveform", IEEE Power Electron. Lett., vol. 2, no. 2, pp.41-44 2004.
- [17] J. Napoles, A. Watson, J. Padilla, J. Leon, L. Franquelo, W. Patrick and M. Aguirre, "Selective harmonic mitigation technique for cascaded H-bridge converters with non-equal DC link voltages", IEEE Trans. Ind. Electron., vol. 60, no. 5, pp.1963-1971 2013.

Artigo publicado

Neste apêndice é apresentado o artigo [Guimarães et al. \(2015\)](#), que consiste em uma proposta obtenção dos ângulos do modulador *Selective Harmonic Elimination* (SHE) unipolar na região de sobremodulação, executando a eliminação ou minimização dos harmônicos. O estudo [Guimarães et al. \(2015\)](#), apresentou resultados de simulação e resultados experimentais comparativos entre o modulador utilizando o método proposto para obtenção dos mapas e os moduladores SV-PWM e o SHE-PWM convencional. Destaca-se que a publicação foi o início dos estudos que resultaram no presente trabalho.

SHE-PWM WITH OVERMODULATION MODE IN A THREE-LEVEL NPC INVERTER

Guimarães F. G.¹, Severo M. M.², Braga G. T.³, Muniz L. R.⁴.

¹PWP Lab Systems, Belo Horizonte – Minas Gerais, Brazil.

²Federal University of Minas Gerais, Belo Horizonte – Minas Gerais, Brazil.

e-mail: gustavo.fontoura@pwplab.com, marcos.severo@pwplab.com, gabriel.braga@pwplab.com, lucas.muniz@pwplab.com

Abstract – The well known Selective Harmonic Elimination pulse width modulation (SHE-PWM) is widely used by medium voltage drive applications due its symmetry and control of the low order harmonics that affect output torque, even with low switching frequency. However, the complete harmonic elimination limits the maximum output voltage available, a critical problem for applications where the dc bus voltage level directly affects system cost. This paper proposes a method that extends SHE-PWM maps by calculating switching angles for higher modulation indexes, keeping control of the low-order harmonics level and total harmonic distortion (THD). The proposed method consists in a modification of the non-linear equations by adding a term that relax the harmonic elimination rule, allowing a defined limit level for each low order harmonic and increasing the fundamental output voltage. The obtained results are compared with the classic method Space Vector pulse-width modulation (SV- PWM) that provides higher output voltage but with no control of the low order harmonics [1]. Results showed that the method is able to provide more than 2% higher voltage in the output, keeping low order harmonics smaller than SV-PWM. Real world results are presented using Digital Signal Processor (DSP) to verify the real gain of the proposed method.

Keywords – Digital Signal Processor (DSP), minimization, over modulation, Selective Harmonic Elimination (SHE), Space Vector pulse-width modulation (PWM-SV), Total Harmonic Distortion (THD).

NOMENCLATURE

mi	Modulation Index.
ζ	Threshold error.
δ	Weakening factor
ε	Error.

I. INTRODUCTION

Selective Harmonic Elimination pulse-width modulation (SHE-PWM) techniques have been widely used by medium voltage drives and high power systems applications, along with Space Vector pulse-width modulation (SV-PWM). The method essentially consists in a problem of elimination or minimization of harmonics that significantly affect the load on the inverter output. The challenge is solve nonlinear transcendental equations requiring a high computational

effort, but not always providing applicable results. Many methods have been proposed in the literature [2][3] with highly complex implementation which not always ensure acceptable solutions for all desirable operating range of the inverter.

Modified SHE method, proposed by this paper, is an offline technique applied to 3-level neutral point clamped (NPC) topology. All the switching angles are pre-calculated in offline mode and stored in DSP's non volatile memory. NPC topology combined with SHE-PWM strategy has great applicability in medium voltage drives, mainly by reducing problems such as noise, vibration, earth leakage current (main cause of damage to motor bearings) this way increasing the life cycle of induction motor [3].

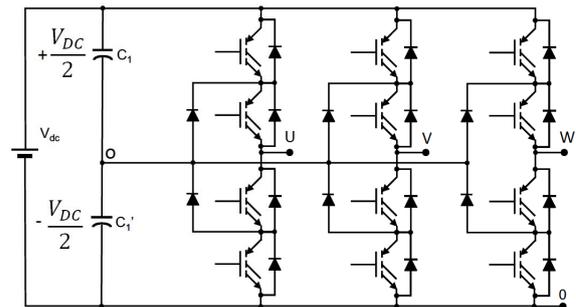


Fig. 1. Three-Level Neutral Point Clamped (NPC) topology.

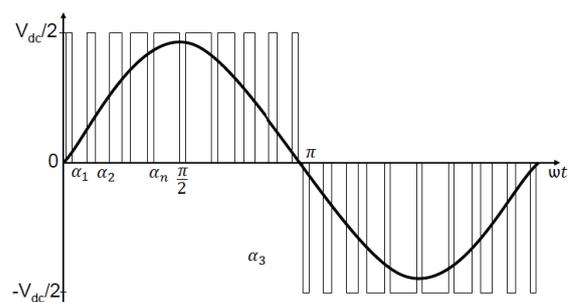


Fig. 2. Voltage waveform V_{ou} using PWM with harmonic elimination (HE).

II. METHODOLOGY

The process to obtain the switching angles that eliminates unwanted harmonics is started by solving nonlinear

equations in off-line. Different set of angles are calculated for each modulation index mi , defined here as $mi = \frac{V_{un}}{E/2}$

Figure 1, providing the desired output voltage. Classic methods used to solve the equations provide correct results for modulation index up to 0,577. Beyond this value the methods present convergence problem. The algorithm presented in this paper aims to provide solutions for modulation index beyond 0,577, this way increasing the use of inverter dc-bus.

The non-linear equations are obtained based on the definition that any periodic signal may be represented by a sum of sine or cosine, so the multilevel inverter output voltage can be given by Equation (1). Considering the symmetry of half-wave and being Equation (1) an odd function, inverter output voltage is simplified in to Equation (2). Some comments regarding the main items of the manuscripts are presented below.

$$V_{out} = I_o \sum_{n=1}^{\infty} a_n \cos(n\alpha) + b_n \sin(n\alpha) \quad (1)$$

$$V_{out} = I_o \sum_{n=1,3,\dots}^{\infty} b_n \sin(n\alpha) \quad (2)$$

The generalized expression for b_i to any number pulses M of inverter, physically possible to be implemented is given by Equation (3).

$$V_n = \frac{4}{n\pi_o} \sum_{i=1}^{\infty} (-1)^{i+1} \cos(n\alpha_i) \quad (3)$$

For:

$$n = 1,2,3,\dots \text{ and } 0 < \alpha_i < \alpha_2 < \alpha_M < \frac{\pi}{2}$$

Based on the number of switches M is possible to eliminate or minimize (M-1) harmonics equaling Equation (3) to zero, and maximizing fundamental, this process is very difficult because it is transcendental nonlinear equations. For a system of equations (4a)(4b)(4c) the solution achieved where switching angles minimize unwanted harmonics, for example considering (M=3) able to minimize fifth and seventh harmonics and control the amplitude of fundamental voltage inverter output.

$$\begin{cases} V_{out} = \frac{4}{1.\pi} (\cos \alpha_1) + (\cos \alpha_2) + (\cos \alpha_3) \\ 0 = \frac{4}{5.\pi} (\cos 5\alpha_1) + (\cos 5\alpha_2) + (\cos 5\alpha_3) \\ 0 = \frac{4}{7.\pi} (\cos 7\alpha_1) + (\cos 7\alpha_2) + (\cos 7\alpha_3) \end{cases} \quad (4)$$

The original method [4] and other proposed in [5] usually present very well for modulation index until $mi = 1/\sqrt{3}$ are not certain angles in overmodulation region.

The resolutions of nonlinear transcendental equations depend directly on the algorithm to be used, because it is a offline operation will be prioritized to optimize the angles for each modulation index obtained. The proposed method has as its basis the methodology presented in [4] and [5] and widely used in other works more with the gain of getting advance to the overmodulation region. The algorithm used for calculation of angles consisting of:

I) Initial values are determined for α_n to be calculated by Equation (5):

$$\alpha^0 = [\alpha_1^0, \alpha_2^0, \alpha_3^0, \dots, \alpha_M^0]^T \quad (5)$$

II) Values are calculated and assigned in equations for M angles, varying the modulation index.

$$\begin{cases} 0 = [(\cos \alpha_1^0) + (\cos \alpha_2^0) + (\cos \alpha_3^0)] - \frac{mi.\pi}{4} \\ 0 = \frac{4}{5.\pi} (\cos 5\alpha_1^0) + (\cos 5\alpha_2^0) + (\cos 5\alpha_3^0) \\ 0 = \frac{4}{7.\pi} (\cos 7\alpha_1^0) + (\cos 7\alpha_2^0) + (\cos 7\alpha_3^0) \end{cases} \quad (6)$$

III) Calculation of partial derivative equations (6a)(6b)(6c) ...M, $\nabla f_n(\alpha)$ referred gradient vector Equation (7), thus obtaining the matrix of partial derivatives known Jacobian matrix Equation (8):

$$\nabla f_n(\alpha) = \left(\frac{\partial f_n(\alpha)}{\partial \alpha_1(\alpha)}, \frac{\partial f_n(\alpha)}{\partial \alpha_2(\alpha)}, \dots, \frac{\partial f_n(\alpha)}{\partial \alpha_n(\alpha)} \right)^T \quad (7)$$

$$J(\alpha) = \begin{pmatrix} \nabla f_1(\alpha)^T \\ \nabla f_2(\alpha)^T \\ \vdots \\ \nabla f_3(\alpha)^T \end{pmatrix} \quad (8)$$

IV) Every interaction a $\partial \alpha$ is calculated as the error is greater than the threshold, $\varepsilon \geq \zeta$ and $\zeta = 0 \vee \zeta \rightarrow 0$. When $\varepsilon \leq \zeta$ to calculate new modulation index, initial condition given by Equation (9).

$$\alpha^0 = [\alpha_1^{n-1}, \alpha_2^{n-1}, \alpha_3^{n-1}, \dots, \alpha_M^{n-1}]^M \quad (9)$$

When the solution is not found the rules are weakened by δ making, $\zeta = \delta$ starts again the vector α^0 with new values with reference to the last calculated, Equation (9) and respecting α 's relationship of Equation (3), so it will be a driven kick.

III. RESULTS

By comparison the original SHE-PWM proposed in [4] and [5] does not get the same SV-PWM performance Figure 3 shows that the maximum amplitude of the fundamental SHE algorithm is 2% lower than that presented by the SV-PWM. The proposed algorithm has advanced to modulation index 8% greater than $mi = 2/\sqrt{3}$, new angles indicated on dotted curve in Figure 2.

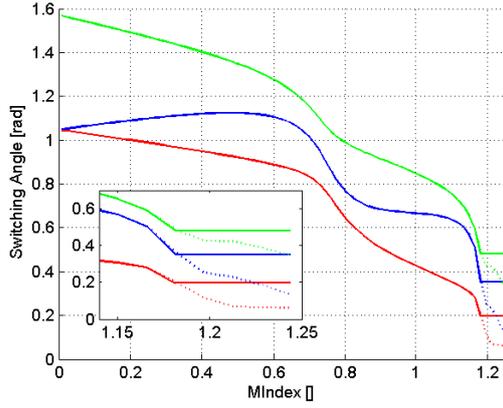


Fig. 3. Progress of maps for overmodulation region, comparing new region generated by SHEM.

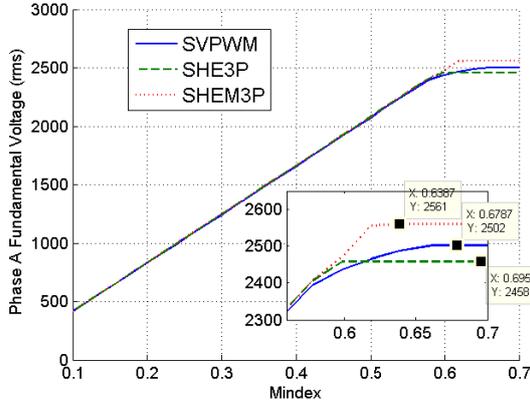


Fig. 4. Linearity of SHEM and voltage gain comparing with SHE3P and SV-PWM.

Waveforms obtained from simulation Matlab/Simulink for a balanced three-phase load operating with a dc-bus of $\sqrt{2} * 4160/rms$ for a fundamental frequency of 60Hz and modulation index saturated in mi Equation (10) for methods SHEM-PWM and SV-PWM respectively Figure 5 and Figure 6. In the waveform of Figure 5 it is also noticeable voltage gain as compared to the SV-PWM, beyond the fifth and seventh harmonics with minimal amplitudes for SHEM-PWM and keeping lower THD level.

$$mi \geq \frac{\sqrt{2}}{\sqrt{3}} \cdot (1,08) \quad (10)$$

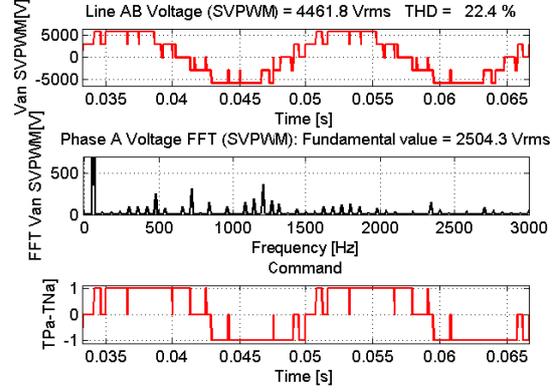


Fig. 5. Results SV-PWM, V_{an} , THD and CMD's.

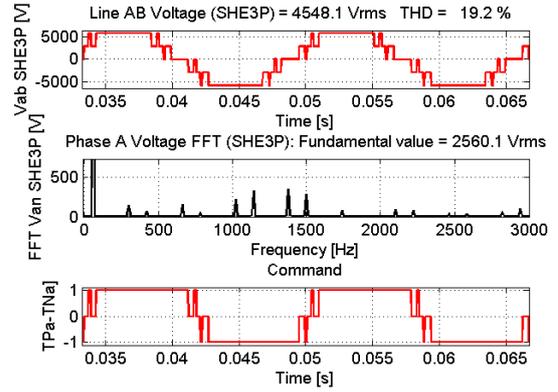


Fig. 6. Results SHEM-PWM $M=3$, V_{an} , THD and CMD's.

The pre-calculated angles was implemented using low-cost and high-speed TMS320F2812 Texas Instruments digital signal processor (DSP), a digital real-time Tectronix was used to capture the output forms V_{out} line-to-line and the Fast Fourier Transformer (FFT) sampling issues (Nyquist criterion) Figure 7. The command pulses were measured using an INTRONIX LogicPort analyzer Figure 8.

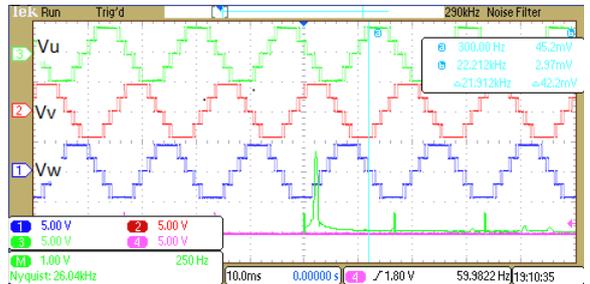


Fig. 7. Results V_{out} line-to-line and the Fast Fourier Transformer (FFT).

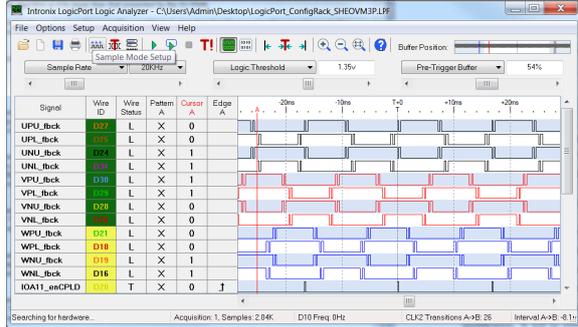


Fig. 8. Cms's pulses measured with INTRONIX LogicPort.

For the purpose of validation was carried out tests using an assembly on a smaller scale, the power dc bus was generated with a three-phase rectifier bridge connected to grid of 220 volts line-to-line. Was used an induction motor whose parameters are reported in Table 1.

TABLE I
Induction Motor

Parameters		
Param.	Value	Unit
Power	5	HP
Frequency	60	Hz
RPM	1730	rpm
I_{nom}	14.0	A
V_{nom}	220	V
J	0.01191	Kgm^2
Torque	20.4	N.m

The Figure 9 and Figure 10 show the test in overmodulation condition for both of modulator with a modulation index of $m_i = 0.62$. In this conditions can be seen approximately the same voltage gain as was previously simulated.

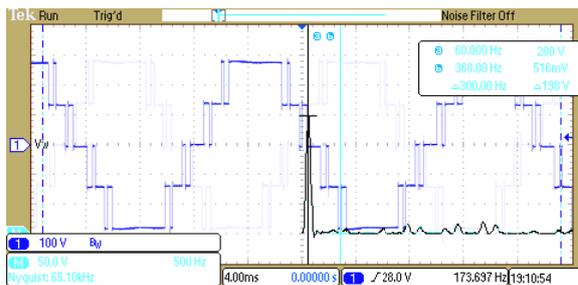


Fig. 9. SVPWM with modulation index of 0.62, dc bus of 285Volts and fundamental Voltage line-to-line of 200Volts.

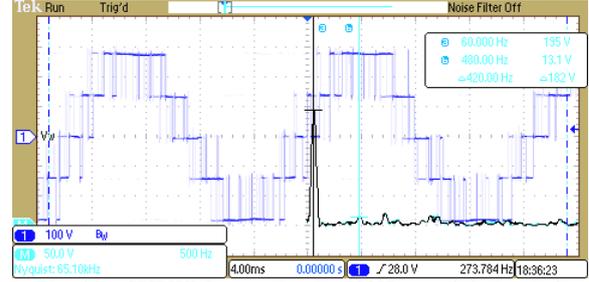


Fig. 10. SVPWM operating in 600Hz, modulation index of 0.62, dc bus of 285Volts and fundamental Voltage line-to-line of 195Volts.

In Table 2 SVPWM and SLEM3P are compared in equivalent conditions of dc bus, operation point, hardware and load. During the test, the power grid was lower than nominal, what caused a dc bus of 285Volts

TABLE II
Harmonic Performance

Mindex	Harm.	SVPWM	SLEM3P
0.57	5 ^o	1.20%	0.36%
0.57	7 ^o	1.03%	0.31%
0.57	9 ^o	1.81%	0.31%
0.57	-	193V _{ff}	193V _{ff}
0.60	5 ^o	1.28%	0.30%
0.60	7 ^o	3.43%	0.31%
0.60	9 ^o	1.53%	0.31%
0.60	-	195V _{LI}	196V _{LI}
0.62	5 ^o	2.56%	0.30%
0.62	7 ^o	3.07%	0.30%
0.62	9 ^o	2.56%	0.30%
>0.62	-	195V _{LI}	200V _{LI}

IV. CONCLUSIONS

When compared with conventional SHE-PWM technique [1][2] the proposed SLEM-PWM method offer significant benefits extending its operating range to overmodulation region where a higher output voltage gain can be obtained, with minimal amplitudes for fifth and seventh harmonics. Results presented for SLEM-PWM with three angles at 60Hz confirm that there are a set of solutions that provides output voltage gain of more than 2% if compared with SV-PWM and almost 4% higher than original SHE, keeping the harmonic level below and 19.2% even in the overmodulation region 14% less than SV-PWM, condition that is acceptable for some applications that requires higher output voltage.

The performance of three-Level NPC Inverter fed induction motor drives was investigated in overmodulation region using new PWM-SLEM in a small assembly inverter drive but with equivalent behavior, all expectations were met.

ACKNOWLEDGEMENTS

The authors thank PWPLab Systems LTDA by collaboration with equipment and the laboratory.

REFERENCES

- [1] Mendes M. A. S. *Técnicas de modulação em largura de pulso vetorial para inversores multiníveis*. Thesis, Federal University of Minas Gerais, Minas Gerais, Brazil, 2000.
- [2] H. Bierk, N. Benaifa, N. M. Abdel-Latif and E. Nowicki, "Elimination of low-order harmonics in high power medium voltage inverter applications using a modified SHE-PWM technique", Proc. North Am. Power Symp., pp.1 -4 Sep. 2008.
- [3] Hans P. Krug, Tsuneo Kume, Mahesh Swamy, "Neutral Point Clamped Three-Level General Purpose Inverter - Features, Benefits, and Applications", Conference Record, IEEE PESC 2004.
- [4] H.S. Patel and R.G. Hon, "Generalized harmonic elimination and voltage control in thyristor inverters: part I - harmonic elimination", *IEEE Transactions on Industry Applications*, vol. 9, pp. 310-317, May/June. 1973.
- [5] H.S. Patel and R.G. Hon, "Generalized harmonic elimination and voltage control in thyristor inverters: part II - harmonic elimination", *IEEE Transactions on Industry Applications*, vol. IE10, pp. 666-673, 1974.
- [6] V. G. Agelidis, A. Balouktsis and I. Balouktsis, "On applying a minimization technique to the harmonic elimination PWM control: The bipolar waveform", *IEEE Power Electron. Lett.*, vol. 2, no. 2, pp.41 -44 2004.
- [7] J. Napoles, A. Watson, J. Padilla, J. Leon, L. Franquelo, W. Patrick and M. Aguirre, "Selective harmonic mitigation technique for cascaded H-bridge converters with non-equal DC link voltages", *IEEE Trans. Ind. Electron.*, vol. 60, no. 5, pp.1963 -1971 2013.